

明 細 書

2 安定抵抗値取得装置及びその製造方法並びに金属酸化物薄膜及びその製造方法

技術分野

[0001] 本発明は、2安定抵抗値取得装置及びその製造方法並びに金属酸化物薄膜及びその製造方法に関する。

背景技術

[0002] マルチメディア情報社会の拡大、さらには、ユビキタスサービスの実現に向けた研究開発が盛んに行われている。特に、ネットワーク機器、情報端末に搭載される情報を記録する装置（以下、メモリと略す）は、重要なキーデバイスである。ユビキタス端末に搭載されるメモリに求められる機能として、高速動作、長期保持期間、耐環境性、低消費電力、さらに、電源を切っても蓄積された情報が消去されない機能、つまり、不揮発性が必須とされている。

[0003] 従来、メモリには、半導体装置が多く用いられてきた。その中の1つとして、DRAM (Dynamic Random Access Memory) が広く使用されている。DRAMの単位記憶素子（以下、メモリセルと略す）では、1個の蓄積容量と1個のMOSFET (Metal-oxide-semiconductor field effect transistor) からなり、選択されたメモリセルの蓄積容量に蓄えられた電荷の状態に対応する電圧を、ビット線から電気的なデジタル信号の「on」あるいは「off」として取り出すことで、記憶されているデータを読み出す（サイモン・ジー著、「フィジクス・オブ・セミコンダクター・デバイス」、1981年、(S.M Sze "Physics of Semiconductor Devices", John Wiley and Sons, Inc.)、舩岡富士雄著、応用物理、73巻、第9号、頁1166、2004年参照）。

[0004] しかし、DRAMでは、電源を切ると蓄積容量の状態を維持することが不可能となり、蓄積された情報が消去されてしまう。言い換えると、DRAMは揮発性のメモリ素子である。また、よく知られているように、DRAMでは、データを再び書き込むリフレッシュ動作が必要となり、動作速度が低下するれづ欠点もある。

[0005] 電源を切ってもデータが揮発しない機能である不揮発性のメモリとしては、ROM(r

read only Memory)がよく知られているが、記録されているデータの消去や変更が不可能である。また、書き換え可能な不揮発性のメモリとして、EEPROM (Electrically Erasable Programmable Read Only Memory) を用いたフラッシュメモリ (Flash memory) が開発されている (特開平8-081960号公報, 舩岡富士雄著、応用物理、73巻、第9号、頁1166、2004年、参照)。フラッシュメモリは、実用的な不揮発性メモリとして、多くの分野で使用されている。

[0006] 代表的なフラッシュメモリのメモリセルは、MOSFETのゲート電極部が、制御ゲート電極と浮遊ゲート電極を有した複数の層からなるスタックゲート (Stack gate) 構造となっている。フラッシュメモリでは、浮遊ゲートに蓄積された電荷の量により、MOSFETの閾値が変化することを利用して、データの記録を可能としている。

[0007] フラッシュメモリのデータの書き込みは、ドレイン領域に高電圧を印加して発生したホットキャリアがゲート絶縁膜のエネルギー障壁を乗り越えることで行う。また、ゲート絶縁膜に高電界を印加してF-N (Fowler-Nordheim) トンネル電流を流すことで、半導体基板から浮遊ゲートに電荷 (一般的には電子) を注入することで、データの書き込みが行われる。データの消去は、ゲート絶縁膜に逆方向の高電界を印加することで、浮遊ゲートから電荷を引き抜くことにより行われる。

[0008] フラッシュメモリは、DRAMのようなリフレッシュ動作が不要な反面、F-Nトンネル現象を用いるために、DRAMに比べてデータの書き込み及び消去に要する時間がけた違いに長くなってしまうという問題がある。さらに、データの書き込み・消去を繰り返すと、ゲート絶縁膜が劣化するので、書き換え回数がある程度制限されているという問題もある。

[0009] 上述したフラッシュメモリに対し、新たな不揮発性メモリとして、強誘電体の分極を用いた強誘電体メモリ (以下、FeRAM (Ferroelectric RAM) や、強磁性体の磁気抵抗を用いた強磁性体メモリ (以下、MRAM (Magnetoresistive RAM) とする) などが注目されており、盛んに研究されている。この中で、FeRAMは、既に実用化されていることもあり、諸処の課題を解決できれば、可搬型メモリだけでなくロガックのDRAMも置き換えできると期待されている。

[0010] 強誘電体には、酸化物強誘電体 (強誘電体セラミックスとも呼ばれる) とポリフッビニ

ニリデン(PVDF)に代表されるような高分子強誘電体、 BaMgF_4 などのフッ化物強誘電体がある。酸化物強誘電体とフッ化物強誘電体は、分極を担う原子の僅かな変位によって分極反転が起きる。一方、高分子強誘電体では、共有結合で長く結合した分子鎖のコンフォメーション(結合形態)変換を素過程とする個々の分子鎖の回転によって、分極反転が起きる。

- [0011] 酸化物強誘電体は、 BaTiO_3 、 PbTiO_3 などのペロブスカイト構造(Pe rovskite)、 LiNbO_3 、 LiTaO_3 などの擬イルメナイト構造(Pse udo-ilmenite)、 PbNb_3O_6 、 $\text{Ba}_2\text{NaNb}_5\text{O}_{15}$ などのタングステン・ブロンズ(TB)構造(Tungsten-bronze)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ などのビスマス層状構造(Bismuth layer-StruCture ferroelectric,BLSF)等、 $\text{La}_2\text{Ti}_2\text{O}_7$ などのパイロクロア構造(pyrochlore)に分類される。
- [0012] また、高分子強誘電体は、ポリフッ化ビニリデン(PVDF)を始め、フッ化ビニリデン(PDV)と三フッ化エチレンの共重合体のP(VDF/TrEF)などがあり、高分子の重合反応により作製される。強誘電体についての詳しくは、塩害忠 監修、強誘電体材料の開発と応用、シーエムシー出版を参考されたい。
- [0013] 上述した強誘電体材料のうち、 FeRAM には主に酸化物強誘電体が使用される。さらに、酸化物強誘電体の中でよく使用されているのは、ペロブスカイト構造を持つ強誘電体(以下、ペロブスカイト型強誘電体と呼ぶ)の中でも $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT)で代表される鉛系強誘電体である。しかしながら、鉛含有物や鉛酸化物は、労働安全衛生法により規制される材料であり、生態への影響や環境負荷の増大などが懸念される。このため欧米では、生態学的見知及び公害防止の面から規制対象となりつつある。
- [0014] 近年の環境負荷軽減の必然性から、非鉛系(無鉛)で鉛系強誘電体の性能に匹敵する強誘電体材料が世界的に注目されており、この中でも無鉛ペロブスカイト型強誘電体やビスマス層状構造強誘電体(BLSF)が有望とされている。しかし、鉛系強誘電体に比べ分極量が小さく成膜法・加工法ともに課題が多いのも事実である。
- [0015] フラッシュメモリの代わりとして期待される FeRAM には、主に、スグソク型とFET型に分類される。スタック型は、1トランジスタ1キャパシタ型 FeRAM とも呼ばれ、この構造から図127に示すようなスグソク型キャパシタを持つものと、プレーナ型キャパシタ

を持つもの、立体型キャパシタを持つものがある。また、スタック型には、1トランジスタ1キャパシタ型FeRAMやこれを2つ重ねて安定動作化させた2トランジスタ2キャパシタ型FeRAMがある。

- [0016] 図127に示すスタック型のFeRAMは、半導体基板12701の上に、ソース12702、ドレイン12703、ゲート絶縁膜12704を介して設けられたゲート電極12705よりなるMOSトランジスタを備え、MOSトランジスタのソース12702に、下部電極12711、強誘電体からなる誘電体層12712、上部電極12713からなるキャパシタが接続している。図127の例では、ソース電極12702により上記キャパシタがソース12702に接続している。また、ドレイン12703にはドレイン電極12707が接続し、電流計が接続している。
- [0017] これらの構造は、強誘電体からなる誘電体層12712の分極の向きをソース・ドレイン間(チャネル12721)に流れる電流として検出することで、「on」あるいは「off」のデータとして取り出す機能を持っている。強誘電体の分極は、電圧を印加してなくても保持できることから不揮発性を有するが、この構造では、データ読み出し時にデータを破壊してしまい、データの再書き込みが必要となり高速性にかけるといふ問題や、1つの素子の占有する面積が大きいため、高集積化には向かないといふ欠点がある。
- [0018] 上述したスタック型FeRAMに対し、FET型FeRAMは、次世代を担うFeRAMとして期待されている。FET型FeRAMは、1トランジスタ型FeRAMとも呼ばれ、この構造から、MOSFETのゲート電極とチャネル領域のゲート絶縁膜の代わりに強誘電体膜を配置したMFS(Metal-ferroelectric-semiconductor)型FeRAM、MOSFETのゲート電極の上に強誘電体膜を配置したMFMS(Metal-ferroelectric-metal-insulator-semiconductor)型FeRAM、さらにMOSFETのゲート電極とゲート絶縁膜の間に強誘電体膜を配置した図128に示すようなMFI(Metal-ferroelectric-insulator-semiconductor)型FeRAMなどの1トランジスタ型FeRAMがある(猪俣浩一郎、田原修一、有本由弘編、MRAM技術－基礎からLSI応用まで－、サイベック参照)。
- [0019] 図128に示すMFIでは、半導体基板12801の上に、ソース12802、ドレイン12803を備え、ソース・ドレイン間に配置されたゲート絶縁膜12804の上に、強誘電体からなる誘電体層12805を備え、誘電体層12805の上にゲート電極12806を備える。

ソース128 02にはソース電極128 07を介してソース電圧が印加され、ドレイン128 03にはドレイン電極128 08を介して電流計が接続している。

[0020] これらの $\text{Fe}\mu\text{M}$ は、MOSFETの動作に強誘電体の分極を適用させたものであり、分極の状態により、ゲート絶縁膜128 04直下の半導体表面にチャネル128 21が形成される場合と、形成されない場合との状態を作り出し、このときのソース・ドレイン間の電流値を読み取り、電氣的なデジタル信号の「on」あるいは「off」として取り出す機能を持っている。

[0021] FET型 FeRAM では、動作原理から、データ読み出しを行っても、強誘電体の分極量は変化しないことから非破壊読み出しが可能であり、高速動作が期待されている。また、1トランジスタ1キャパシタ型 FeRAM に比べて専有面積も小さくできることから、高集積化に有利である特徴を持つ。しかしながら、実際には、1トランジスタ型 FeRAM のうちMFIS型 FeRAM (図128) では、強誘電体膜と半導体の間にゲート絶縁膜があるために、強誘電体の分極量を打ち消すような減分極電界が発生する。

[0022] さらに、上述した構成を実現するためには、一般的に非品質(アモルファス)である絶縁膜の上に、分極特性と配向性を持つ高品質な高誘電体を成膜することになる。ところが、後に説明する既存の成膜手法を用いては、絶縁膜上に高配向性の強誘電体を形成することが難しかった。このため、従来技術で作製されたMFIS型 FeRAM は、減分極電界により分極が持ちこたえることができず、長時間のデータ保持ができなかった。さらに、半導体の上に形成する絶縁膜の品質が乏しい場合、電界により生じるリーク電流によって、強誘電体の分極量がさらに低下してしまう。これらのために、現状のMFIS型 $\text{Fe}\mu\text{M}$ においては、メモリとしての動作のデータ保持期間(データ寿命)が10日程度に留まっており、実用にはほど遠いのが現状である。

[0023] ところで、MFMIS型 $\text{Fe}\mu\text{M}$ においては、結品の金属電極(Ptや SrRuO_2 などが一般的)の上に強誘電体を形成できるため、MFIS型 $\text{Fe}\mu\text{M}$ 構造のように絶縁膜の上に強誘電体を形成する必要がなく高品質な成膜ができる。しかしながら、強誘電体は、金属上に対してもいまだ安定した成膜方法が提案されておらず、やはり、半導体上の絶縁膜による減分極電界による分極低下が問題となり長期のメモリ保持が実現されていない。

- [0024] 一方、MFS型 $\text{Fe}_{1-x}\text{M}_x$ では、半導体上の絶縁膜を必要としないために、原理的に減分極電界による分極の低下を回避できる。しかし、ゾルゲル法やMOCVD法などの強誘電体成膜方法では高温の成膜温度が必要となるために、Siなどの半導体表面が酸化又は変質してしまい、界面に酸化膜や欠陥を多く形成してしまう。この結果、半導体と強誘電体との界面に酸化膜(界面酸化膜)が形成されてしまった場合、MFI型 $\text{Fe}_{1-x}\text{M}_x$ と同様に減分極電界が生じてしまう。
- [0025] 界面酸化膜が形成されなくても、界面に欠陥準位を多く形成した場合、電荷蓄積の電荷の影響が大きくなり、正確なメモリ動作ができなくなる。また、形成した強誘電体膜の品質が低い場合、膜中にリーク電流が流れてしまい長期間の分極特性を保持できないことが多く報告されている。
- [0026] 上述した Fe RAMなどでは、基体上への酸化物強誘電体の形成が重要である。現在までに様々な形成装置及び種々の薄膜形成方法が試みられている。例えば、ゾルゲル(sol-gel)法と有機金属熱分解(Metal-Organic decomposition MOD)を含む化学溶液堆積法(Chemical solution deposition CSD)、有機金属化学気相堆積法(Metal-organic chemical vapor deposition, MOCVD 又はMOVPE)、パルス・レーザー・デポジション(Pulsed laser deposition, PLD)、液体ミスト化学堆積法(Liquid source misted chemical deposition, LSMCD)、電気泳動堆積法(Electro-phoretic deposition, EPD)、高周波スパッタリング法(rf-sputtering, RFスパッタ法やマグネトロンスパッタ法とも呼ぶ)、ECRスパッタ法(Electron cyclotron resonance sputtering)などが挙げられる。
- [0027] これらの成膜方法のうち主流となっているのは、ゾルゲル法やMOD法と呼ばれるCSD法である。CSD法は、強誘電体の基材を有機溶媒に溶解し、これを基体に塗布・焼結を繰り返して膜を形成する方法であり、簡便で比較的大面積に強誘電体膜が形成できるのが特徴である。CSD法は、塗布する溶液の組成を制御することで任意の組成を持つ強誘電体膜が形成でき、多くの研究機関から報告がなされている。
- [0028] しかし、塗布する基体によっては濡れ性が悪く形成できないこともあること、形成した膜中に溶液に用いる溶媒が残されてしまい良好な膜質が得られないことなどの問題がある。また、CSD法では、焼結させるための温度を強誘電体膜のキュリー温度よりも高くする必要があるのであるために、温度や雰囲気制御が悪い場合、良好な特性の膜が

全く得られないといった問題を抱える。

[0029] また、CSD法以外の方法による強誘電体膜の形成も試みられている。例えば、エキシマレーザーなどの強力なレーザー光源で強誘電体原料のターゲットをスパッタすることで、良好な膜質の強誘電体膜が形成できるPLD法が注目されている。しかし、この方法では、ターゲット面内においてレーザーが照射される部分の面積は非常に小さく、小さな照射面からスパッタされて供給される原料に大きな分布が生じる。このためにPLD法では、基体に形成される強誘電体の膜厚・膜質などに大きな面内分布を生じ、また、同一条件で形成しても全く異なった特性になるなど、再現性について大きな問題がある。

[0030] ただし、この特性は、条件を詳細に検討するのには向いており、この特性を生かして成膜特性を検討する手法としてコンビナトリアル法が注目されている。しかしながら、工業的な観点からは、大面積に再現性よく形成できる手法が必須であり、現在のPLD法は、工業的な使用は困難であるといえる。

[0031] 上述した種々の膜形成方法に対し、強誘電体膜の形成方法としてスパッタリング法（単にスパッタ法ともいふ）が注目されている。スパッタ法は、危険度の高いガスや有毒ガスなどを用いることなく、堆積する膜の表面凹凸（表面モフォロジ）が比較的良いなどの理由により、有望な成膜装置・方法の1つになっている。スパッタ法において、化学量論的組成の強誘電体膜を得るための優れた装置・方法として、酸素ガスや窒素ガスを供給し、膜中の酸素や窒素が欠落するのを防止する反応性スパッタ装置・方法が有望である。

[0032] 従来から使用されているRFスパッタ法（従来スパッタ法）において、酸化物強誘電体を堆積するときには、対象となる化合物（焼結体）ターゲットを用いる。しかしながら、従来スパッタ法では、不活性ガスとしてアルゴン、反応性ガスとして酸素を用いて酸化物強誘電体を形成した場合、基板上に形成された強誘電体膜中の酸素が充分に取り込まれずに、良好な膜質の強誘電体が得られないという問題があった。

[0033] このため、強誘電体を堆積した後に、加熱炉などを用いた酸素中でのアニーリングと呼ばれる加熱処理により、基体の上に形成した強誘電体膜の膜質を改善する必要があった。従って、上記従来スパッタ法では、アニーリング工程が追加され、製

造プロセスに煩雑性が増すとつ問題があった。また、このアニーリング工程では、一定の膜質を得るように制御するため、温度などの条件を厳密に管理する必要があった。加えて、形成する膜の材質によっては、アニーリング処理を行うことができない場合もあった。

- [0034] また、スパッタ膜の膜品質を改善する方法として、電子サイクロトロン共鳴(ECR)によりプラズマを発生させ、このプラズマの発散磁界を利用して作られたプラズマ流を基板に照射し、同時に、ターゲットと接地間に高周波又は負の直流電圧を印加し、上記ECRで発生させたプラズマ流中のイオンをターゲットに引き込み衝突させてスパッタリングし、膜を基板に堆積させるECRスパッタ法がある。
- [0035] 従来のスパッタ法では、0.1Pa程度以上のガス圧力でないと安定なプラズマは得られないのに対し、ECRスパッタ法では、安定なECRプラズマが0.01Pa台の圧力で得られる特徴を持つ。また、ECRスパッタ法は、高周波又は負の直流高電圧により、ECRにより生成した粒子をターゲットに当ててスパッタリングを行うため、低い圧力でスパッタリングができる。
- [0036] ECRスパッタ法では、基板にECRプラズマ流とスパッタされた粒子が照射される。ECRプラズマ流中のイオンは、発散磁界により10eVから数10eVのエネルギーを持っている。また、気体が分子流として振る舞う程度の低い圧力でプラズマを生成・輸送しているため、基板に到達するイオンのイオン電流密度も大きく取れる。従って、ECRプラズマ流中のイオンは、スパッタされて基板上に飛来した原料粒子にエネルギーを与えると共に、原料粒子と酸素との結合反応を促進することとなり、堆積した膜の膜質が改善される。
- [0037] ECRスパッタ法では、低い基板温度で高品質の膜が形成できることが特徴となっている。ECRスパッタ法でいかに高品質な薄膜を堆積し得るかは、例えば、特許第2814416号公報、特許第2779997号公報や、天沢他のJ.Vac.Sci.Technol. B17,no.5,2222 (1999)を参照されたい。さらに、ECRスパッタ法は、膜の堆積速度が比較的安定しているため、ゲート絶縁膜などの極めて薄い膜を、膜厚の制御よく形成するのに適している。また、ECRスパッタ法で堆積した膜の表面モフォロジは、原子スケールのオーダーで平坦である。従って、ECRスパッタ法は、高誘電率ゲート絶縁膜の

形成するだけでなく、前述した $\text{Fe}_{1-x}\text{M}_x$ に必要な強誘電体膜の形成や金属電極膜の形成にとって有望な方法であると言える。

- [0038] ECRスパッタ法を用いた強誘電体膜の検討についてもいくつか報告されている。例えば、特開平10-152397号公報、特開平10-152398号公報、松岡らのJ Appl. Phys., 76(3), 1768, (1994) 』では、バリウム又はストロンチウムを含む強誘電体の製造について報告している。また、渡津らの「粉体及び粉末冶金」、第44号、86頁、1997年』では、 $\text{Ba}_{0.5}\text{Na}_{0.5}\text{NiO}_{1.5}$ の製造について報告している。さらに、増本らの、Appl. Phys. Lett., 58, 243, (1991) 』
- [0039] しかしながら、従来では、ECRスパッタ法を用いても、先人らは従来スパッタ法と同様の方法として捉えた思想により条件を選択し、強誘電体材料からなる膜を形成しようとしていた。このため、従来では、ECRスパッタ法を用いて強誘電体膜を形成しても、 $\text{Fe}_{1-x}\text{M}_x$ に適用できる良好な強誘電性を示すことができなかった。
- [0040] 上述したようなメモリを取り巻く状況に対し、強誘電体の分極量により半導体の状態を変化させる(チャネルを形成する)などの効果によりメモリを実現させるのではなく、図129に示すように、半導体基板12901の上部に直接形成した強誘電体層12902の抵抗値を変化させ、結果としてメモリ機能を実現する技術が提案されている(特開平7-263646号公報参照)。強誘電体層12902の抵抗値の制御は、電極12903と電極12904との間に電圧を印加することで行う。

発明の開示

発明が解決しようとする課題

- [0041] しかしながら、図129に示した特許文献6に提案されている構造は、前述したMFS型 $\text{Fe}_{1-x}\text{M}_x$ のゲート電極直下と同様に、半導体の上に強誘電体層を備える構造となっている。従って、図129に示す素子では、MFS型 $\text{Fe}_{1-x}\text{M}_x$ の製造過程に最大の問題となる半導体上の良質な強誘電体層の形成が困難であるばかりでなく、半導体と強誘電体層との間に半導体酸化物が形成されてしまい、減分極電界の発生や多くの欠陥の発生が特性に大きく影響し、長時間のデータ保持は不可能であることが予想される。実際、図129に示す素子では、2分程度の保持時間しか達成されておらず、1分程度でデータの再書き込みを強いられることになる。

[0042] 図129に示す素子に見られる電流電圧ヒステリシスは、半導体基板129 01と強誘電体層129 02の界面に発生した欠陥に、電子又はホールが捕獲(トラップ)されるために起きるとされている。このため、特許文献6では、電気伝導に関連するキャリア数が少ない材料が好ましく、半導体基板129 01が適しているとしている。しかし、界面欠陥のキャリアトラップ現象を用いているために、捕獲するトラップが多くなれば、トラップの増加に伴うリーク電流によりデータ保持時間は短くなる。これに対し、半導体基板129 01の上に界面なく強誘電体層129 02を形成し、リーク電流を少なくすれば、キャリアの捕獲は発現せず、メモリの効果はなくなる。これらの矛盾により、図129に示す素子では、長時間のメモリ保持を行うには原理的に不適であるものであった。

[0043] 本発明は、以上のような問題点を解消するためになされたものであり、より安定に記憶保持が行えるメモリ装置が構成できるなど、金属酸化物を用いて安定した動作が得られる素子を提供できるようにすることを目的とする。

課題を解決するための手段

[0044] 本発明に係る2安定抵抗値取得装置は、基板の上に形成されて少なくとも2つの金属を含んだ金属酸化物から構成された所定の厚さの第1金属酸化物層と、この第1金属酸化物層の一方の面に形成された第1電極と、第1金属酸化物層の他方の面に形成された第2電極とを少なくとも備えるようにしたものである。

[0045] 上記2安定抵抗値取得装置において、第1金属酸化物層の他方の面に第2電極と離間して形成された第3電極を備えるようにしてもよい。この場合、第1電極からなるゲート電極と、第2電極からなるソース電極と、第3電極からなるドレイン電極とにより3端子素子が構成できる。

[0046] 上記2安定抵抗値取得装置において、基板の上に形成されて金属酸化物から構成された所定の厚さの第2金属酸化物層と、この第2金属酸化物層に設けられた第4電極とを少なくとも備え、第1電極、第1金属酸化物層、第2金属酸化物層、及び第4電極は、これらの順に直列に接続されているようにしてもよい。

[0047] 上記2安定抵抗値取得装置において、第1金属酸化物層の一方の面及び他方の面の少なくとも1つの面に接して形成された絶縁層を備えるようにしてもよい。また、第2金属酸化物層の一方の面及び他方の面の少なくとも1つの面に接して形成された

絶縁層を備えるようにしてもよい。上記2安定抵抗値取得装置において、基板の上に形成された非品質状態の非品質層と、この非品質層の上に形成されて結晶状態の導電性材料から構成された第1電極、この第1電極の上に形成された第1金属酸化物層、及びこの第1金属酸化物層の上に形成された第2電極より構成された複数の素子と、これら素子の間の非品質層の上に形成されて金属酸化物から構成された分離層とを少なくとも備え、分離層により複数の素子が分離されているようにしてもよい。この場合、第1金属酸化物層と分離層とは、一体に形成されているようにしてもよい。

[0048] 上記2安定抵抗値取得装置において、金属酸化物は、第1電極と第2電極との間に印加された電気信号により抵抗値が変化するものである。例えば、金属酸化物は、第1電圧値以上の電圧印加により第1抵抗値を持つ第1状態となり、第1電圧とは極性の異なる第2電圧値以下の電圧印加により第1抵抗値と異なる第2抵抗値を持つ第2状態となる。また、例えば、金属酸化物は、第1電圧値を超える電圧印加により第1抵抗値を持つ第1状態となり、第1電圧を超えない範囲の第2電圧値を超える電圧印加により第1抵抗値より高い第2抵抗値を持つ第2状態となる。

[0049] 上記2安定抵抗値取得装置において、金属酸化物は、少なくとも第1金属、及び酸素から構成された基部層と、第1金属、第2金属、及び酸素からなり、基部層の中に分散された複数の微粒子とを少なくとも備えるものである。このとき、基部層は、第1金属、第2金属、及び酸素から構成され、化学量論的組成に比較して第2金属の組成比が小さいものであればよい。また、基部層は、第1金属、第2金属、及び酸素の柱状結品を含むものであってもよい。また、金属酸化物は、基部層に接して配置され、少なくとも第1金属、及び酸素から構成され、柱状結品及び非品質の少なくとも1つである金属酸化物単一層を備えるものであってもよい。また、金属酸化物単一層は、第1金属、第2金属、及び酸素の化学量論的組成に比較して第2金属の組成比が小さいものである。また、金属酸化物単一層は、微粒子を含まない。なお、第1金属はチタンであり、第2金属はビスマスであり、基部層は、化学量論的組成に比較して過剰なチタンを含む層からなる非品質状態であればよい。上記2安定抵抗取得装置において、金属酸化物は、強誘電体であってもよい。

- [0050] 上記2安定抵抗値取得装置において、第1電極は、ルテニウム、白金の少なくとも1つから構成され、同一材料による単層構造、複数材料による積層構造の少なくとも1つであればよい。また、基板は導電性材料から構成されたものであってもよい。また、第1電極と基板とは同一であってもよい。
- [0051] 本発明に係る2安定抵抗値取得装置の製造法は、基板の上に形成されて少なくとも2つの金属を含んだ金属酸化物から構成された所定の厚さの第1金属酸化物層と、この第1金属酸化物層の一方の面に形成された第1電極と、第1金属酸化物層の他方の面に形成された第2電極とを少なくとも備えた2安定抵抗値取得装置の製造方法であって、所定の組成比で供給された不活性ガスと酸素ガスとからなる第1プラズマを生成し、少なくとも第1金属及び第2金属から構成されたターゲットに負のバイスを印加して第1プラズマより発生した粒子をターゲットに衝突させてスパッタ現象を起こし、ターゲットを構成する材料を堆積することで、第1金属、第2金属及び酸素から構成された金属酸化物からなる第1金属酸化物層を形成する第1工程を備え、第1プラズマは、電子サイクロトロン共鳴により生成されて発散磁界により運動エネルギーが与えられた電子サイクロトロン共鳴プラズマであり、基板は所定温度に加熱された状態とするようにしたものである。
- [0052] 上記2安定抵抗値取得装置の製造方法において、金属酸化物からなる層の表面に、所定の組成比で供給された不活性ガスと反応性ガスとからなる第2プラズマを照射する第2工程を備え、第2プラズマは、電子サイクロトロン共鳴により生成されて発散磁界により運動エネルギーが与えられた電子サイクロトロン共鳴プラズマであればよい。また、反応性ガスは、酸素ガスであればよい。また、第1工程において、基板は、金属酸化物のキュリー点温度以下に加熱したほうがよい。また、基板に、プラズマにより生成されるイオンエネルギーを制御するための電圧を印加するようにしてもよい。なお、第1金属はチタンであり、第2金属はビスマスであればよい。また、ターゲットは、少なくとも第1金属と第2金属と酸素とから構成されたものであればよい。
- [0053] 本発明に係る金属酸化物薄膜は、少なくとも第1金属及び酸素から構成された基部層と、第1金属、第2金属、及び酸素よりなり、基部層の中に分散された複数の微品粒（例えば、化学量論的組成の微結晶）とを少なくとも備えるようにしたものである。

[0054] また、本発明に係る金属酸化物薄膜の製造方法は、所定の組成比で供給された不活性ガスと酸素ガスとからなる第1プラズマを生成し、第1金属と第2金属とから構成されたターゲットに負のバイスを印加して第1プラズマより発生した粒子をターゲットに衝突させてスパッタ現象を起こし、ターゲットを構成する材料を基板の上に堆積することで、少なくとも第1金属及び酸素から構成された基部層と、第1金属、第2金属、及び酸素からなり、基部層の中に分散された複数の微粒子とを少なくとも備える金属酸化物薄膜を基板の上に形成する工程を備え、第1プラズマは、電子サイクロトロン共鳴により生成されて発散磁界により運動エネルギーが与えられた電子サイクロトロン共鳴プラズマであり、基板は所定温度に加熱された状態とするようにしたものである。なお、第1金属はチタンであり、第2金属はビスマスである。

発明の効果

[0055] 以上説明したように、本発明によれば、少なくとも2つの金属を含んだ金属酸化物から構成された所定の厚さの第1金属酸化物層の一方の面に第1電極を用意し、他方の面に第2電極を用意して素子を構成するようにしたので、より安定に記憶保持が行えるメモリ装置が構成できるなど、金属酸化物を用いて安定した動作が得られる素子を提供できるようになるれづ優れた効果が得られる。

図面の簡単な説明

- [0056] [図1A]図1Aは、本発明の実施の形態における2安定抵抗値取得装置（強誘電体素子）の構成例を示す断面図である。
- [図1B]図1Bは、図1Aに示す素子の部分を示す断面図である。
- [図2]図2は、図1Aに示す素子の電流電圧特性を示す特性図である。
- [図3]図3は、図1Aに示した素子におけるデータ保持について示す特性図である。
- [図4A-4D]図4A、図4B、図4C、図4Dは、図1Aに示す素子の製造方法例について説明する工程図である。
- [図5]図5は、ECRスパッタ装置の概略的な構成例を示す模式的な断面図である。
- [図6]図6は、ECRスパッタ法を用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の、導入した酸素流量に対する成膜速度の変化を示した特性図である。
- [図7A-7d]図7A～図7dは、強誘電体層104の構成例として作製した薄膜の断面を

透過型電子顕微鏡で観察した結果を示し、図7A、図7B、図7C、図7Dは、顕微鏡写真であり、図7a、図7b、図7c、図7dは、各々の状態を模式的に示した模式図である。

[図8] 図8は、膜形成時の基板温度条件に対する成膜速度と屈折率の変化を示したものである。

[図9] 図9は、強誘電体層104の他の構成例を示す模式的な断面図である。

[図10A-10D] 図10A、図10B、図10C、図10Dは、本発明の実施の形態に係る他の強誘電体素子の構成例を示す模式的な断面図である。

[図11A-11E] 図11A、図11B、図11C、図11D、図11Eは、本実施の形態に係る他の強誘電体素子の構成例を示す模式的な断面図である。

[図12A-12D] 図12A、図12B、図12C、図12Dは、本実施の形態に係る他の強誘電体素子の構成例を示す模式的な断面図である。

[図13] 図13は、本実施の形態に係る他の強誘電体素子の構成例を示す模式的な断面図である。

[図14] 図14は、本実施の形態に係る他の強誘電体素子の構成例を示す模式的な断面図である。

[図15] 図15は、図1に示す素子の強誘電体層104に所定の電圧が印加された状態として一定の電流が流れた後に、+0.5Vの電圧が印加されたときに流れる電流値を観察した結果を示す特性図である。

[図16] 図16は、図1に示す素子をパルス電圧により駆動する動作例を示すタイミングチャートである。

[図17] 図17は、図16に示す駆動制御による電流値の変化を示す特性図である。

[図18] 図18は、図1に示す素子の多値動作について説明するための説明図である。

[図19] 図19は、図1に示す素子の多値動作について説明するための説明図である。

[図20] 図20は、図1に示す素子の多値動作について説明するための説明図である。

[図21] 図21は、他の金属材料から電極を構成した場合の電流電圧特性を示す特性図である。

[図22] 図22は、他の金属材料から電極を構成した場合の電流電圧特性を示す特性

図である。

[図_{2.3}] 図_{2.3} は、他の金属材料から電極を構成した場合の電流電圧特性を示す特性図である。

[図_{2.4}] 図_{2.4} は、他の金属材料から電極を構成した場合のデータ保持について示す特性図である。

[図_{2.5A-25B}] 図_{2.5A} , 図_{2.5B} は、2 つ以上の金属から構成された酸化物よりなる強誘電体(薄膜)の一般的な電流電圧特性を示す特性図である。

[図_{2.6}] 図_{2.6} は、絶縁破壊(ブレイクダウン)の過程を示す特性図である。

[図_{2.7}] 図_{2.7} は、所定の膜厚以上とした強誘電体層_{1.0}の電圧電流特性を示す特性図である。

[図_{2.8}] 図_{2.8} は、複数の素子に対して E_C Rプラズマを照射して E_O 処理をする状態を説明するための説明図である。

[図_{2.9}] 図_{2.9} は、+1.6Vで低抵抗状態になだらかに遷移する素子において、+1Vの電圧を印加した場合の素子の抵抗値の変化を示す説明図である。

[図_{3.0}] 図_{3.0} は、上部電極と下部電極層との間に一定電圧(例えば1.2V)を印加したときの、素子の抵抗値の時間変化を示す説明図である。

[図_{3.1}] 図_{3.1} は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{3.2A-32E}] 図_{3.2A} , 図_{3.2B} , 図_{3.2C} , 図_{3.2D} , 図_{3.2E} は、図_{3.1} に示す素子の製造方法例を示す工程図である。

[図_{3.3}] 図_{3.3} は、図_{3.1} に示す素子の下部電極層_{3.1.0}と上部電極_{3.1.0}との間に電圧を印加したときの電流密度の変化の状態を示す特性図である。

[図_{3.4}] 図_{3.4} は、図_{3.1} に示す素子におけるデータ保持される時間について説明するための説明図である。

[図_{3.5A-35D}] 図_{3.5A} , 図_{3.5B} , 図_{3.5C} , 図_{3.5D} は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{3.6}] 図_{3.6} は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図₃₇]図₃₇は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{38A-38C}]図_{38A}、図_{38B}、図_{38C}は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図₃₉]図₃₉は、強誘電体層_{310a}の上の絶縁層_{310b}を構成する材料及び膜厚と電流密度との関係を示す特性図である。

[図_{40A-40E}]図_{40A}、図_{40B}、図_{40C}、図_{40D}、図_{40E}は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図₄₁]図₄₁は、下部電極層_{310b}と上部電極_{310c}との間に流れる電流値と、電極間に電流検出用の電圧を印加したときに測定される電流との関係を示す特性図である。

[図₄₂]図₄₂は、図₃₁に示す素子をパルス電圧により駆動する動作例を示すタイミングチャートである。

[図₄₃]図₄₃は、図₄₂に示す駆動制御による電流値の変化を示す特性図である。

[図_{44A-44B}]図_{44A}、図_{44B}は、図₃₁に示す素子を電流を制御するスワッチ素子として用いる場合について説明する説明図である。

[図₄₅]図₄₅は、図₃₁に示す素子を電流を制御するスワッチ素子として用いる場合の制御シーケンスを示すタイミングチャートである。

[図₄₆]図₄₆は、図₃₁に示す素子の多値動作について説明するための説明図である。

[図₄₇]図₄₇は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{48A-48E}]図_{48A}、図_{48B}、図_{48C}、図_{48D}、図_{48E}は、本発明の実施の形態における素子の製造方法例を示す工程図である。

[図₄₉]図₄₉は、図₄₇に示す素子の下部電極層_{470b}と上部電極_{470c}との間に電圧を印加したときの電流変化の状態を示す特性図である。

[図_{50A-50D}]図_{50A}、図_{50B}、図_{50C}、図_{50D}は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{5 1}]図_{5 1}は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{5 2}]図_{5 2}は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{5 3 A}-53C]図_{5 3 A},図_{5 3 B},図_{5 3 C}は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{5 4 A}-54E]図_{5 4 A},図_{5 4 B},図_{5 4 C},図_{5 4 D},図_{5 4 E}は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{5 5}]図_{5 5}は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図_{5 6}]図_{5 6}は、シリコン基板の上に形成されたビスマスとチタンとを含む金属酸化物層の断面状態を透過型電子顕微鏡により観察した結果を模式的に示す断面図である。

[図_{5 7}]図_{5 7}は、ルテニウム電極層の上に形成されたビスマスとチタンとを含む金属酸化物層の断面状態を透過型電子顕微鏡により観察した結果を示す顕微鏡写真である。

[図_{5 8}]図_{5 8}は、ルテニウム電極層の上に形成されたビスマスとチタンとを含む金属酸化物層の断面状態を透過型電子顕微鏡により観察した結果を模式的に示す断面図である。

[図_{5 9}]図_{5 9}は、積層構造の絶縁層における電気的特性を示す特性図である。

[図_{6 0}]図_{6 0}は、ルテニウム電極層の上に、五酸化₁タンタル層,二酸化シリコン層,五酸化₁タンタル層の順に積層された絶縁層を介して形成されたビスマスとチタンとを含む金属酸化物層の断面状態を透過型電子顕微鏡により観察した結果を示す顕微鏡写真である。

[図_{6 1}]図_{6 1}は、ルテニウム電極層の上に、五酸化₁タンタル層,二酸化シリコン層,五酸化₁タンタル層の順に積層された絶縁層を介して形成されたビスマスとチタンとを含む金属酸化物層の断面状態を透過型電子顕微鏡により観察した結果を模式的に示す断面図である。

[図62]図62は、本発明の実施の形態における金属酸化物層を用いた素子の構成例を模式的に示す断面図である。

[図63A-63F]図63A,図63B,図63C,図63D,図63E,図63Fは、図62に示す機能素子の製造方法例を示す工程図である。

[図64]図64は、図62に示す素子の下部電極層62Qと上部電極62Q'との間に電圧を印加したときの電流変位の状態を示す特性図である。

[図65A-65D]図65A,図65Bは、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図66A-66B]図66A,図66Bは、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図67A-67B]図67A,図67Bは、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図68]図68は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図69A-69E]図69A,図69B,図69C,図69D,図69Eは、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図70]図70は、本発明の実施の形態における他の素子の構成例を模式的に示す断面図である。

[図71]図71は、図62に示す素子の多値動作について説明するための説明図である。

[図72]図72は、図1Aに示す素子の他の電流電圧特性を示す特性図である。

[図73]図73は、強誘電体層10₁の構成例として作製した薄膜の断面を透過型電子顕微鏡で観察した結果を示す顕微鏡写真である。

[図74]図74は、図1Aに示す素子の他の電流電圧特性を示す特性図である。

[図75]図75は、図31に示す素子の他の電流電圧特性を示す特性図である。

[図76]図76は、図75に電流電圧特性を示す素子におけるデータ保持について示す特性図である。

[図77]図77は、図1Aに示す素子の他の電流電圧特性を示す特性図である。

[図78]図78は、低抵抗状態を説明するための説明図である。

[図79]図79は、低抵抗状態を説明するための説明図である。

[図80]図80は、高抵抗状態を説明するための説明図である。

[図81]図81は、高抵抗状態を説明するための説明図である。

[図82]図82は、低抵抗状態を説明するための説明図である。

[図83]図83は、低抵抗状態を説明するための説明図である。

[図84]図84は、図1Aに示す素子の他の電流電圧特性を示す特性図である。

[図85]図85は、パルス駆動における図1Aに示す素子の他の電流電圧特性を示す特性図である。

[図86A-86C]図86A～図86Cは、本発明の実施の形態における三端子素子の構成例を概略的に示す模式的な断面図及び特性図である。

[図87]図87は、ゲート電極860により異なるゲート電圧を印加したときにソース電極860とドレイン電極860との間に流れる電流の変化について示す特性図である。

[図88]図88は、ゲート電圧によるON及びOFFの各状態の変化について示す説明図である。

[図89]図89は、ゲート電圧として+1Vを印加してOFF状態とした後に、ソース小レイン間に印加する読み出し電圧を0Vから50.2Vへと高くしたときに流れる電流の状態を示す特性図である。

[図90A-90D]図90A,図90B,図90C,図90Dは、図86A及び図86Bに示した三端子素子の製造方法例について説明する工程図である。

[図91]図91は、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。

[図92A-92B]図92A,図92Bは、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。

[図93A-93B]図93A及び図93Bは、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。

[図94]図94は、ゲート電極860に直流のゲート電圧を印加したときの金属酸化物層860における電流－電圧特性を示す特性図である。

[図₉₅]図₉₅は、図_{86A}及び図_{86B}に示す三端子素子に印加する所定のパルス幅の所定のパルス電圧の状態を説明する説明図である。

[図₉₆]図₉₆は、所定のパルス幅の所定のパルス電圧を所定回数印加する毎に、ソース小レイン間より読み出された電流値の変化を示す特性図である。

[図_{97A-g7B}]図_{97A}及び図_{97B}は、本発明の実施の形態における三端子素子の構成例を概略的に示す模式的な断面図である。

[図_{98A-g8E}]図_{98A}～図_{98E}は、図_{97A}及び図_{97B}に示した三端子素子の製造方法例について説明する工程図である。

[図₉₉]図₉₉は、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。

[図_{100A-100B}]図_{100A}、図_{100B}は、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。

[図₁₀₁]図₁₀₁は、図_{97A}及び図_{97B}に示す三端子素子をパルス電圧により駆動する動作例を示すタイミングチャートである。

[図_{102A-102B}]図_{102A}及び図_{102B}は、本発明の実施の形態における三端子素子の構成例を概略的に示す模式的な断面図である。

[図_{103A-103E}]図_{103A}～図_{103E}は、図_{102A}及び図_{102B}に示した三端子素子の製造方法例について説明する工程図である。

[図₁₀₄]図₁₀₄は、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。

[図_{105A-105B}]図_{105A}、図_{105B}は、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。

[図_{106A-106B}]図_{106A}及び図_{106B}は、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。

[図_{107A-107F}]図_{107A}、図_{107B}、図_{107C}、図_{107D}、図_{107E}、図_{107F}は、図_{106A}及び図_{106B}に示した三端子素子の製造方法例について説明する工程図である。

[図₁₀₈]図₁₀₈は、本発明の実施の形態における他の三端子素子の構成例を概略

的に示す模式的な断面図である。

[図10gA-10gB]図10gA、図10gBは、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。

[図110]図110は、本発明の実施の形態におけるメモリ素子の構成例を概略的に示す模式的な断面図である。

[図111]図111は、読み出し及び書き込みの動作を示すタイミングチャートである。

[図112A-112F]図112A～図112Fは、図110に示したメモリ素子の製造方法例について説明する工程図である。

[図113A-113B]図113A、図113Bは、本発明の実施の形態における他のメモリ素子の構成例を概略的に示す模式的な断面図である。

[図114A-114C]図114A～図114Cは、本発明の実施の形態における他のメモリ素子の構成例を概略的に示す模式的な断面図である。

[図115A-115F]図115A～図115Fは、本発明の実施の形態における他のメモリ素子の構成例を概略的に示す模式的な断面図である。

[図116]図116は、ビット電極1100bに直流の電圧を印加したときのメモリ層1100cにおける電流－電圧特性を示す特性図である。

[図117]図117は、図110に示すメモリ素子に印加する所定のパルス幅の所定のパルス電圧の状態を説明する説明図である。

[図118]図118は、所定のパルス幅の所定のパルス電圧を所定回数印加する毎に、電極間より読み出された電流値の変化を示す特性図である。

[図11gA-11gF]図11gA～図11gFは、素子分離構造の製造方法例を示す工程図である。

[図120]図120は、本発明の実施の形態における素子分離構造の構成例を示す断面図である。

[図121A-121E]図121A～図121Eは、本発明の実施の形態における素子分離構造の製造方法例を説明する工程図である。

[図122]図122は、基板温度の条件と形成される金属酸化物層の状態との関係を示す説明図である。

[図123]図123は、下部電極10bと上部電極136との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測した結果を示す特性図である。

[図124]図124は、E_O処理の後で、下部電極10bと上部電極136との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測した結果を示す特性図である。

[図125]図125は、本発明の実施の形態における他の素子分離構造の構成例を示す断面図である。

[図126A - 126E]図126A ~図126Eは、本発明の実施の形態における他の素子分離構造の製造方法例を説明する工程図である。

[図127]図127は、従来よりある素子の構成例を示す構成図である。

[図128]図128は、従来よりある素子の構成例を示す構成図である。

[図129]図129は、従来よりある素子の構成例を示す構成図である。

発明を実施するための最良の形態

[0057] 以下、本発明の実施の形態について図を参照して説明する。図1Aは、本発明の実施の形態における2安定抵抗値取得装置の構成例を概略的に示す模式的な断面図であり、図1Bは、部分断面図である。以下では、強誘電体特性を示す金属酸化物の層(強誘電体層104)を用いた強誘電体素子に適用した場合について説明する。図1Aに示す素子は、例えば、単結晶シリコンからなる基板101の上に絶縁層102、下部電極層103、例えばBiとTiとOとから構成された膜厚30~200nm程度の強誘電体層104、上部電極105を備えるようにしたものである。

[0058] 基板101は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板101が絶縁材料から構成されている場合、絶縁層102はなくてもよい。また、基板101が導電性材料から構成されている場合、絶縁層102、下部電極層103はなくてもよく、この場合、導電性材料から構成された基板101が、下部電極となる。

[0059] 下部電極層103、上部電極105は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていればよい。また、下部電極層103、上部電極105は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテ

ニウム酸ストロンチウム(SrRuO_2)、酸化亜鉛(ZnO)、鉛酸スズ(PbTiO_3)、フッ化ランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

[0060] 強誘電体層104は、酸化物強誘電体から構成されたものであり、例えば、ペロブスカイト構造を持つ材料、又は、擬イルメナイト構造を持つ材料、さらに、タングステン・ブロンズ構造を持つ材料、ピスマス層状構造を持つ材料、パイロクロア構造を持つ材料から構成されていればよい。詳細には、 $\text{B}_{1-x}\text{Ti}_x\text{O}_3$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $(\text{Pb}, \text{La})_x(\text{Zr}, \text{Ti})_{1-x}\text{O}_3$ 、 LiNbO_3 、 LiTaO_3 、 PbNb_2O_6 、 $\text{PbNaNb}_5\text{O}_{15}$ 、 CdNb_2O_7 、 PbNb_2O_7 、 $\text{BiTi}_4\text{O}_{12}$ 、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ などが挙げられる。

[0061] なお、強誘電体層104は、少なくとも2つの金属を含む酸化物、窒化物、フッ化物などの、一般に強誘電特性を示す材料から構成されていることを示しており、膜厚条件などにより強誘電特性を示さない状態も含んでいる。また、以降で記載している強誘電体101についても、少なくとも2つの金属から構成された金属化合物からなる一般に強誘電特性を示すとされている材料を示している。

[0062] 図1A及び図1Bに示した強誘電体素子の具体例について説明すると、例えば、下部電極層103は、膜厚10nmのルテニウム膜であり、強誘電体層104は、膜厚40nmの $\text{BiTi}_4\text{O}_{12}$ 膜であり、上部電極105は、金から構成されたものである。なお、前述したように、基板101及び絶縁層102の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。

[0063] 次に、強誘電体層104について、より詳細に説明する。強誘電体層104は、図1Bに拡大して示すように、 $\text{BiTi}_4\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む層からなる基部層141の中に、 $\text{BiTi}_4\text{O}_{12}$ の結晶からなる粒径3〜15nm程度の複数の微結晶粒142が分散されて構成されたものである。これは、透過型電子顕微鏡の観察により確認されている。基部層141は、ピスマスの組成がほぼ0となる TiO_x の場合もある。言い換えると、基部層141は、2つの金属から構成されている金属酸化物において、いずれかの金属が化学量論的な組成に比較して少ない状態の層である。なお、図1Bは、強誘電体層104の概略的な状態を模式的に示す断面図である。

[0064] このような強誘電体層104を用いた強誘電体素子によれば、以降に説明するように

、2つの状態が保持される機能素子可以实现できる。図1A及び図1Bに示す強誘電体素子の特性について説明する。この特性は、下部電極層103と上部電極105との間に電圧を印加することで調査されたものである。下部電極層103と上部電極105との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図2に示す結果が得られた。図2において、縦軸は、電流値を面積で除した電流密度である。

- [0065] 以下、図2を説明し、あわせて図1A及び図1Bに示す強誘電体素子の動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。
- [0066] 図2は上部電極105に印加する電圧をゼロから正の方向に増加させた後にゼロに戻し、さらに負の方向に減少させ、最後に再びゼロに戻したときに強誘電体層104の中を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、上部電極105に電圧を0Vから正の方向に徐々に印加させた場合、強誘電体層104を流れる正の電流は比較的少ない $V(0.1V$ で約 $0.014A/cm^2$ 程度)。
- [0067] しかし、0.5Vを超えると急激に正の電流値が増加し始める。さらに約1Vまで電圧を上げた後、逆に正の電圧を減少させていくと、1Vから約0.7Vまでは電圧値の減少にも拘わらず、正の電流値はさらに増加する。電圧値が約0.7V以下になると、電流値も減少に転じるが、このときの正の電流は先と比べて流れやすい状態であり、電流値は0.1Vで約 $1.3A/cm^2$ 程度である(先の約100倍)。印加電圧をゼロに戻すと、電流値もゼロとなる。
- [0068] 次に上部電極105に負の電圧を印加していく。この状態では、負の電圧が小刮セきは、前の履歴を引き継ぎ、比較的大きな負の電流が流れる。ところが、 $-0.5V$ 程度まで負の電圧を印加すると、負の電流が突然減少し始め、この後、約 $-1V$ 程度まで負の電圧を印加しても負の電流値は減少し続ける。最後に、 $-1V$ から0Vに向かって印加する負の電圧を減少させると、負の電流値も共にさらに減少し、ゼロに戻る。この場合のときは、負の電流は流れ難く、 $-0.1V$ で約 $-0.035A/cm^2$ 程度であ

る。

- [0069] 以上に説明したような、強誘電体層104中を流れる電流のヒステリシスは、上部電極105に印加する電圧により強誘電体層104の抵抗値が変化することが原因で発現すると解釈できる。ある一定以上の大きさの正の電圧 V_{w1} を印加することにより、強誘電体層104は電流が流れやすい「低抵抗状態」(データ「1」)に遷移する。一方、ある一定の大きさの負の電圧 V_{w0} を印加することにより、強誘電体層104は電流が流れにくい「高抵抗状態」(データ「0」)に遷移すると考えられる。
- [0070] 強誘電体層104には、これらの低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。なお、 V_{w1} の値は約+1V程度であり、 V_{w0} の値-1V程度であり、高抵抗状態と低抵抗状態の抵抗比は約10~100程度である。上記のような、電圧により強誘電体層104の抵抗がスワッチする現象を用いることで、図1A及び図1Bに示す強誘電体素子により、不揮発性で非破壊読み出し動作が可能な機能素子が実現できる。
- [0071] 図1Aに示す強誘電体素子は、DC電圧を用いると、メモリ動作は以下のように行う。まず、 V_{w1} 以上の大きさの正の電圧を印加し、強誘電体層104を低抵抗状態に遷移させる。これはメモリとしてデータ「1」を書き込むことに対応する。このデータ「1」は、読み出し電圧 V_R における電流 I_{R1} を観測することにより読み出すことができる。 V_R としては、状態が遷移しない程度のなるべく小さな値で、かつ抵抗比が十分に現れるような値を選択することが重要となる(上記の例では0.1V程度が適当)。これにより、低抵抗状態、すなわちデータ「1」を破壊することなく、何回も読み出すことが可能となる。
- [0072] 一方、 V_{w0} 以上の大きさの負の電圧を印加することにより、強誘電体層104を高抵抗状態に遷移させ、データ「0」を書き込むことができる。この状態の読み出しはと全く同様に、読み出し電圧 V_R における電流 I_{R0} を観測することにより、行うことができる。 I_{R1}/I_{R0} と10~100。また、電極間に通電がない状態では、強誘電体層104は各状態を保持するため不揮発性を有しており、書き込み時と読み出し時以外には、電圧を印加する必要はない。なお、本素子は、電流を制御するスワッチ素子としても用い

ることができる。

- [0073] ここで図1Aに示した強誘電体素子におけるデータ保持特性について、図3に示す。例えば、上部電極105に正の電圧 V_{w1} を印加して、図2に示す低抵抗状態(データ「1」)に遷移させた後、読み出し電圧 V_R を印加して電流 I_{R1} を観測する。次に、上部電極105に負の電圧 V_{w0} を印加することで高抵抗状態に遷移させ、データ「0」を書き込んだ状態とし、この後、一定時間毎に上部電極105に読み出し電圧 V_R を印加し、電流 I_{R0} を観測する。強誘電体素子としてのON/OFF比は、 I_{R1}/I_{R0} の値として表せるので、図3では、 I_{R1}/I_{R0} の値を縦軸とし、上述した観測により得られる I_{R1}/I_{R0} の値の経時に伴う変化を示した。
- [0074] 観測されたON/OFF比は、経時に伴い徐々に減少する傾向が示されているが、十分にデータの判別が可能な範囲である。図3に黒丸で示す観測結果による外挿直線(破線)から予想される1000分後のON/OFF比は21程度であり、この時点でも判別は可能である。このように、図1Aに示す強誘電体素子によれば、少なくとも1000分の保持時間を有していることがわかる。また、以上の実施の形態では、印加した電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。
- [0075] 次に、図1Aに示した強誘電体素子の製造方法例について説明する。なお、以降では、ECRプラズマスパッタ法を例に各薄膜の形成方法を説明しているが、これに限るものではなく、他の成膜技術や方法を用いるようにしてもよいことは、いづまでもない。
- [0076] まず、図4Aに示すように、主表面が面方位(100)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板101を用意し、基板101の表面を硫酸と過酸化水素水の混合液と純水と希フッ酸水素水とにより洗浄し、このあと乾燥させる。ついで、洗浄・乾燥した基板101の上に、絶縁層102が形成された状態とする。絶縁層102の形成では、上述したECRスパッタ装置を用い、ターゲットとして純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスを用いたECRスパッタ法により、基板101の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層102を形成する。
- [0077] 例えば、 1.0^3 Pa 台の内部圧力に設定されているプラズマ生成室内に流量 2.0 ccm

程度でArガスを導入し、内部圧力を $1.0^3 \sim 1.0^2$ Pa程度にし、ここに、 2.45GHz のマイクロ波(500W程度)と0.0875 Tの磁場とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内にArのプラズマが生成された状態とする。なお、sccmは流量の単位あり、 $0^\circ\text{C}\cdot 1$ 気圧の流体が1分間に 1cm^3 流れることを示す。また、T(テスラ)は、磁束密度の単位であり、 $1\text{T}=10000$ ガウスである。

[0078] 上述したことにより生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたシリコンターゲットに、高周波電源より 13.56MHz の高周波電力(例えば500W)を供給する。このことにより、シリコンターゲットにArイオンが衝突してスパッタリング現象が起こり、Si粒子が飛び出す。シリコンターゲットより飛び出したSi粒子は、プラズマ生成室より放出されたプラズマ、及び導入されてプラズマにより活性化された酸素ガスと共に基板101の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。以上のことにより、基板101上に二酸化シリコンからなる例えば 100nm 程度の膜厚の絶縁層102が形成された状態とすることができる(図4A)。

[0079] なお、絶縁層102は、この役に形成する下部電極層103と上部電極105に電圧を印加した時に、基板101に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸化法により酸化することで形成した酸化シリコン膜を絶縁層102として用いるようにしてもよい。絶縁層102は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層102の膜厚は、 100nm に限らず、これより薄くてもよく厚くてもよい。絶縁層102は、上述したECRスパッタによる膜の形成では、基板101に対して加熱はしていないが、基板101を加熱しながら膜の形成を行ってもよい。

[0080] 以上のようにして絶縁層102を形成した後、今度は、ターゲットとして純ルテニウム(Ru)を用いた同様のECRスパッタ法により、絶縁層102の上にルテニウム膜を形成することで、図4Bに示すように、下部電極層103が形成された状態とする。Ru膜の形成について詳述すると、Ruからなるターゲットを用いたECRスパッタ装置において、例えば、まず、絶縁層を形成したシリコン基板を 400°C に加熱し、また、プラズマ生成室内に、例えば流量 7sccm で希ガスであるArガスを導入し、加えて、例えば流量5

sccmでXeガスを導入し、プラズマ生成室の内部を、例えば $1.0 \times 10^{-2} \sim 1.0 \times 10^{-3}$ Pa台の圧力に設定する。

- [0081] ついで、プラズマ生成室内に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室内に導入し、プラズマ生成室にArとXeのECRプラズマが生成した状態とする。生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置されたルテニウムターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、スパッタリング現象が起き、ルテニウムターゲットよりRu粒子が飛び出す。ルテニウムターゲットより飛び出したRu粒子は、基板101の絶縁層102表面に到達して堆積する。
- [0082] 以上のことにより、絶縁層102の上に、例えば10nm程度の膜厚の下部電極層103が形成された状態が得られる(図4B)。下部電極層103は、この役に形成する上部電極105との間に電圧を印加した時に、強誘電体層104に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外から下部電極層103を構成してもよく、例えば、白金から下部電極層103を構成してもよい。ただし、二酸化シリコンの上に白金膜を形成すると剥離しやすいことが知られているが、これを防ぐためには、チタン層や窒化チタン層もしくはルテニウム層などを介して白金層を形成する積層構造とすればよい。また、下部電極層103の膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。
- [0083] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板101を400°Cに加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。
- [0084] 以上のようにして下部電極層103を形成した後、BiとTiの割合が4:3の酸化物焼結体(Bi-Ti-O)からなるターゲットを用い、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図4Cに示すように、下部電極層103の上に、表面を覆う程度に、強誘電体層104が形成された状態とする。
- [0085] 強誘電体層104の形成について詳述すると、まず、300°C ~ 700°Cの範囲に基板

1 01が加熱されている状態とする。また、プラズマ生成室内に、例えば流量2 0ccmで希ガスであるArガスを導入し、例えば $1\text{ }0^3\text{ Pa} \sim 1\text{ }0^2\text{ Pa}$ 台の圧力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45 GHzのマイクロ波(例えば500W)をプラズマ生成室に導入し、このマイクロ波の導入により、プラズマ生成室にECRプラズマが生成された状態とする。

[0086] 生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。

[0087] 焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化された酸素ガスと共に、加熱されている下部電極層1 03の表面に到達し、活性化された酸素により酸化される。なお、反応ガスとしての酸素(O_2)ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚4 0nm程度の強誘電体層1 04が形成された状態が得られる(図4C)。

[0088] なお、形成した強誘電体層1 04に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層1 02の形成にも適用可能である。また、基板温度を3 00C以下のより低い温度条件として強誘電体層1 04を形成した後に、酸素雰囲気中などの適当なガス雰囲気中で、形成した強誘電体層1 04をアニール(加熱処理)し、膜質の特性を大きく改善するようにしてもよい。

[0089] 以上のようにして強誘電体層1 04を形成した後、図4Dに示すように、強誘電体層1 04の上に、所定の面積のAuからなる上部電極1 05が形成された状態とすることで、本実施の形態における金属酸化物薄膜からなる層を用いた素子が得られる。上部電極1 05は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形

成できる。なお、上部電極105は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、Ti-Pt-Auなどの剥離し難い構造とし、この上でフォトリソグラフィやリフトオフ処理などのパターニング処理をして所定の面積を持つ電極として形成する必要がある。

- [0090] 以上に説明したECRスパッタによる各層の形成は、図5に示すようなECRスパッタ装置を用いればよい。図5に示すECRスパッタ装置について説明すると、まず、処理室501とこれに連通するプラズマ生成室502とを備えている。処理室501は、図示していない真空排気装置に連通し、真空排気装置によりプラズマ生成室502とともに内部が真空排気される。処理室501には、膜形成対象の基板101が固定される基板ホルダ504が設けられている。基板ホルダ504は、図示しない傾斜回転機構により所望の角度に傾斜し、かつ回転可能とされている。基板ホルダ504を傾斜して回転させることで、堆積させる材料による膜の面内均一性と段差被覆性とを向上させることが可能となる。
- [0091] また、処理室501内のプラズマ生成室502からのプラズマが導入される開口領域において、開口領域を取り巻くようにリング状のターゲット505が備えられている。ターゲット505は、絶縁体からなる容器505a内に載置され、内側の面が処理室501内に露出している。また、ターゲット505には、マッチングユニット521を介して高周波電源522が接続され、例えば、13.56MHzの高周波が印加可能とされている。ターゲット505が導電性材料の場合、直流の負電圧を印加するようにしても良い。なお、ターゲット505は、上面から見た状態で、円形状だけでなく、多角形状態であっても良い。
- [0092] プラズマ生成室502は、真空導波管506に連通し、真空導波管506は、石英窓507を介して導波管508に接続されている。導波管508は、図示していないマイクロ波発生部に連通している。また、プラズマ生成室502の周囲及びプラズマ生成室502の上部には、磁気コイル(磁場形成手段)510が備えられている。これら、マイクロ波発生部、導波管508、石英窓507、真空導波管506により、マイクロ波供給手段が構成されている。なお、導波管508の途中に、モート変換器を設けるようにする構成もある。

- [0093] 図5のECRスパッタ装置の動作例について説明すると、まず、処理室5 01及びプラズマ生成室5 02内を 1.0^{-5} Paから 1.0^{-6} Paに真空排気した後、不活性ガス導入部5 11より不活性ガスであるアルゴンガスを導入し、また、反応性ガス導入部5 12より酸素ガスなどの反応性ガスを導入し、プラズマ生成室5 02内を例えば $1.0^{-3} \sim 1.0^{-2}$ Pa程度の圧力にする。この状態で、磁気コイル5 1 0よりプラズマ生成室5 02内に0. 0875 Tの磁場を発生させた後、導波管5 08 ,石英窓5 07を介してプラズマ生成室5 02内に2. 45G H_zのマイクロ波を導入し、電子サイクロトロン共鳴(ECR)プラズマを発生させる。
- [0094] ECRプラズマは、磁気コイル5 1 0からの発散磁場により、基板ホルダ5 04の方向にプラズマ流を形成する。生成されたECRプラズマのうち、電子は磁気コイル5 1 0で形成される発散磁場によりターゲット5 05の中を貫通して基板1 01の側に引き出され、基板1 01の表面に照射される。このとき同時に、ECRプラズマ中のプラスイオンが、電子による負電荷を中和するように、すなわち、電界を弱めるように基板1 01側に引き出され、成膜している層の表面に照射される。このように各粒子が照射される間に、プラスイオンの一部は電子と結合して中性粒子となる。
- [0095] なお、図5の薄膜形成装置では、図示していないマイクロ波発生部より供給されたマイクロ波電力を、導波管5 08において一旦分岐し、プラズマ生成室5 02上部の真空導波管5 06に、プラズマ生成室5 02の側方から石英窓5 07を介して結合させている。このようにすることで、石英窓5 07に対するターゲット5 05からの飛散粒子の付着が、防げるようになり、ランニングタイムを大幅に改善できるようになる。
- [0096] 次に、強誘電体層1 04を構成するECRスパッタ法により形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の特性について、より詳細に説明する。発明者らは、ECRスパッタ法を用いた $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の形成について注意深く観察を繰り返すことで、温度と導入する酸素流量によって、形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の組成が制御できることを見いだした。なお、このスパッタ成膜では、ビスマスとチタンが4:3の組成を持つように形成された酸化物焼結体ターゲット($\text{Bi}_4\text{Ti}_3\text{O}_x$)を用いている。図6は、ECRスパッタ法を用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の、導入した酸素流量に対する成膜速度の変化を示した特性図である。図6は、基板に単結晶シリコンを用い、基板温度を420°Cとした条件の結果である。

- [0097] 図6より、酸素流量が0～0.5Sccmと小さいとき、酸素流量が0.5～0.8Seemの時、酸素流量が0.8Seem以降の時の領域に分かれることがわかる。この特性について、高周波誘導結合プラズマ発光(ICP)分析と透過型電子顕微鏡の断面観察を実施し、成膜された膜を詳細に調べた。調査の結果、酸素流量が0～0.5Seemと小さい時には、ターゲット205にBi-Ti-Oの焼結ターゲットを使用しているのにも拘わらず、Biがほとんど含まれないTi-Oが主成分の結晶膜が形成されていることが判明した。この酸素領域を酸素領域Aとする。
- [0098] また、酸素流量が0.8～3Seem程度の場合は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成の微結晶又は柱状結晶で成膜していることが判明した。この酸素領域を酸素領域Cとする。さらに、酸素流量が3Seem以上の場合には、Biの割合が多い膜となり、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成からずれてしまうことが判明した。この酸素領域を酸素領域Dとする。さらにまた、酸素流量が0.5～0.8Seemの場合は、酸素領域Aの膜と酸素領域Cの中間的な成膜となることが判明した。この酸素領域を酸素領域Bとする。
- [0099] これらの供給する酸素に対して、4つの領域に分かれて、組成変化することは今まで知られておらず、ECRスパッタ法でBi-Ti-Oの焼結ターゲットを用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の特徴的な成膜特性であるといえる。この領域を把握した上で、成膜を制御することで所望の組成と膜質の膜が得られることになる。さらに別の厳密な測定結果より、得られた膜が強誘電性を明らかに示す成膜条件は、化学量論的組成が実現できている酸素領域Cであることが判明した。
- [0100] 次に、図6中の酸素領域A内の α 、酸素領域B内の β 、酸素領域C内の γ の酸素流量条件で作製したビスマスチタン酸化物薄膜の状態について、図7A～図7dを用いて説明する。図7A～図7dは、作製した薄膜の断面を透過型電子顕微鏡で観察した結果を示している。図7A、図7B、図7C、図7Dは、顕微鏡写真であり、図7a、図7b、図7c、図7dは、各々の状態を模式的に示した模式図である。まず、酸素流量を0とした条件 ∞ では、図7A及び図7aに示すように、膜全体が柱状結晶から構成されている。条件 ∞ で作製した薄膜の元素の組成状態をEDS(エネルギー分散形X線分光)法で分析すると、ビスマスが含まれていなく、この膜は、酸ビチタンであることがわかる。

- [0101] 次に、酸素流量を0.5sccmとした条件では、図7B及び図7bに示すように、作製した薄膜は2層に分離しており、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む金属酸化物単一層144と、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む基部層141とから構成され、基部層141の中に $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶からなる粒径3〜15nm程度の複数の微結晶粒142が分散している状態が確認される。基部層141は、非品質の状態となっている。
- [0102] 次に、酸素流量を1sccmとした条件では、図7C及び図7cに示すように、基部層141の中に微結晶粒142が分散している状態が確認される。ただし、基部層141及び金属酸化物単一層144は、ともにほぼヒスマスが存在していない状態となっている。図7Cに示す顕微鏡写真の状態は、図1Bに示した状態と同等である。以上を示した状態は、成膜時の温度条件が420°Cである。なお、図7D及び図7dは、酸素流量を1sccmとした条件で作製した膜の観察結果であるが、以降に説明するように、膜形成時の温度条件が異なる。
- [0103] ECRスパッタ法により形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の特徴は、成膜温度にも関係する。図8は、基板温度に対する成膜速度と屈折率の変化を示したものである。図8には、図6に示した酸素領域Aと酸素領域Cと酸素領域Dに相当する酸素流量の成膜速度と屈折率の変化が示してある。図8に示すように、成膜速度と屈折率が、温度に対してともに変化することがわかる。
- [0104] まず、屈折率に注目すると、酸素領域A、酸素領域C、酸素領域Dのいずれの領域に関して同様の振る舞いを示すことがわかる。具体的には、約250°C程度までの低温領域では、屈折率は約2と小さくアモルファス的な特性を示している。300°Cから600°Cでの中間的な温度領域では、屈折率は、約2.6と論文などで報告されているバルクに近い値となり、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶化が進んでいることがわかる。これらの数値に関しては、例えば、山口らのジャパニーズ・ジャーナル・オブ・フィジクス、第37号、5166頁、1998年、(Jpn J. Appl. Phys. 37, 5166(1998))などを参考にしたい。
- [0105] しかし、約600°Cを超える温度領域では、屈折率が大きくなり表面モロロジー(表面凹凸)が大きくなってしまい結晶性が変化しているものと思われる。この温度は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$

O_{312} のキュリー温度である 675°C よりも低い、成膜している基板表面に ECR プラズマが照射されることでエネルギーが供給され、基板温度が上昇して酸素欠損などの結晶性の悪化が発生しているとすれば、上述した結果に矛盾はないものと考えられる。成膜速度の温度依存性についてみると、各酸素領域は、同じ傾向の振る舞いを示すことがわかる。具体的には、約 200°C までは、温度と共に成膜速度が上昇する。しかし、約 200°C から 300°C の領域で、急激に成膜速度が低下する。

[0106] 約 300°C に達すると成膜速度は 600°C まで一定となる。この時の各酸素領域における成膜速度は、酸素領域 A が約 $1.5\text{nm}/\text{min}$ 、酸素領域 C が約 $3\text{nm}/\text{min}$ 、酸素領域 D が約 $2.5\text{nm}/\text{min}$ であった。以上の結果から、 BiTiO_{4312} の結晶膜の成膜に適した温度は、屈折率がバルクに近くなり、成膜速度が一定となる領域であり、上述の結果からは、 300°C から 600°C の温度領域となる。

[0107] 上述した成膜時の温度条件により、強誘電体層 104 の状態は変化し、図 7C に示した状態となる酸素流量条件で、成膜温度条件を 450°C と高くすると、図 7D 及び図 7d に示すように、 BiTiO_{4312} の柱状結晶からなる寸法 (グレインサイズ) $20\sim40\text{nm}$ 程度の複数の柱状結晶部 143 の中に、寸法が $3\sim15\text{nm}$ 程度の微結晶粒 142 が観察されるようになる。この状態では、柱状結晶部 143 が、図 7C 及び図 7c に示す基部層 141 に対応している。なお、図 7 に示すいずれの膜においても、XRD (X 線回折法) 測定では、 BiTiO_{4312} の (117) 軸のピークが観測される。また、前述した透過型電子顕微鏡の観察において、微結晶粒 142 に対する電子線回折により、微結晶粒 142 は、 BiTiO_{4312} の (117) 面を持つことが確認されている。

[0108] 一般に、強誘電性を示す材料では、キュリー温度以上では結晶性が保てなくなり、強誘電性が発現されなくなる。例えば、 BiTiO_{4312} などの Bi と Ti と酸素とから構成される強誘電材料では、キュリー温度が 675°C 付近である。このため、 600°C に近い温度以上になると、ECR プラズマから与えられるエネルギーも加算され、酸素欠損などが起こりやすくなるため、結晶性が悪化し、強誘電性が発現され難くなるものと考えられる。

[0109] また、X 線回折による解析により、上記の温度領域 (450°C) で、酸素流量 C で成膜した BiTiO_{4312} 膜は、(117) 配向した膜であることが判明した。このような条件で成膜

した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、100nm程度の厚さにすると2MV/cmを超える十分な電気耐圧性を示すことが確認された。以上に説明したように、ECRスパッタを用い、図6や図8で示される範囲内で $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜を形成することにより、膜の組成と特性を制御することが可能となる。

- [0110] ところで、強誘電体層104は、図9に示す状態も観察されている。図9に示す強誘電体層104は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む金属酸化物単一層144と、複数の微結晶粒142が分散している基部層141との積層構造である。図9に示す状態も、図1B及び図7に示す状態と同様に、透過型電子顕微鏡の観察により確認されている。上述した各強誘電体層104の状態は、形成される下層の状態や、成膜温度、成膜時の酸素流量により変化し、例えば、金属材料からなる下地の上では、酸素流量が図8に示す条件の場合、図7Bもしくは図9に示す状態となることが確認されている。
- [0111] 上述したように、微結晶粒が観察される成膜条件の範囲において、基部層が非品質の状態の場合と柱状結晶が観察される場合とが存在するが、いずれにおいても、微結晶粒の状態には変化がなく、観察される微結晶粒は、寸法が3～15nm程度となっている。このように、微結晶粒が観察される状態の強誘電体層104において、前述したように、低抵抗状態と高抵抗状態の2つの安定状態が存在し、図7A及び図7aに示す状態の薄膜では、上記2つの状態が著しく悪くなる。
- [0112] 従って、図1B及び図7B～図7d、及び図9に示す状態となっている金属酸化物薄膜によれば、図2を用いて説明したように、状態が保持される機能を備えた強誘電体素子を実現することが可能となる。この特性は、上述したECRスパッタにより膜を形成する場合、図6の酸素領域B、Cの条件で形成した膜に得られていることになる。また、図8に示した成膜温度条件に着目すると、上記特性は、成膜速度が低下して安定し、かつ屈折率が上昇して2.6程度に安定する範囲の温度条件で、上述した特性の薄膜が形成できる。
- [0113] 上述では、ビスマスとチタンとの2元金属からなる酸化物を例に説明したが、2つの状態が保持されるようになる特性は、少なくとも2つの金属と酸素とから構成されている他の金属酸化物薄膜においても得られるものと考えられる。少なくとも2つの金属と

酸素とから構成され、いずれかの金属が化学量論的な組成に比較して少ない状態となっている層の中に、化学量論的な組成の複数の微結晶粒が分散している状態であれば、図2を用いて説明した特性が発現するものと考えられる。

[0114] 例えば、 BaTiO_3 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 、 LiNbO_3 、 LiTaO_3 、 PbNb_2O_6 、 $\text{PbNaNb}_2\text{O}_7$ 、 $\text{Cd}_2\text{Nb}_2\text{O}_7$ 、 $\text{Pb}_2\text{Nb}_2\text{O}_7$ 、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ などの金属酸化物薄膜であっても、いずれかの金属が化学量論的な組成に比較して少ない状態となっている層の中に、化学量論的な組成の複数の微結晶粒が分散している状態であれば、前述した実施例と同様の作用効果が得られるものと考えられる。また、例えばビスマスとチタンとの2元金属からなる酸化物の場合、金属酸化物薄膜中にランタン(La)やストロンチウム(ストロンチウム)が添加されている(La, Bi)TiOや(Sr, Bi)TiOのような状態とすることで、各抵抗値の状態を可変制御させることが可能となる。

[0115] なお、上述では、シリコンからなる基板上の絶縁層、絶縁層上の下部電極層、下部電極層上の強誘電体層の各々をECRスパッタ法で形成するようにした。しかしながら、これら各層の形成方法は、ECRスパッタ法に限定するものではない。例えば、シリコン基板の上に形成する絶縁層は、熱酸化法や化学気相法(CVD法)、また、従来のスパッタ法などで形成しても良い。

[0116] また、下部電極層は、EB蒸着法、CVD法、MBE法、IBD法、加熱蒸着法などの他の成膜方法で形成しても良い。また、強誘電体層も、上記で説明したMOD法や従来よりあるスパッタ法、PLD法などで形成することができる。ただし、ECRスパッタ法を用いることで、平坦で良好な絶縁膜、金属膜、強誘電体膜が容易に得られる。

[0117] また、各層を形成するための各々のECRスパッタを実現する処理室を、真空搬送室で連結させた装置を用いることで、大気に取り出すことなく、連続的な処理により各層を形成してもよい。これらのことにより、処理対象の基板を真空中で搬送できるようになり、水分付着などの外乱の影響を受け難くなり、膜質と界面の特性の向上につながる。

[0118] ところで、素子を並べて複数のデータを同時にメモリ蓄積することを「集積」と呼び、集積する度合いを集積度と呼ぶが、図1Aの構造は、非常に単純であり、従来のメモ

リセルに比較して、集積度を格段に上げることが可能となる。MOSFETを基本技術としたDRAMやSRAM、フラッシュメモリなどでは、ゲート、ソース、ドレインの領域を確保する必要があるため、近年では、集積限界が指摘され始めている。これに対し、図1Aに示す素子によれば、単純な構造を用いることで、現在の集積限界に捕らわれずに集積度を高めることが可能となる。

[0119] 本発明の基本的な思想は、図1Aに示すように、強誘電体層104を2つの電極で挟むようにしたところにある。このような構成とすることで、2つの電極間に所定の電圧(DC、パルス)を印加して強誘電体層の抵抗値を変化させ、安定な高抵抗状態と低抵抗状態とを切り替え、結果としてメモリ機能が実現可能となる。

[0120] 従って、例えば、図10Aに示すように、絶縁性基板101aを用い、積層された下部電極層103a、103bを用いるようにしてもよい。また、図10Bに示すように、絶縁性基板101aを用い、下部電極層103にコンタクト電極103cを設けるようにしてもよい。また、図10Cに示すように、絶縁性基板101aを用い、積層された上部電極105a、105bを用いるようにしてもよい。さらに、図10Dに示すように、積層された下部電極層103a、103bと積層された上部電極105a、105bとを用いるようにしてもよい。

[0121] また、図11Aに示すように、ガラスや石英などからなる絶縁性の基板1101を用いるようにしてもよい。この構成とすることによって、加工しやすいガラス基板などへの適用が可能となる。この場合、図11Bに示すように、基板1101に貫通孔形成してここにプラグを設け、基板1101の裏面(下部電極層103の形成面の反対側)より電気的コンタクトをとるようにしてもよい。また、強誘電体層104は、波長632.8nmで測定したときの屈折率が2.6程度で光学的に透明であるため、図11A、図11Bに示す構成とすることで、ディスプレイへの応用が可能となる。また、強誘電体層104を、10~200nmの間で干渉色を発する厚さに形成することで、着色した状態の視覚効果が得られる。

[0122] さらに、図11Cに示すように、金属などの導電性を有する基板1111を用いるようにしてもよい。また、図11Dに示すように、基板1111の上に接して下部電極1102を備え、この上に強誘電体層1103、上部電極1104を設けるようにしてもよい。図11Dに示す構成とした場合、基板1111と上部電極1104との間に所定の電気信号を印加

することが可能となる。

- [0123] また、図11Eに示すように、金属板1121の上に、強誘電体層1112、上部電極113を設けるようにしてもよい。この構成とした場合、金属板1121が、下部電極層となる。図11Eに示す構成にすることによって、熱伝導性のよい金属板1121の上に各構成要素が形成されているので、より高い冷却効果が得られ、素子の安定動作が期待できる。
- [0124] なお、強誘電体層104、1103、1112は、膜厚が厚くなるほど電流が流れ難くなり抵抗が大きくなる。抵抗値の変化を利用してメモリを実現する場合、低抵抗状態と高抵抗状態の各々の抵抗値が問題となる。例えば、強誘電体層104、1103、1112の膜厚が厚くなると、低抵抗状態の抵抗値が大きくなり、S/N比がとり難くなり、メモリの状態を判断し難くなる。一方、強誘電体層104、1103、1112の膜厚が薄くなり、リーク電流が支配的になると、メモリ情報が保持し難くなると共に、高抵抗状態の抵抗値が小さくなり、S/N比がとり難くなる。
- [0125] 従って、強誘電体層104、1103、1112は、適宜最適な厚さとした方がよい。例えば、リーク電流の問題を考慮すれば、強誘電体層104、1103、1112は、最低10nmの膜厚があればよい。また、低抵抗状態における抵抗値を考慮すれば、強誘電体層104、1103、1112は300nmより薄くした方がよい。発明者らの実験の結果、強誘電体層104、1103、1112の厚さが30～200nmであれば、メモリの動作が確認されている。
- [0126] 上述では、1つの強誘電体素子を例にして説明したが、以降に説明するように、複数の強誘電体素子を配列させて集積させるようにしてもよい。例えば、図12Aに示すように、絶縁性基板601の上に、共通となる下部電極層602、強誘電体層603を形成し、強誘電体層603の上に、各々所定距離離間して複数の上部電極604を形成すればよい。複数の上部電極604に対応して複数の強誘電体素子が配列されたことになる。複数の上部電極604に対応する素子間の距離を導電性などを考慮して配置することで、安定した動作が期待できる。
- [0127] また、図12Bに示すように、絶縁性基板601の上に、共通となる下部電極層602を形成し、下部電極層602の上に、強誘電体層613、上部電極614からなる複数の素

子を配列させるようにしてもよい。例えば、形成した金属酸化物薄膜を、RIE法やICPエッチング、またECRエッチングなど加工法を用いることで、個々の強誘電体層613が形成できる。このように分離して構成することで、素子間の距離をより短くすることが可能となり、集積度をさらに向上させることができる。

[0128] さらに、図12Cに示すように、各々の素子を構成している強誘電体層613の側面を、絶縁側壁615で覆うようにしてもよい。また、図12Dに示すように、各素子に対応して複数の強誘電体層613を形成し、各々分離している複数の強誘電体層613の側部を充填するように、絶縁層625を形成するようにしてもよい。これらのように、素子毎に分離して形成した複数の強誘電体層613の間を絶縁体で覆うことで、各素子間のリーク電流を減らして素子の安定性を高めることができる。

[0129] また、図13に示すように、本発明の実施の形態における複数の素子をX方向にn個、Y方向にm個配列し、X方向バスを下部電極層に接続し、Y方向バスを上部電極に接続し、X方向バス及びY方向バスの各々に選択信号のスイッチ機能を備えたプロセッサユニットを接続することで、各素子にランダムにアクセスが可能なメモリが実現できる。

[0130] 例えば、図14の斜視図に示すように、下部電極801、強誘電体層802、上部電極803からなる素子を配列し、各列の下部電極801に共通に各々Y方向バス812を接続し、各行の上部電極803に共通に各々X方向バス811を接続すればよい。選択する素子において交差するX方向バス811とY方向バス812とに前述したように所定の電圧を印加することで、データの書き込みや読み出しを行うことができる。このように構成した場合、メモリセル選択用のトランジスタなどが不要なく、メモリセルを上述した構成の強誘電体素子だけで構成できるので、高集積化が可能である。

[0131] ところで、強誘電体層104における抵抗値の変化は、電流により制御することも可能である。強誘電体層104に所定の電圧が印加された状態として一定の電流が流れた後に、+0.5Vの電圧が印加されたときに流れる電流値を観察すると、図15に示すように、強誘電体層104に 1×10^5 Aの電流が流された後に観察される電流値は、ほぼ0Aとなる。同様に、強誘電体層104に 1×10^4 Aまでの電流が流された後に観察される電流値は、ほぼ0.02A以下となる。

- [0132] これらの状態に対し、強誘電体層104に 1×10^4 A以上の電流が流された後に観察された電流値は、急激に変化して0.7Aとなる。このことから明かなように、強誘電体層104における抵抗変化は、強誘電体層104に流れた電流によっても変化し、高抵抗状態と低抵抗状態との2つの抵抗値が存在する。従って、図1, 図10, 図11, 図12に例示した強誘電体素子は、電圧により駆動することが可能であるとともに、電流により駆動することも可能である。
- [0133] また、パルス電圧により、強誘電体層104の抵抗変化を制御できる。例えば、上述した素子に対し、図16に示すように、まず、初期に+0.3Vの直流電圧を印加したときに流れる電流値を測定する。なお、電圧の印加や電流は、下部電極層103と上部電極105との間のことである。ついで、上部電極105と下部電極層103との間に、-4Vで $10\mu s$ のパルス電圧を1回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。ついで、上部電極105と下部電極層103との間に、+5Vで $10\mu s$ のパルス電圧を4回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。
- [0134] 引き続き、上部電極105と下部電極層103との間に、-4Vで $10\mu s$ のパルス電圧を1回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。ついで、上部電極105と下部電極層103との間に、+5Vで $10\mu s$ のパルス電圧を4回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。これらを所定回数繰り返した後、上部電極105と下部電極層103との間に、-4Vで $1\mu s$ のパルス電圧を10回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。ついで、上部電極105と下部電極層103との間に、+5Vで $1\mu s$ のパルス電圧を100回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。ついで、上部電極105と下部電極層103との間に、-3Vで $100\mu s$ のパルス電圧を100回印加し、この後、+0.3Vの直流電圧を印加したときに流れる電流値を測定する。
- [0135] 上述した各パルス電圧の印加の後に測定した電流値は、図17に示すように変化する。図17に示すように、初期状態では 10^5 A以下の電流値を示す高抵抗状態であるが、-4Vで $10\mu s$ のパルス電圧を1回印加すると、 10^5 A以上の電流値を示す低抵

抗状態に移行する。さらに、この状態に、+5Vで10 μ sのパルス電圧を4回印加することで、10⁻⁵A以下の電流値を示す高抵抗状態となる。これらのことは、正電圧パルス及び負電圧パルスを印加することで、強誘電体層104の抵抗値が変化することを示している。従って、例えば、正電圧パルス及び負電圧パルスを印加することで、上記素子のメモリ状態を、「on」の状態から「off」の状態へ変化させ、また、「off」の状態から「on」の状態へ変化させるメモリ動作が可能である。

[0136] 強誘電体層104の抵抗状態を変化させることができる電圧パルスの電圧と時間は、状況により変化させることができる。例えば、+5Vで10 μ s、4回の電圧パルスを印加して高抵抗状態とした後、-4Vで1 μ sの短いパルスを10回印加することで、低抵抗状態へと変化させることができる。また、この状態に、+5Vで1 μ sの短いパルスを100回印加することで、高抵抗状態へと変化させることも可能である。さらに、この状態に、-3Vと低い電圧として100 μ sのパルスを100回印加することで、低抵抗状態へと変化させることも可能である。

[0137] また、図1に示す強誘電体素子によれば、多値のメモリ動作も可能である。例えば、上部電極105と下部電極層103との間に直流電圧を印加したときの電流-電圧特性は、図18に示すように、正側の印加電圧を変化させると異なる低抵抗状態に変化する。図18では、0.5Vまで印加した後の低抵抗状態と、1.0Vまで印加した後の低抵抗状態と、1.5Vまで印加した後の低抵抗状態との、図中に示す読み出し電圧における電流値が異なる。これら各々の状態における読み出し電圧における電流値に対応し、「0」、「1」、「2」の3つの状態(3値)のメモリが実現できる。

[0138] また、図1に示す素子によれば、パルス電圧の値の違いにより、多値メモリを実現することが可能である。図19に示すように、所定のパルス幅の所定のパルス電圧を所定回数印加する毎に、三角で示す時点で-0.2Vの読み出し電圧で電流値を読み出すと、図20に示すように、「0」、「1」、「2」の3つの状態(3値)が得られる。この例では、「2」の状態によりリセットがされていることになる。

[0139] 次に、図1に示した素子の各電極に用いることが可能な他の金属材料について、以下に説明する。まず、図1に示す強誘電体素子において、強誘電体層104が接触する部分の下部電極層103が、白金から構成されている場合について説明する。この

場合、下部電極層103は、絶縁層102の側から、ルテニウム、白金の順に積層された多層膜とする。また、下部電極層103は、絶縁層102の側から、チタン、白金の順に積層された多層膜としてもよい。絶縁層102の側に、ルテニウムやチタンの層を設けることで、絶縁層102との密着性が向上する。

[0140] このように、白金からなる下部電極層103の上に接して強誘電体層104が形成された強誘電体素子においては、電流電圧特性が、図21に示すようになる。図21は、上部電極105に印加する電圧をゼロから正の方向に増加させた後にゼロに戻し、さらに負の方向に減少させ、最後に再びゼロに戻したときに強誘電体層104の中を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、上部電極105に電圧を0Vから正の方向に徐々に印加させた場合、強誘電体層104を流れる正の電流は比較的少ない(高抵抗状態)。

[0141] しかし、1Vを超えると急激に正の電流値が増加し始める。さらに約1.6Vまで電圧を上げた後、逆に正の電圧を減少させていき電圧値が約0.5V以下になると、電流値が減少に転じる(低抵抗状態)。このときの正の電流は、上述した高抵抗状態と比べて流れやすい状態であり、電流値は0.2Vで約50 μ A程度である。印加電圧をゼロに戻すと、電流値もゼロとなる。

[0142] 次に、上部電極105に負の電圧を印加していく。この状態では、負の電圧が小さいときは、前の履歴を引き継ぎ、比較的大きな負の電流が流れる。ところが、-0.3V程度まで負の電圧を印加すると、負の電流が突然減少し始め、この後、約-0.4V程度まで負の電圧を印加すると、負の電流値は減少し続けてゼロに戻る。この後、上部電極105に印加する電圧を、-0.1V程度まで変化させた後、今度は、0Vにまで変化させても、ほとんど電流は流れない。

[0143] 以上に説明したように、白金から構成された下部電極層103を用いるようにしても、強誘電体層104には、低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。従って、図1に示す強誘電体素子の下部電極層103を白金から構成しても、図1に示す強誘電体素子により、不揮発性で非破壊読み出し動作が可能な機能素子可以实现できる。

- [0144] 次に、図1に示す強誘電体素子において、強誘電体層1 04が接触する部分の下部電極層1 03が、窒化チタンから構成されている場合について説明する。この場合、下部電極層1 03は、窒化チタンの単層膜から構成すればよい。このように、窒化チタンからなる下部電極層1 03の上に接して強誘電体層1 04が形成された強誘電体素子においては、電流電圧特性が、図22に示すようになる。
- [0145] 窒化チタンから下部電極層1 03が構成されている場合、上部電極1 05に印加する正の電圧を0Vから V_{w0} まで間で掃引した場合は、図22に黒丸で示すように、高抵抗状態が保持される。これに対し、上部電極1 05に印加する正の電圧を V_{w0} より大きい V_{w1} まで印加すると、図22に白丸で示す低抵抗状態に遷移する。また上部電極1 05に、 V_{w0} の電圧を印加すると、高抵抗状態に遷移する。
- [0146] 以上に説明したように、窒化チタンから構成された下部電極層1 03を用いるようにしても、強誘電体層1 04には、低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。従って、図1に示す強誘電体素子の下部電極層1 03を窒化チタンから構成しても、図1に示す強誘電体素子により、不揮発性で非破壊読み出し動作が可能な機能素子が実現できる。
- [0147] 図皿に示す強誘電体素子において、石英からなる絶縁性の基板11 01の上に形成された下部電極層1 03がルテニウムから構成され、上部電極1 05が窒化チタンから構成された場合について説明する。このように、窒化チタンからなる上部電極1 05が強誘電体層1 04の上に形成されている場合、電流電圧特性が、図23に示すようになり、図21に示した結果と同様の傾向を示す。従って、上部電極1 05に窒化チタンを用いるようにしても、強誘電体層1 04には、低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。
- [0148] 従って、図11Aに示す強誘電体素子の上部電極1 05を窒化チタンから構成しても、図11Aに示す強誘電体素子により、不揮発性で非破壊読み出し動作が可能な機能素子が実現できる。また、この構成とした強誘電体素子においても、図24に示すように、長期にわたって状態が保持されることがわかる。

- [0149] 一般に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶は、擬ペロブスカイト構造を有するピスマス層状の強誘電体であるが、膜厚を4 nm以下と薄層化した場合、リーク電流が多く流れるようになるために明確な強誘電性が観測されないことが知られている。本実施の形態における $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ から構成された図1Bに例示する構成の強誘電体層（金属酸化物薄膜）においても、膜厚が4 nm以下になると電流が多く流れるようになり（測定値）、明確な強誘電性が観測されない。これに対し、上記金属酸化物薄膜は、膜厚が4 nmを超えて厚くなると、成膜直後の状態で、流れる電流（測定値）が小さくなり、僅かに強誘電性が観測されるようになる。
- [0150] 図1に示す強誘電体層104を構成している金属酸化物薄膜は、強誘電性が確認できる程度にリーク電流（測定値）が小さい場合には、図25Aに示すような電流電圧特性を示す。図25Aに示す状態を説明すると、まず、0Vで0Aの初期状態から、正の直流電圧を印加していくと、正の電流が流れ始める。流れる電流値は、はじめは穏やかに増加していくが、+4V以上の電圧を印加すると電流値が大きくなり、+5.3Vで+2.5nAの電流値が流れるようになる。
- [0151] この状態から、印加している電圧を順次小さくしていくと、初期値からの電流電圧特性とは異なり、電流が流れない傾向の特性をとるようになる。これは、電圧を小さくするように掃引しているため、キャパシタ間に蓄えられている電荷量が時間とともに減少し、これが負の変位電流として現れるからである。従って、ここで観測されているリーク電流は、実際に膜中を流れているリーク電流に、上述した変位電流が重ね合わさった値に等しい。例えば、電圧を低下させる場合、+4Vにまで低下すると、電圧を上昇させている場合（+1nA）とは異なり、+0.1nA程度しか流れなくなる。しかも、印加する電圧を0Vに低下させると、-0.5nAの電流が流れるようになる。
- [0152] さらに、負の電圧を印加していくと、例えば、-4Vで-2.3nA程度、-5.3Vで-2.8nA程度の負の電流が流れる。この状態から負の電圧を0に近づけていくように、電圧を正の方向に掃引して行くと、今度は先と反対の変位電流が流れるようになる。実際に膜中を通過しているリーク電流に加え、上述した正の変位電流がリーク電流として観測されるため、電圧を負の方向に掃引してきた場合と異なる電流電圧特性を示す。例えば、-4Vで-0.5nA程度しか流れず、印加する電圧を0Vにしても、+1

nAの正電流が流れるようになる。

[0153] 以上に説明したように、リーク電流が小さい場合には、変位電流の振る舞いが支配的になるため、電圧を掃引する方向(電圧の増加、減小)の違いによる、電流電圧特性の変化が顕著に観測される。しかしながら、このような現象は、キャパシタ間の電圧の時間変化に伴う電荷量の時間変化が、掃引の方向により正負の異なる変位電流として現れることが原因で生じているため、電圧の掃引速度を遅くしていくと消失していく現象である。例えば、先と同様の素子において異なる掃引速度で電流電圧を測定すると、図25Bに示すように、特性に変化が現れる。図25Bから明らかなように、掃引速度が遅い方が、掃引方向の違いによる電流電圧特性の変化が小さい。また、掃引速度をさらに遅くして準静的な掃引をすれば、掃引方向にかかわらず、電流電圧特性は同じになり、実際に膜中を通過するリーク電流の特性のみが観測されるようになる。

[0154] 従って、図25Aに示した電流電圧特性のヒステリシスに似た現象は、電圧の掃引により正負の異なる変位電流が、実際に膜中を流れるリーク電流に重ね合わさったために観測されているだけである。これは、素子の抵抗変化|実際の膜中を流れるリーク電流値の変いめとは全く関係なく起こる現象であり、一般の強誘電体を含む誘電体キャパシタで観測され得る現象である。また、当然ながら、このような電流特性の変化をメモリ動作として利用することは、原理的に不可能である。

[0155] また、一般的に耐圧が高い絶縁膜や強誘電体膜においては、5Vを超える高い電圧を印加することで、膜が絶縁破壊することも知られている。例えば、耐圧が高い強誘電体からなる例えば膜厚200nm以上の強誘電体薄膜に、高い電圧を印加した場合について以下に示す。図26に示すように、+15Vまで印加しても、10⁻⁸A程度の微少な電流しか流れないが、これ以上の電圧を印加すると急激に電流が流れるようになり、薄膜自体が破損する絶縁破壊(ブレイクダウン)を引き起こす。このように絶縁破壊した薄膜は、これ以降常に大きな電流が流れる状態となり、2つ以上の抵抗値を持つ状態は得られない。

[0156] 以上に説明した強誘電体における特性に対し、図1B、図7、及び図9に例示したように、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む層からなる基部

層の中に、粒径3～15nm程度の複数の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の微結晶粒が分散している金属酸化物薄膜(強誘電体層104)は、膜厚40nm程度の状態では、図27に示すような電流電圧特性を示す。まず、図4A、図4B、図4C、図4D、及び図5を用いて説明したように、ECRスパッタ法により強誘電体層104を形成し、図4Dに示すような素子を形成した初期の段階では、+14Vまで電圧を印加しても、10⁻⁸A程度の微少な電流しか流れない高い電気耐圧を示す状態となっている。

[0157] さらに、+15V以上の電圧を印加すると、図26に示した特性と同様に、急激に電流が流れるようになる。しかしながら、強誘電体層104では、高電圧を印加して電流が流れる状態となった後に負の電圧を印加すると、-10⁻²A程度の電流が流れるが、印加する負の電圧を-2V程度とすると、急に電流が流れない高抵抗の状態となる。この後、この状態から正の電圧を印加すると、正の高抵抗状態の電流電圧特性となり、+2.5V程度で急激に電流値が大きくなり、正の低抵抗状態となる。これは、図21に示す特性と同様である。

[0158] 以上に説明したように、強誘電体層104は、40nm程度以上の膜厚においては、電気耐圧の大きい成膜初期状態において、+15V程度の高い電圧を印加することで、図2などに示すような、特徴的な電流電圧特性が発現されるようになる。このように、成膜初期状態から抵抗変換特性を示す状態に変化させる初期処理を、電氣的初期化(Electrical Orientation:EO)処理と呼ぶこととする。本実施の形態の金属酸化物薄膜は、膜厚が厚く電氣的な耐圧が高い状態で成膜した状態では、EO処理をすることで、前述した各特性を示すようになり、強誘電体素子などを実現することが可能となる。

[0159] 上述したEO処理は、10Vを超える電圧を素子に印加することになるため、例えば、半導体素子と集積して図1に示す素子を形成している状態でEO処理をする場合、半導体素子を破壊する場合がある。これを抑制するために、ECRプラズマを用いてEO処理を行うようにしてもよい。例えば、ECRプラズマ装置では、発散磁界によりプラズマ流を生成し、20～30eVのエネルギーを持つプラズマ流を処理対象の基板に照射させることができる。プラズマ流中のエネルギー分布は、プラズマ流の発散方向に垂直な断面では、磁界の分布を反映して中心から周辺に向かって分布を持っている。

る。

[0160] このエネルギー分布は、発散磁界の発散度により数eVから数10eVの間で制御可能であり、中心と周辺との間で数ボルトから数十Vの電位差を発生させることができる。従って、図1に示す素子において、下部電極層103に接続する配線の一端をプラズマ流の周辺部に晒し、上部電極106がプラズマ流中の中央部に晒される状態とすれば、プラズマ流中の分布から発生する電位差で、これら2つの電極間にEO処理に必要な電圧を印加することが可能となる。例えば、Arを主成分とするプラズマを発生させて素子に照射することで、1秒から数十秒れづ短い時間でEO処理をすることが可能である。

[0161] また、上述したようにプラズマを利用することで、図28に示すように、複数の素子に対して、同時にEO処理をすることも可能である。図28では、図12Aに示した、共通とした強誘電体層603の上に複数の上部電極604により複数の素子が配列して集積された装置に対し、ECRプラズマ流を照射することで、EO処理を行う状態を示している。ECRプラズマ流の分布から発生する電位差を、複数の素子のEO処理に必要な電位差を超える値に制御することで、装置に集積されている複数の素子に対してEO処理をすることが可能となる。

[0162] ところで、強誘電体層104における抵抗値をスワッチ(変えさせる)電圧値は、図29に例示するように、電圧の印加時間を変化させることにより制御することができる。図29は、+1.6Vで低抵抗状態になだらかに遷移する素子において、+1Vの電圧を印加した場合の素子の抵抗値の変化を示す説明図である。図29において、横軸は電圧を印加している時間を示し、縦軸は素子の抵抗値を示している。通常の動作電圧1.6Vを印加した場合、 t_{L1} (約150m)れづ短い時間で低抵抗状態へと遷移させることができる。一方、通常の動作電圧よりもやや低い電圧1Vを印加した場合でも、印加する時間を t_{L2} (約3.7秒)と長くすることで、低抵抗状態へと遷移させることができる。このように、電圧印加の時間制御により、動作電圧を変化させてメモリとして駆動させることが可能となる。

[0163] また、多値メモリ動作は、次に示すように実現することができる。以下、図30を用いて多値メモリ(3値メモリ)動作について説明する。図30は、上部電極と下部電極層と

の間に一定電圧（例えば $\pm 2V$ ）を印加したときの、素子の抵抗値の時間変化を示している。例えば、上部電極と下部電極層との間に一定の電圧を印加し続け際の印加時間を変化させることで、2つの低抵抗状態をつくり出すことができる。図30に示すように、高抵抗状態から t_1 秒（例えば250msec）だけ電圧を印加すれば、低抵抗状態1（データ「1」）への遷移が可能となる。一方、より長い時間 t_2 だけ電圧を印加すると、低抵抗状態2（データ「2」）への遷移が可能となる。 $\pm 1.2V$ 程度で高抵抗状態（データ「0」）に遷移させ、リセットさせることが可能であり、このリセット状態からの電圧印加時間を t_1, t_2 と変化させることにより、3値メモリが実現できる。

[0164] 次に、本発明の他の実施の形態について図を参照して説明する。図31は、本発明の実施の形態における他の2安定抵抗値取得装置の構成例を模式的に示す断面図である。以下では、強誘電体特性を示す金属酸化物の層（強誘電体層3104）を用いた強誘電体素子に適用した場合について説明する。図31に示す素子は、例えば、単結晶シリコンからなる基板3101の上に絶縁層3102、下部電極層3103、強誘電体層3104、絶縁層3105、上部電極3106を備えるようにしたものである。基板3101は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板3101が絶縁材料から構成されている場合、絶縁層3102はなくてもよい。また、基板3101が導電性材料から構成されている場合、絶縁層3102、下部電極層3103はなくてもよく、この場合、導電性材料から構成された基板3101が、下部電極となる。

[0165] 下部電極層3103、上部電極3106は、例えば、白金（Pt）、ルテニウム（Ru）、金（Au）、銀（Ag）などの貴金属を含む遷移金属の金属から構成されていればよい。また、下部電極層3103、上部電極3106は、窒化チタン（TiN）、窒化ハフニウム（HfN）、ルテニウム酸ストロンチウム（ SrRuO_2 ）、酸化亜鉛（ZnO）、鉛酸スズ（ PbO ）、フッ化ランタン（ LaF_3 ）などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

[0166] 絶縁層3105は、二酸化シリコン、シリコン酸窒化物膜、アルミナ、又は、リチウム、ベリリウム、マグネシウム、カルシウムなどの軽金属から構成された LiNbO_3 などの酸化物、 LiCaAlF_6 、 LiSrAlF_6 、 LiYF_4 、 LiLuF_4 、 KMgF_3 などのフッ化物から構成されていればよい。また、絶縁層3105は、スカンジウム、チタン、ストロンチウム、ネオトリウム、

ジルコニウム、ハフニウム、タンタル、及び、ランタン系列を含む遷移金属の酸化物及び窒化物、又は、以上の元素を含むシリケート(金属、シリコン、酸素の三元化合物)、及び、これらの元素を含むアルミネート(金属、アルミニウム、酸素の三元化合物)、さらに、以上の元素を2以上含む酸化物及び窒化物などから構成されていればよい。

[0167] 強誘電体層3104は、前述した強誘電体層104と同様であり、例えば、酸化物強誘電体から構成されたものである。なお、強誘電体層3104は、少なくとも2つの金属を含む酸化物、窒化物、フッ化物などの、一般に強誘電特性を示す材料から構成されていることを示しており、前述したように、膜厚条件などにより強誘電特性を示さない状態も含んでいる。

[0168] 図31に示した強誘電体素子の具体例について説明すると、例えば、下部電極層3103は、膜厚10nmのルテニウム膜であり、強誘電体層3104は、膜厚40nmの $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜であり、絶縁層3105は、五酸化チタンと二酸化シリコンとからなる膜厚5nmの多層膜であり、上部電極3106は、金から構成されたものである。また、上部電極3106は、絶縁層3105の側から、チタン層、窒化チタン層、金属の順に積層された多層構造であってもよい。絶縁層3105との接触面をチタン層とすることで、密着性の向上が図れる。なお、前述したように、基板3101及び絶縁層3102の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。

[0169] 以上で説明した、絶縁層3102、下部電極層3103、強誘電体層3104、絶縁層3105、上部電極3106は、具体的な製法は後述するが、図1Aと同様に図5に示すようなECRスパッタ装置により、金属ターゲットや焼結ターゲットを、アルゴンガス、酸素ガス、窒素ガスからなるECRプラズマ内でスパッタリングして形成すればよい。

[0170] 次に、図31にした強誘電体素子の製造方法例について、図32A～図32Eを用いて説明する。まず、図32Aに示すように、主表面が面方位(100)で抵抗率が $1\sim2\text{ }\Omega\cdot\text{cm}$ のp形のシリコンからなる基板3101を用意し、基板3101の表面を硫酸と過酸化水素水の混合液と純水と希フッ酸水素水とにより洗浄し、このあと乾燥させる。

[0171] ついで、洗浄・乾燥した基板3101の上に、絶縁層3102が形成された状態とする。絶縁層3102の形成では、図5に示したECRスパッタ装置を用い、処理室501内の

基板ホルダ5 04 に基板31 01 を固定し、ターゲット5 05 として純シリコン(Si) を用い、プラズマガスとしてアルゴン(Ar) と酸素ガスを用いたECRスパッタ法により、基板31 01 の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層31 02 を形成する。

[0172] 図5 に示すECRスパッタ法において、まず、プラズマ生成室5 02 内を 10^{-5} Pa 台の高真空状態に真空排気した後、プラズマ生成室5 02 内に、不活性ガス導入部511より、例えば希ガスであるArガスを流量2 0 sccm 程度で導入し、プラズマ生成室5 02 の内部を例えば $10^{-2} \sim 10^{-3}$ Pa 台の圧力に設定する。また、プラズマ生成室5 02 には、磁気コイル51 0 にコイル電流を例えば28A を供給することで電子サイクロトロン共鳴条件の磁場を与える。例えば、プラズマ生成室5 02 内の磁束密度が87. 5mT (テスラ) 程度の状態とする。

[0173] 加えて、図示していないマイクロ波発生部より、例えば2. 45GHz のマイクロ波 (例えば5 00W) を供給し、これを導波管5 08、石英窓5 07、真空導波管5 06 を介してプラズマ生成室5 02 の内部に導入し、このマイクロ波の導入により、プラズマ生成室5 02 にArのプラズマが生成された状態とする。なお、sccm は流量の単位あり、0°C・1気圧の流体が1分間に1cm³ 流れることを示す。

[0174] 上述したことにより生成されたプラズマは、磁気コイル51 0 の発散磁場によりプラズマ生成室5 02 より処理室5 01 の側に放出される。また、プラズマ生成室5 02 の出口に配置されたターゲット5 05 に、高周波電源522 より高周波電力 (例えば13. 56MHz, 5 00W) を供給する。このことにより、ターゲット5 05 にAr粒子が衝突してスパッタリング現象が起こり、Si粒子がターゲット5 05 より飛び出す。

[0175] この状態とされた後、ターゲット5 05 と基板31 01 との間の図示しないシャッターを開放すると、ターゲット5 05 より飛び出したSi粒子は、プラズマ生成室5 02 より放出されたプラズマ、及び、反応性ガス導入部512より導入されてプラズマにより活性化された酸素ガスと共に基板31 01 の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。

[0176] 以上のことにより、基板31 01 上に二酸化シリコンからなる例えば100nm 程度の膜厚の絶縁層31 02 が形成された状態とすることができ(図32A)。所定の膜厚まで形

成した後、前述したシャッターを閉じた状態としてスパッタされた原料が基板31 01に到達しないようにすることで、成膜を停止する。この後、マイクロ波電力の供給を停止するなどによりプラズマ照射を停止し、各ガスの供給を停止し、基板温度が所定の値にまで低下した処理室5 01の内部圧力を上昇させて大気圧程度とした後、処理室5 01の内部より成膜された基板31 01を搬出する。

[0177] なお、絶縁層31 02は、この後に形成する下部電極層31 03と上部電極31 06に電圧を印加した時に、基板31 01に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸法により酸化することで形成した酸化シリコン膜を絶縁層31 02として用いるようにしてもよい。絶縁層31 02は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層31 02の膜厚は、100nmに限らず、これより薄くてもよく厚くてもよい。絶縁層31 02は、上述したECRスパッタによる膜の形成では、基板31 01に対して加熱はしていないが、基板31 01を加熱しながら膜の形成を行ってもよい。

[0178] 以上のようにして絶縁層31 02を形成した後、基板31 01を装置内より大気中に搬出し、ついで、ターゲット5 05として純ルテニウム(Ru)を用いた図5同様のECRスパッタ装置の基板ホルダ5 04に、基板31 01を固定する。引き続いて、プラズマガスとしてアルゴン(Ar)とキセノン(Xe)を用いたECRスパッタ法により、図32Bに示すように、絶縁層31 02の上に、表面を覆う程度にRu膜を形成することで、下部電極層31 03が形成された状態とする。

[0179] Ru膜の形成について詳述すると、Ruからなるターゲット5 05を用いた図5に示すECRスパッタ装置において、まず、基板31 01を例えば400℃程度に加熱し、ついで、プラズマ生成室5 02内に、不活性ガス導入部511より、例えば流量7sccmで希ガスであるArガスを導入し、例えば流量5sccmでXeガスを導入し、プラズマ生成室5 02の内部を、例えば $1.0^2 \sim 1.0^3$ Pa台の圧力に設定する。また、プラズマ生成室5 02には、磁気コイル510にコイル電流を例えば26Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。

[0180] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管5 08、石英窓5 07、真空導波管5 06を介してプ

ラズマ生成室5 02内に導入し、この上記マイクロ波の導入により、プラズマ生成室5 02にArとXeのプラズマが生成した状態とする。生成されたプラズマは、磁気コイル5 10の発散磁場によりプラズマ生成室5 02より処理室5 01側に放出される。また、プラズマ生成室5 02の出口に配置されたターゲット5 05に、高周波電極供給部より高周波電力(例えば5 00W)を供給する。このことにより、ターゲット5 05にAr粒子が衝突してスパッタリング現象が起こり、Ru粒子がターゲット5 05より飛び出す。ターゲット5 05より飛び出したRu粒子は、基板3 1 01の絶縁層3 1 02表面に到達し堆積する。

[0181] 以上のことにより、絶縁層3 1 02の上に、例えば10nm程度の膜厚の下部電極層3 1 03が形成された状態が得られる(図32B)。下部電極層3 1 03は、この役に形成する上部電極3 1 06との間に電圧を印加した時に、強誘電体層3 1 04と絶縁層3 1 05に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外から下部電極層3 1 03を構成してもよく、また、膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。

[0182] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板3 1 01を4 00℃に加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。以上のようにして所望の膜厚にRuを堆積した後、シャッターを閉じることなどにより成膜を停止し、マイクロ波電力の供給を停止してプラズマ照射を停止するなどの終了処理をすれば、基板3 1 01が搬出可能となる。

[0183] 以上のようにして下部電極層3 1 03を形成した後、基板3 1 01を装置内より大気中に搬出し、ついで、ターゲット5 05としてBiとTiの割合が4:3の焼結体(Bi-Ti-O)を用いた図5同様のECRスパッタ装置の基板ホルダ5 04に、基板3 1 01を固定する。引き続き、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図32Cに示すように、下部電極層3 1 03の上に、表面を覆う程度に、強誘電体層3 1 04が形成された状態とする。

[0184] 強誘電体層3 1 04の形成について詳述すると、Bi-Ti-Oからなるターゲット5 05を用いた図5に示すECRスパッタ装置において、まず、基板3 1 01が3 00〜7 00℃に

加熱された状態とし、ついで、プラズマ生成室5 02内に、不活性ガス導入部5 11より、例えば流量2 0ccmで希ガスであるArガスを導入し、例えば流量1sccmで反応ガスであるO₂ガスを導入し、例えば1 0⁻² ~1 0⁻³Pa台の圧力に設定する。また、プラズマ生成室5 02には、磁気コイル5 1 0にコイル電流を例えば27Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。

[0185] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管5 08、石英窓5 07、真空導波管5 06を介してプラズマ生成室5 02内に導入し、このマイクロ波の導入により、プラズマ生成室5 02にArのプラズマが生成された状態とする。生成されたプラズマは、磁気コイル5 1 0の発散磁場によりプラズマ生成室5 02より処理室5 01側に放出される。また、プラズマ生成室5 02の出口に配置されたターゲット5 05に、高周波電極供給部より高周波電力(例えば5 00W)を供給する。このことにより、ターゲット5 05にAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子がターゲット5 05より飛び出す。

[0186] ターゲット5 05より飛び出したBi粒子とTi粒子は、プラズマ生成室5 02より放出されたプラズマ、及び、反応性ガス導入部5 12より導入されてプラズマにより活性化された酸素ガスと共に、下部電極層3 1 03の表面に到達し、活性化された酸素により酸化される。ターゲット5 05は焼結体であり、酸素が含まれるが、酸素を供給することにより膜中の酸素不足を防ぐことができる。

[0187] 以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚4 0nm程度の強誘電体層3 1 04が形成された状態が得られる(図32C)。この後、前述と同様にすることで終了処理をし、基板が搬出可能な状態とする。なお、形成した強誘電体層3 1 04に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層3 1 02や以降に説明する絶縁層3 1 05の形成にも適用可能である。

[0188] 以上のようにして強誘電体層3 1 04を形成した後、基板3 1 01を装置内より大気中に搬出し、ついで、ターゲット5 05として純タンタル(Ta)を用いた図5同様のECRスパッタ装置の基板ホルダ5 04に、基板3 1 01を固定する。引き続いて、プラズマガスと

してアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図32Dに示すように、強誘電体層3104の上に、表面を覆う程度に、絶縁層3105が形成された状態とする。以下に説明するように、Ta-O分子によるメタルモート膜を形成し、絶縁層3105とする。

- [0189] Ta-O分子によるメタルモート膜の形成について詳述すると、タンタルからなるターゲット505を用いた図5に示すECRスパッタ装置において、まず、プラズマ生成室502内に、不活性ガス導入部511より、例えば流量25sccmで希ガスであるArガスを導入し、プラズマ生成室502の内部を、例えば10⁻³Pa台の圧力に設定する。また、プラズマ生成室502には、磁気コイル510にコイル電流を例えば28Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。
- [0190] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管508、石英窓507、真空導波管を介してプラズマ生成室502内に導入し、このマイクロ波の導入により、プラズマ生成室502にArのプラズマが生成した状態とする。生成されたプラズマは、磁気コイル510の発散磁場によりプラズマ生成室502より処理室501の側に放出される。また、プラズマ生成室502の出口に配置されたターゲット505に、高周波電極供給部より高周波電力(例えば500W)を供給する。
- [0191] このことにより、ターゲット505にAr粒子が衝突してスパッタリング現象を起こし、Ta粒子がターゲット505より飛び出す。ターゲット505より飛び出したTa粒子は、プラズマ生成室502より放出されたプラズマ、及び反応性ガス導入部512より導入されてプラズマにより活性化された酸素ガスと共に基板3101の強誘電体層3104表面に到達し、活性化された酸素により酸化され五酸化タンタルとなる。
- [0192] 以上のことにより、まず、強誘電体層3104の上に五酸化タンタル膜を形成する。続いて、図32Aを用いて説明した二酸化シリコンの堆積と同様に、純シリコンからなるターゲット505を用いたECRスパッタ法により、上記五酸化タンタル膜の上に二酸化シリコン膜が形成された状態とする。上述した五酸化タンタル膜と二酸化シリコン膜の形成工程を繰り返し、五酸化タンタル膜と二酸化シリコン膜との多層膜を例えば、5nm程度形成することで、絶縁層3105が得られる(図32D)。

- [0193] なお、五酸化タンタル膜と二酸化シリコン膜からなる絶縁層3105は、強誘電体層3104に電圧を印加した時に、強誘電体膜に印加される電圧を制御するために用いる。従って、強誘電体層3104に印加される電圧を制御することができれば、五酸化タンタル膜と二酸化シリコン膜の多層構造以外から絶縁層3105を構成してもよく、単層から構成してもよい。また、膜厚も、5nmに限るものではない。なお、上述したECRスパッタ法では、基板3101に対して加熱はしていないが、加熱しても良い。
- [0194] 次に、図32Eに示すように、絶縁層3105の上に、所定の面積のAuからなる上部電極3106が形成された状態とすることで、強誘電体からなる層を用いた素子が得られる。上部電極3106は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、上部電極3106は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、加熱による成膜を行うことや、Ti-Pt-Auなどの剥離し難い構造とすることなどにより、フォトリソグラフィーやリフトオフ処理などのパターンニング処理をして所定の面積を持つ電極として形成する必要がある。
- [0195] なお、前述したように、例えばECRスパッタ法などにより形成した品質のよい $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、膜厚50nm程度以下にすると、強誘電性が小さくなる傾向がある。また、上記 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、ある程度のリーク電流が流れる膜厚で、電流電圧測定に特有のヒステリシスが見れる。これらの知見により、これらの現象を顕著に用いることで、図1Aに示す素子と同様に、図31に示す素子においても、以降に説明するように、2つの状態が保持される素子が実現できる。
- [0196] 次に、図31に示す強誘電体素子の特性について説明する。この特性調査は、下部電極層3103と上部電極3106との間に電圧を印加することで行う。下部電極層3103と上部電極3106との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図33に示す結果が得られた。以下、図33を説明し、あわせて本発明のメモリ動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。

- [0197] まず、上部電極31 06に負の電圧を印加すると、図33中の(1)に示すように、 $-0.8V$ までは流れる電流は非常に少ない。しかし、(2)に示すように、 $-0.8V$ を超えると急に負の電流が流れる。実際には、 $-15\mu A$ を超える電流も流れているが、測定器を保護するためにこれ以上電流を流さないようにしているので、観測されていない。ここで、(1)に示す $0V$ から $-0.8V$ の領域では、(2)に示すような電流が大きく流れないようにすると、高抵抗の状態が保持(維持)される。
- [0198] 続いて、再び上部電極31 06に負の電圧を印加すると、(3)に示すように、 $-0.5V$ 程度で $-10\mu A$ 以上の負の電流が流れる軌跡を示す。さらに続いて、上部電極31 06に負の電圧を印加すると、やはり(3)に示すように $-0.5V$ 程度で $-10\mu A$ 以上の電流が流れる。しかし、今度は、上部電極31 06に正の電圧を印加すると、(4)に示すように、 $+0.2V$ 程度まで正の電流が流れ、最大 $3\mu A$ になる。ここで、電圧の絶対値を小さくしていくと、(4)に示す軌跡を通る。
- [0199] 再び、 $0.2V$ 迄の正の電圧を印加すると、(4)に示すような軌跡を通る。この後、(5)に示すように、流れる電流値が減少して正の電流が流れなくなる。続いて、上部電極31 06に正の電圧を印加すると(6)に示すように、ほとんど電流が流れない軌跡を示すようになる。この後、電圧の絶対値を小さくしていても、(6)に示すようにほとんど電流が流れない。さらに、続いて上部電極31 06に負の電圧を印加すると、(1)に示すように $0 \sim -0.8V$ 程度まで、ほとんど電流が流れない。従って、(2)のように急激に電流が流れないように上部電極31 06に $-0.8V$ 以上の電圧を印加しなければ、(1)のような電流が流れない高抵抗の状態を維持することになる。(1)に示す状態を負の高抵抗モードと呼ぶことにする。
- [0200] 例えば、(2)に示すように $-0.8V$ 以上の電圧を印加し、急激な電流が流れる状態とすると、(3)のような電流が流れやすくなる低抵抗の状態になる。この状態も、上部電極31 06に負の電圧を印加している間は維持される。(3)に示す状態を負の低抵抗モードと呼ぶことにする。
- [0201] しかし、上部電極31 06に正の電圧を印加すると、(4)に示すように、正の $0 \sim 0.2V$ の電圧領域で、電流が流れる低抵抗の状態になる。ここでも、 0 から $0.2V$ の間で正の電圧を印加している間、この状態が維持されるので、(4)に示す状態を正の低

抵抗モードと呼ぶことにする。

- [0202] さらに、0.2V以上の正の電圧を印加すると、(5)に示すように電流が流れなくなり、高抵抗な状態に移行する。この状態になると、(6)に示すように、正の0～0.2Vの電圧領域で電圧を印加している間、電流値が高抵抗の状態が維持される。この(6)に示される状態を、正の高抵抗モードと呼ぶことにする。
- [0203] 以上より、図31で示す強誘電体層を用いた素子では、正の高抵抗モード、正の低抵抗モード、負の高抵抗モード、負の低抵抗モードの見かけ上4つのモードが安定して存在することになる。詳細に調べると、正の高抵抗モードと負の高抵抗モードは、同じ高抵抗の状態を示す高抵抗モードであり、正の低抵抗モードと負の低抵抗モードは、同じ低抵抗の状態を示す低抵抗モードであり、2つのモードが存在していることが判明した。つまり、高抵抗モードの状態にあるとき、 -0.8V から $+0.8\text{V}$ の電圧領域で高抵抗モードが維持される。 -0.8V 以上の電圧を印加することで遷移した低抵抗モードの状態にあるときは、 -0.5V から $+0.2\text{V}$ の電圧領域で低抵抗モードが維持される。これらの2つの高抵抗モードと低抵抗モードとが切り替わることになる。これらは、負の高抵抗モード及び負の低抵抗モードの負の抵抗モードについても、同様である。
- [0204] また、各負のモードの実際の電流値は、 -0.5V 印加時に、負の高抵抗モードで $-5 \times 10^{-8}\text{A}$ であり、負の低抵抗モードで $-1 \times 10^{-5}\text{A}$ であることから、各々の比は、200倍にも達する。このことは、容易なモードの識別を可能にするものである。発明者らは、印加する電圧の向きと強さにより、強誘電体膜の抵抗値が劇的に変化することで、上述した現象が発現するものと推定している。
- [0205] また、強誘電体層3104と上部電極3106の間に備えた絶縁層3105により、絶縁層3105の持つバンド構造から、キャリアの制御が可能である。具体的には、例えば、五酸化タンタルは、バンドギャップは4.5eV程度であるが、フェルミレベルからのエネルギー差を見た場合、伝導帯には1.2eV程度、価電子帯には2.3eVと価電子帯側にバリアが高いことが知られている。従って、価電子帯のホール(正孔)に対してはバリア性が高いが、伝導帯のエレクトロン(電子)に対してはバリア性が低いということになる。詳しくは、『ウィルクスのジャーナル・オブ・アプライドフィジクス』、第87号、484頁

、2000年、(Wilk et. al., J.Appl.Phys.,87,484(2000).)を参考にされたい。

- [0206] 上述した特性から、例えば五酸化タンタル膜を、電極と強誘電体層との間の絶縁層に用いた場合、電子は流れやすく、正孔は流れにくい現象が期待できる。実際に、図33に示すように、上部電極3106に正の電圧を印加したときと、負の電圧を印加したときでは、流れる電流の値が大きく異なっている。このことは、メモリの判別を行う場合に、信号ツイズ比(S/N比)を向上させ、データの判別を容易にする効果が非常に大きい。これは、絶縁層3106を用いた効果である。
- [0207] 上述した図33に示す低抵抗モードと高抵抗モードのモードをメモリ動作として応用することで、図31に示す素子が、不揮発性で非破壊のメモリとして使用できることを見いだした。具体的には、まず、素子の初期化とデータの消去、つまり、データ「off」の書き込みは、図33の(4)又は(5)に示すように、上部電極3106に負の電圧を印加することで、低抵抗モードから高抵抗モードにモード変更することにより行えばよい。
- [0208] また、データ「on」の書き込みは、図33の(2)に示すように、上部電極3106に負の電圧を -0.8V 以上印加して電流が急激に流れるようにすることで行えばよい。このことで、高抵抗モードから低抵抗モードにモード変換してデータ「on」の書き込みが行われる。これらのように、上部電極3106への電圧印加により、高抵抗モードか低抵抗モードにすることによって「off」又は「on」のデータ(状態)を書き込むことが可能である。
- [0209] 一方、以上のようにして書き込まれたデータの読み出しは、上部電極3106に、 $-0.8 \sim +0.8\text{V}$ の適当な電圧を印加したときの電流値を読み取ることで容易に行うことができる。例えば、図31に示す素子のモード状態が、「off」言い換えると高抵抗モードである場合、図33の(1)に示すように $-0.8 \sim +0.8\text{V}$ の適当な電圧印加時に電流が流れ難いことにより判断できる。
- [0210] また、図31に示す素子のモード状態が、「on」言い換えると低抵抗モードである場合、図33の(2)に示すように、 $-0.5 \sim +0.2\text{V}$ の適当な電圧印加時に電流が急激に流れることにより判断できる。負の高抵抗モードと負の低抵抗モード、つまり、「off」と「on」の状態の電流値は、200倍以上もあることから、「off」と「on」の判

断が、容易に可能である。同様に、正の電圧領域においても、 $0 \sim +0.2V$ の電圧範囲で「on」と「off」の判断が可能である。

- [0211] 上述したメモリの読み出しの動作は、図31に示す素子が「高抵抗モード」か「低抵抗モード」かを調べるだけで容易に行える。言い換えれば、図31に示す素子が、上記2つのモードを保持できている間は、データが保持されている状態である。さらに、どちらかのモードかを調べるために、電極に正の電圧を印加しても、保持しているモードは変化することなくデータが破壊されてしまうことはない。従って、図31に示す強誘電体素子によれば、非破壊の読み出しが可能である。図31に示す素子は、強誘電体層3105が、下部電極層3103と上部電極3106との間に印加された電圧により抵抗値が変化することにより、不揮発メモリ素子として機能するものである。なお、本素子は、電流を制御するスイッチ素子としても用いることができる。
- [0212] 図31に示す素子を動作させるための電圧は、「負の低抵抗モード」にするための書き込み時に最大になるが、図33に示すように、 $-0.8V$ 程度であり、非常に消費電力が小さい。消費電力が小さいと言うことは、デバイスにとって非常に有利になり、例えば、移動体通信機器、デジタル汎用機器、デジタル撮像機器を始め、ノートタイプのパーソナルコンピュータ、パーソナル・デジタル・アプライアンス(PDA)のみならず、全ての電子計算機、パーソナルコンピュータ、ワークステーション、オフィスコンピュータ、大型計算機や、通信ユニット、複合機などのメモリを用いている機器の消費電力を下げる事が可能となる。
- [0213] 図31に示す素子におけるデータ保持される時間について、図34に示す。上部電極3106に正の電圧を印加して図33に示す「正の高抵抗状態」つまり「高抵抗モード」にした後に、上部電極3106に $-0.8V$ 以上の電圧を印加することで、「負の低抵抗状態」(「低抵抗モード」)、つまり、データ「on」を書き込んだ状態とする。この後、一定時間ごとに上部電極3106に $-0.3V$ を印加して、電圧を印加したときに観測される電流値を観測する。この観察結果が、図34である。
- [0214] 観測された電流は、約10分が最大となり、この後、緩やかに1000分まで小さくなっている。しかし、この時の電流値は、最大値の86%であり、データの判別には問題ない値である。また、図34に示す10年に相当する1000000分に外挿される線よ

り、10年後の電流値は、最大値の66% (3分の2) 程度に相当し、データの判別は可能であることが予想される。以上に示したことにより、図31に示す素子を用いたメモリによれば、10年の保持期間を有していることがわかる。

[015] ところで、上述した本発明の例では、シリコンからなる基板上の絶縁層、絶縁層上の下部電極層、下部電極層上の強誘電体層の各々を $E_C R$ スパッタ法で形成するようにした。しかしながら、これら各層の形成方法は、 $E_C R$ スパッタ法に限定するものではない。例えば、シリコン基板の上に形成する絶縁層は、熱酸化法や化学気相法(CVD法)、また、従来のスパッタ法などで形成しても良い。

[016] また、下部電極層は、EB蒸着法、CVD法、MBE法、IBD法などの他の成膜方法で形成しても良い。また、強誘電体層も、上記で説明したMOD法や従来よりあるスパッタ法、PLD法などで形成することができる。ただし、 $E_C R$ スパッタ法を用いることで、平坦で良好な絶縁膜、金属膜、強誘電体膜が容易に得られる。

[017] また、上述した実施の形態では、各層を形成した後、一旦大気に取り出していたが、各々の $E_C R$ スパッタを実現する処理室を、真空搬送室で連結させた装置を用いることで、大気に取り出すことなく、連続的な処理により各層を形成してもよい。これらにより、処理対象の基板を真空中で搬送できるようになり、水分付着などの外乱の影響を受け難くなり、膜質と界面の特性の向上につながる。

[018] 特開2006-77911号公報に示されているように、各層を形成した後、形成した層の表面に $E_C R$ プラズマを照射し、特性を改善するようにしてもよい。また、各層を形成した後、水素雰囲気中などの適当なガス雰囲気中で、形成した層をアニール(加熱処理)し、各層の特性を大きく改善するようにしてもよい。

[019] ところで、素子を並べて複数のデータを同時にメモリ蓄積することを「集積」と呼び、集積する度合いを集積度と呼ぶが、図31の構造は、非常に単純であり、従来のメモリセルに比較して、集積度を格段に上げることが可能となる。 $MOS FET$ を基本技術としたDRAMやRAM、フラッシュメモリなどでは、ゲート、ソース、ドレインの領域を確保する必要があるため、近年では、集積限界が指摘され始めている。これに対し、図31に示す素子によれば、単純な構造を用いることで、現在の集積限界に捕らわれずに集積度を高めることが可能となる。

- [0220] また、以上の実施の形態では、印加した電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。本発明の基本的な思想は、図31に示すように、強誘電体層に絶縁層を接して配置し、これらを2つの電極で挟むようにしたところにある。このような構成とすることで、2つの電極間に所定の電圧(DC、パルス)を印加して強誘電体層の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替え、結果としてメモリ機能が実現可能となる。
- [0221] 従って、例えば、図35Aに示すように、絶縁性基板3101aを用い、積層された下部電極層3103a, 3103bを用いるようにしてもよい。また、図35Bに示すように、絶縁性基板3101aを用い、下部電極層3103にコンタクト電極3103cを設けるようにしてもよい。また、図35Cに示すように、絶縁性基板3101aを用い、積層された上部電極3106a, 3106bを用いるようにしてもよい。さらに、図35Dに示すように、積層された下部電極層3103a, 3103bと積層された上部電極3106a, 3106bとを用いるようにしてもよい。
- [0222] また、図36に示すように、ガラスや石英などからなる絶縁性の基板3601を用いるようにしてもよい。この場合、図37に示すように、基板3601に貫通孔形成してここにプラグを設け、基板3601の裏面(下部電極層3103の形成面の反対側)より電気的コンタクトをとるようにしてもよい。この構造とすることによって、加工しやすいガラス基板などへの適用が可能となる。また、透光性を有する基板を用いることで、ディスプレイへの応用が可能となる。
- [0223] さらに、図38Aに示すように、金属などの導電性を有する基板3801を用いるようにしてもよい。また、図38Bに示すように、基板3801の上に接して下部電極層3802を備え、この上に強誘電体層3803, 絶縁層3804, 上部電極3805を設けるようにしてもよい。図38Bに示す構成とした場合、基板3801と上部電極3805との間に所定の電気信号を印加することが可能となる。
- [0224] また、図38Cに示すように、金属板1201の上に、強誘電体層1202, 絶縁層1203, 上部電極1204を設けるようにしてもよい。この構成とした場合、金属板1201が、下部電極層となる。図38Cに示す構造にすることによって、熱伝導性のよい金属板1201の上に各構成要素が形成されているので、より高い冷却効果が得られ、素子の安

定動作が期待できる。

- [0225] なお、強誘電体層は、膜厚が厚くなるほど電流が流れ難くなり抵抗が大きくなる。抵抗値の変化を利用してメモリを実現する場合、オン状態とオフ状態の各々の抵抗値が問題となる。例えば、強誘電体層の膜厚が厚くなると、オン状態の抵抗値が大きくなり、S/N比がとり難くなり、メモリの状態を判断し難くなる。一方、強誘電体層の膜厚が薄くなり、リーク電流が支配的になると、メモリ情報が保持し難くなると共に、オフ状態の抵抗値が大きくなり、S/N比がとり難くなる。
- [0226] 従って、強誘電体層は、適宜最適な厚さとした方がよい。例えば、リーク電流の問題を考慮すれば、強誘電体層は、最低10nmの膜厚があればよい。また、オン状態における抵抗値を考慮すれば、強誘電体層は200nmより薄くした方がよい。発明者らの実験の結果、強誘電体層の厚さが30～100nmであれば、メモリの動作が確認され、最も良好な状態は、強誘電体層の厚さを50nmとしたときに得られた。
- [0227] 同様に、強誘電体層の上の絶縁層においても、より好適な膜厚が存在する。この膜厚について、Alターゲット、Siターゲット、Taターゲットを用いたECRスパッタ法により、各々 Al_2O_3 膜、 SiO_2 膜、 Ta_2O_5 膜をシリコン基板の上に形成した場合を例に説明する。上記各膜が、所定の膜厚に形成された状態とし、各々の膜の上にAlからなる上部電極が形成された状態とし、シリコン基板と上部電極との間に電圧を印加したときの電流電圧測定を1竹、各々の薄膜における-1Vで観察される電流密度を観察する。これらの電流密度の結果は、図39に示すようになる。
- [0228] 図39に示すように、絶縁層を構成する材料により電流密度が異なり、膜厚が薄いほどリーク電流が多く流れて電流密度が大きくなる。一方、膜厚が厚くなると、電流密度は小さくなる。これは、膜厚があまり薄いと、絶縁層としての特性が得られず、膜厚が厚い場合、強誘電体膜に印加される電圧が小さくなり、S/N比がとりにくくなり、メモリの状態が判断しにくくなることを示している。従って、絶縁層は、強誘電体層との組み合わせにおいて、適宜最適な厚さとした方がよい。
- [0229] 例えば、リーク電流の問題を考慮すれば、 Al_2O_3 膜、 SiO_2 膜を用いる場合は、膜厚が1～3nm程度がよい。 Ta_2O_5 膜の場合は、3nm以上の膜厚があればよい。一方、抵抗値の大きさの問題を考慮すれば、絶縁層は20nmより厚くした方がよい。発明者

らの実験の結果、 SiO_2 と Ta_2O_3 から構成された絶縁層の場合、膜厚が3～5nmであれば、前述したメモリの動作が確認された。

- [0230] 上述では、1つの強誘電体素子を例にして説明したが、以降に説明するように、複数の強誘電体素子を配列させて集積させるようにしてもよい。例えば、図40Aに示すように、絶縁性基板4001の上に、共通となる下部電極層4002、強誘電体層4003、絶縁層4004を形成し、絶縁層4004の上に、各々所定距離離間して複数の上部電極4005を形成すればよい。複数の上部電極4005に対応して複数の強誘電体素子が配列されたことになる。
- [0231] 強誘電体や絶縁膜は、金属などの導電体に比べて導電性が非常に小さいので、上述したように共通に使用することができる。この場合、加工プロセスを省くことができるので、生産性の向上が図れ、工業的に利点大きい。また、複数の上部電極4005に対応する強誘電体素子間の距離を導電性などを考慮して配置することで、安定した動作が期待できる。
- [0232] また、図40Bに示すように、絶縁性基板4001の上に、共通となる下部電極層4002を形成し、下部電極層4002の上に、強誘電体層4013、絶縁層4014、上部電極4015からなる複数の素子を配列させるようにしてもよい。例えば、形成した強誘電体膜を、RIE法やICPエッチング、またECRエッチングなど加工法を用いることで、個々の強誘電体層4013が形成できる。このように分離して構成することで、素子間の距離をより短くすることが可能となり、集積度をさらに向上させることができる。
- [0233] さらに、図40Cに示すように、各々の素子を構成している強誘電体層4013、絶縁層4014の側面を、絶縁側壁4016で覆うようにしてもよい。また、図40Dに示すように、各素子に渡って共通の絶縁層4024を形成し、絶縁層4024により強誘電体層4013の側面を覆うようにしてもよい。この場合、絶縁層4024の一部で、図40Bに示す絶縁層4014が構成されていることになる。
- [0234] また、図40(e)に示すように、各素子に対応して複数の強誘電体層4013を形成し、この上の絶縁層4014は共通とし、各々分離している複数の強誘電体層4013の側部を充填するように、絶縁層4026を形成するようにしてもよい。これらのように、素子毎に分離して形成した複数の強誘電体層4013の間を、絶縁体で覆うようにすること

で、各素子間のリーク電流を減らして強誘電体素子の安定性を高めることができる。

- [0235] また、図31に示す素子においても、図13に示したように、複数の素子をX方向にn個、Y方向にm個配列し、X方向バスを下部電極層に接続し、Y方向バスを上部電極に接続し、X方向バス及びY方向バスの各々に選択信号のスイッチ機能を備えたプロセッサユニットを接続することで、各素子にランダムにアクセスが可能なメモリが実現できる。
- [0236] ところで、強誘電体層3104における抵抗値の変化は、電流により制御することも可能である。強誘電体層3104に所定の電圧が印加された状態として一定の電流を流した直後に、上部電極3106と下部電極層3103との間に所定の電圧（例えば－0.8V）を印加すると、図41に示すように電流値が変化する。なお、図41の縦軸は、上記電極間に電流検出用の電圧を印加したときに測定される電流を示している。
- [0237] 例えば、上記電極間に、 1×10^9 Aから 1×10^6 A未満の電流を流した後は電流値が小さく高抵抗状態である。これに対し、上記電極間に 1×10^6 A以上の電流を流した後は、流れる電流値が大きくなり（例えば 10μ A）低抵抗状態へと変化する。このことから明らかなように、強誘電体層3104における抵抗変化は、強誘電体層3104に流れた電流によっても変化する。高抵抗状態と低抵抗状態との2つの抵抗値が存在する。従って、図31に示す素子は、電圧により駆動することが可能であるとともに、電流により駆動することも可能である。
- [0238] また、パルス電圧により、強誘電体層3104の抵抗変化を制御できる。例えば、初期状態では強誘電体層3104が高抵抗状態の図31に示す素子に対し、図42に示すように、まず、上部電極3106と下部電極層3103との間に、負のパルス電圧（例えば－4Vで 10μ s）を1回印加すると、低抵抗状態となる。この後に、上記電極間に、正のパルス電圧（例えば+5Vで 10μ s）を複数回（例えば4回）印加すると高抵抗状態となる。
- [0239] 上述した各パルス電圧の印加を繰り返し、各パルス電圧印加の後に測定した電流値は、図43に示すように変化する。図43に示すように、初期状態では高抵抗状態であるが、負のパルス電圧を印加した後は、低抵抗状態に移行する。ついで、この状態に、正のパルス電圧を複数回印加することで、高抵抗状態となり、正電圧パルス及び

負電圧パルスを印加することで、強誘電体層3104の抵抗値が変化する。従って、例えば、正電圧パルス及び負電圧パルスを印加することで、上記素子のメモリ状態を、 b_{n-} の状態から b_{ff-} の状態へ変化させ、また、 b_{ff-} の状態から b_{n-} の状態へ変化させるメモリ動作が可能である。

[0240] 強誘電体層3104の抵抗状態を変化させることができる電圧パルスの電圧と時間は、状況により変化させることができる。例えば、+5Vで $10\mu s$ 、4回の電圧パルスを印加して高抵抗状態とした後、-4Vで $1\mu s$ の短いパルスを10回印加することで、低抵抗状態へと変化させることができる。また、この状態に、+5Vで $1\mu s$ の短いパルスを100回印加することで、高抵抗状態へと変化させることも可能である。さらに、この状態に、-3Vと低い電圧として $100\mu s$ のパルスを100回印加することで、低抵抗状態へと変化させることも可能である。

[0241] 次に、図31に示す素子を電流を制御するスイッチ素子として用いる場合について説明する。図44Aに示す素子において、上部電極3106と下部電極層3103との間に流れる電流は、図44Bに示すように、強誘電体層3104が高抵抗であればオフ状態となり、強誘電体層3104が低抵抗状態であればオン状態となる。例えば、図45のシーケンスに示すように、上部電極3106と下部電極層3103との間に負のパルスと正のパルスとを交互に印加することで、上部電極3106と下部電極層3103との間に流れる電流のオン状態とオフ状態とを、交互に切り替えることができる。

[0242] また、本実施の形態における強誘電体層3104を用いた図31に示す素子によれば、下部電極層3103と上部電極3106との間に直流電圧を印加したときの電流-電圧特性が、図46に示すように、正側の印加電圧を変化させることで異なる低抵抗状態に変化する。これら各々の状態における読み出し電圧における電流値に対応し、3つの状態(3値)のメモリが実現できる。この場合、例えば、読み出し電圧を0.5V程度とすることで、3値のメモリが実現できる。なお、各状態に遷移させる前には、-2Vの電圧を下部電極層3103に印加して高抵抗状態に戻している(リセット)。

[0243] なお、図31に例示した素子においても、図1Aに例示した素子と同様に、+1.5V程度の高い電圧を印加することで、図33に示すような、特徴的な電流電圧特性が発現されるようになる。このように、図31に例示した素子においても、電氣的初期化(EO)

処理により、前述した各特性を示すようになり、メモリ素子などを実現することが可能となる。

[044] また、上述したE₀処理は、1 Vを超える電圧を素子に印加することになるため、例えば、半導体素子と集積して図4 0に示すような状態に複数の素子を形成している状態でE₀処理をする場合、半導体素子を破壊する場合がある。従って、この場合においても、半導体素子の破壊を抑制するために、前述したように、E_CRプラズマを用いてE₀処理を行うようにしてもよい。例えば、図15に示す素子において、下部電極層4 0aに接続する配線の一端をプラズマ流の周辺部に晒し、上部電極4 0bがプラズマ流中の中央部に晒される状態とすれば、プラズマ流中の分布から発生する電位差で、これら2つの電極間にE₀処理に必要な電圧を印加することが可能となる。例えば、Arを主成分とするプラズマを発生させて素子に照射することで、1秒から数十秒れづ短い時間でE₀処理をすることが可能である。

[045] 次に、本発明の他の実施の形態について図を参照して説明する。図4 7は、本発明の実施の形態における他の2安定抵抗値取得装置の構成例を模式的に示す断面図である。以下では、強誘電特性を示す金属酸化物からなる強誘電体層4 7 0bよりなる強誘電体素子を例に説明する。図4 7に示す素子は、例えば、単結晶シリコンからなる基板4 7 01の上に絶縁層4 7 02、下部電極層4 7 03、絶縁層4 7 04、強誘電体層4 7 05、上部電極4 7 06を備えるようにしたものである。基板4 7 01は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板4 7 01が絶縁材料から構成されている場合、絶縁層4 7 02はなくてもよい。また、基板4 7 01が導電性材料から構成されている場合、絶縁層4 7 02、下部電極層4 7 03はなくてもよく、この場合、導電性材料から構成された基板4 7 01が、下部電極となる。

[046] 下部電極層4 7 03、上部電極4 7 06は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていればよい。また、下部電極層4 7 03、上部電極4 7 06は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO₂)、酸亜鉛(ZnO)、鉛酸スズ(ITO)、フッビランタン(LaF₃)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

- [0247] 絶縁層47 04は、二酸化シリコン、シリコン酸窒化物膜、アルミナ、又は、リチウム、ベリリウム、マグネシウム、カルシウムなどの軽金属から構成された LiNbO_3 などの酸化物、 LiCaAlF_6 、 LiSrAlF_6 、 LiYF_4 、 LiLuF_4 、 KMgF_3 などのフッ化物から構成されていればよい。また、絶縁層47 04は、スカンジウム、チタン、ストロンチウム、バリウム、ジルコニウム、ハフニウム、タンタル、及び、ランタン系を含む遷移金属の酸化物及び窒化物、又は、以上の元素を含むシリケート(金属、シリコン、酸素の三元化合物)、及び、これらの元素を含むアルミネート(金属、アルミニウム、酸素の三元化合物)、さらに、以上の元素を2以上含む酸化物及び窒化物などから構成されていればよい。
- [0248] 強誘電体層47 05は、前述した強誘電体層1 04及び強誘電体層31 04と同様である。なお、強誘電体層47 05は、少なくとも2つの金属から構成された金属酸化物からなる一般に強誘電特性を示す材料から構成されていることを示しており、前述したように、膜厚条件などにより強誘電特性を示さない状態も含んでいる。
- [0249] 図47に示した素子の具体例について説明すると、例えば、下部電極層47 03は、膜厚10nmのルテニウム膜であり、絶縁層47 04は、五酸化タンタルと二酸化シリコンとの膜厚が5nmの多層膜であり、強誘電体層47 05は、膜厚40nmの $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜であり、上部電極47 06は、金から構成されたものである。なお、前述したように、基板47 01及び絶縁層47 02の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。
- [0250] 以上で説明した、絶縁層47 02、下部電極層47 03、絶縁層47 04、強誘電体層47 05、上部電極47 06は、具体的な製法は後述するが、図5に示すようなECRスパッタ装置により、金属ターゲットや焼結ターゲットを、アルゴンガス、酸素ガス、窒素ガスからなるECRプラズマ内でスパッタリングして形成すればよい。
- [0251] 次に、図47にした素子の製造方法例について、図48を用いて説明する。まず、図48Aに示すように、主表面が面方位(100)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板47 01を用意し、基板47 01の表面を硫酸と過酸化水素水の混合液と純水と希フッ化水素水とにより洗浄し、このあと乾燥させる。
- [0252] ついで、洗浄・乾燥した基板47 01の上に、絶縁層47 02が形成された状態とする。

絶縁層4702の形成では、上述したECRスパッタ装置を用い、処理室501内の基板ホルダ504に基板4701を固定し、ターゲット505として純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスを用いたECRスパッタ法により、基板4701の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層4702を形成する。

[0253] 図5に示すECRスパッタ法において、まず、プラズマ生成室502内を 1.0^{-5} Pa台の高真空状態に真空排気した後、プラズマ生成室502内に、不活性ガス導入部511より、例えば希ガスであるArガスを流量20sccm程度で導入し、プラズマ生成室502の内部を例えば $1.0^{-2} \sim 1.0^{-3}$ Pa台の圧力に設定する。また、プラズマ生成室502には、磁気コイル510にコイル電流を例えば28Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。例えば、プラズマ生成室502内の磁束密度が87.5mT(テスラ)程度の状態とする。

[0254] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管508、石英窓507、真空導波管506を介してプラズマ生成室502の内部に導入し、このマイクロ波の導入により、プラズマ生成室502にArのプラズマが生成された状態とする。なお、sccmは流量の単位あり、 $0^{\circ}\text{C} \cdot 1$ 気圧の流体が1分間に 1cm^3 流れることを示す。

[0255] 上述したことにより生成されたプラズマは、磁気コイル510の発散磁場によりプラズマ生成室502より処理室501の側に放出される。また、プラズマ生成室502の出口に配置されたターゲット505に、高周波電源522より高周波電力(例えば500W)を供給する。このことにより、ターゲット505にAr粒子が衝突してスパッタリング現象が起こり、Si粒子がターゲット505より飛び出す。

[0256] この状態とされた後、ターゲット505と基板4701との間の図示しないシャッターを開放すると、ターゲット505より飛び出したSi粒子は、プラズマ生成室502より放出されたプラズマ、及び、反応性ガス導入部512より導入されてプラズマにより活性化された酸素ガスと共に基板4701の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。

[0257] 以上のことにより、基板4701上に二酸化シリコンからなる例えば100nm程度の膜厚の絶縁層4702が形成された状態とすることができ(図48A)。所定の膜厚まで形

成した後、前述したシャッターを閉じた状態としてスパッタされた原料が基板47 01に到達しないようにすることで、成膜を停止する。この後、マイクロ波電力の供給を停止するなどによりプラズマ照射を停止し、各ガスの供給を停止し、基板温度が所定の値にまで低下した処理室5 01の内部圧力を上昇させて大気圧程度とした後、処理室5 01の内部より成膜された基板47 01を搬出する。

[0258] なお、絶縁層47 02は、この後に形成する下部電極層47 03と上部電極47 06に電圧を印加した時に、基板47 01に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸¹⁰法により酸¹⁰することで形成した酸化シリコン膜を絶縁層47 02として用いるようにしてもよい。絶縁層47 02は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層47 02の膜厚は、100nmに限らず、これより薄くてもよく厚くてもよい。絶縁層47 02は、上述したECRスパッタによる膜の形成では、基板47 01に対して加熱はしていないが、基板47 01を加熱しながら膜の形成を行ってもよい。

[0259] 以上のようにして絶縁層47 02を形成した後、基板47 01を装置内より大気中に搬出し、ついで、ターゲット5 05として純ルテニウム(Ru)を用いた図5同様のECRスパッタ装置の基板ホルダ5 04に、基板47 01を固定する。引き続き、プラズマガスとしてアルゴン(Ar)とキセノン(Xe)を用いたECRスパッタ法により、図48Bに示すように、絶縁層47 02の上に、表面を覆う程度にRu膜を形成することで、下部電極層47 03が形成された状態とする。

[0260] Ru膜の形成について詳述すると、Ruからなるターゲット5 05を用いた図5に示すECRスパッタ装置において、まず、基板47 01を例えば400℃程度に加熱し、ついで、プラズマ生成室5 02内に、不活性ガス導入部511より、例えば流量7sccmで希ガスであるArガスを導入し、例えば流量5sccmでXeガスを導入し、プラズマ生成室5 02の内部を、例えば $1.0^2 \sim 1.0^3$ Pa台の圧力に設定する。また、プラズマ生成室5 02には、磁気コイル510にコイル電流を例えば26Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。

[0261] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管5 08、石英窓5 07、真空導波管5 06を介してプ

ラズマ生成室5 02内に導入し、この上記マイクロ波の導入により、プラズマ生成室5 02にArとXeのプラズマが生成した状態とする。生成されたプラズマは、磁気コイル510の発散磁場によりプラズマ生成室5 02より処理室5 01側に放出される。また、プラズマ生成室5 02の出口に配置されたターゲット5 05に、高周波電極供給部より高周波電力(例えば5 00W)を供給する。このことにより、ターゲット5 05にAr粒子が衝突してスパッタリング現象が起こり、Ru粒子がターゲット5 05より飛び出す。ターゲット5 05より飛び出したRu粒子は、基板47 01の絶縁層47 02表面に到達し堆積する。

[0262] 以上のことにより、絶縁層47 02の上に、例えば10nm程度の膜厚の下部電極層47 03が形成された状態が得られる(図48B)。下部電極層47 03は、この役に形成する上部電極47 06との間に電圧を印加した時に、強誘電体層47 05と絶縁層47 04に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外から下部電極層47 03を構成してもよく、また、膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。

[0263] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板47 01を4 00Cに加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。以上のようにして所望の膜厚にRuを堆積した後、シャッターを閉じることなどにより成膜を停止し、マイクロ波電力の供給を停止してプラズマ照射を停止するなどの終了処理をすれば、基板47 01が搬出可能となる。

[0264] 以上のようにして下部電極層47 03を形成した後、基板47 01を装置内より大気中に搬出し、ついで、ターゲット5 05として純タンタル(Ta)を用いた図5同様のECRスパッタ装置の基板ホルダ5 04に、基板47 01を固定する。引き続いて、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図48Cに示すように、下部電極層47 03の上に、表面を覆う程度に、絶縁層47 04が形成された状態とする。以下に説明するように、Ta-O分子によるメタルモート膜を形成し、絶縁層47 04とする。

[0265] Ta-O分子によるメタルモート膜の形成について詳述すると、タンタルからなるター

ターゲット5 05を用いた図5に示すECRスパッタ装置において、まず、プラズマ生成室5 02内に、不活性ガス導入部511より、例えば流量25sccmで希ガスであるArガスを導入し、例えば $10^{-2} \sim 10^{-3}$ Pa台の圧力に設定する。また、プラズマ生成室5 02には、磁気コイル51 0にコイル電流を例えば27Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。

[0266] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波（例えば500W）を供給し、これを導波管5 08、石英窓5 07、真空導波管5 06を介してプラズマ生成室5 02内に導入し、このマイクロ波の導入により、プラズマ生成室5 02にArのプラズマが生成された状態とする。生成されたプラズマは、磁気コイル51 0の発散磁場によりプラズマ生成室5 02より処理室5 01の側に放出される。また、プラズマ生成室5 02の出口に配置されたターゲット5 05に、高周波電極供給部より高周波電力（例えば500W）を供給する。このことにより、ターゲット5 05にAr粒子が衝突してスパッタリング現象を起こし、Ta粒子がターゲット5 05より飛び出す。

[0267] ターゲット5 05より飛び出したTa粒子は、プラズマ生成室5 02より放出されたプラズマ、及び反応性ガス導入部512より導入されてプラズマにより活性化された酸素ガスと共に基板47 01の下部電極層47 03表面に到達し、活性化された酸素により酸化されて五酸化タンタルとなる。

[0268] 以上のことにより、まず、下部電極層47 03の上に五酸化タンタル膜を形成する。続いて、図48Aを用いて説明した二酸化シリコンの堆積と同様に、純シリコンからなるターゲット5 05を用いたECRスパッタ法により、上記五酸化タンタル膜の上に二酸化シリコン膜が形成された状態とする。上述した五酸化タンタル膜と二酸化シリコン膜の形成工程を繰り返し、五酸化タンタル膜と二酸化シリコン膜との多層膜を例えば、5nm程度形成することで、絶縁層47 04が得られる（図48D）。

[0269] なお、五酸化タンタル膜と二酸化シリコン膜からなる絶縁層47 04は、強誘電体層47 05に電圧を印加した時に、強誘電体膜に印加される電圧を制御するために用いる。従って、強誘電体層47 05に印加される電圧を制御することができれば、五酸化タンタル膜と二酸化シリコン膜の多層構造以外から絶縁層47 04を構成してもよく、単層から構成してもよい。また、膜厚も、5nmに限るものではない。なお、上述したECR

スパッタ法では、基板4701に対して加熱はしていないが、加熱しても良い。

- [0270] 以上のようにして絶縁層4704を形成した後、基板4701を装置内より大気中に搬出し、ついで、ターゲット505としてBiとTiの割合が4:3の焼結体(Bi-Ti-O)を用いた図5同様のECRスパッタ装置の基板ホルダ504に、基板4701を固定する。5巻続いて、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図48Dに示すように、絶縁層4704の上に、表面を覆う程度に、強誘電体層4705が形成された状態とする。
- [0271] 強誘電体層4705の形成について詳述すると、Bi-Ti-Oからなるターゲット505を用いた図5に示すECRスパッタ装置において、まず、基板4701が300~700°Cに加熱された状態とし、ついで、プラズマ生成室502内に、不活性ガス導入部511より、例えば流量20ccmで希ガスであるArガスを導入し、例えば $1.0^{-2} \sim 1.0^{-3}$ Pa台の圧力に設定する。また、プラズマ生成室502には、磁気コイル510にコイル電流を例えば27Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。
- [0272] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管508、石英窓507、真空導波管506を介してプラズマ生成室502内に導入し、このマイクロ波の導入により、プラズマ生成室502にプラズマが生成された状態とする。生成されたプラズマは、磁気コイル510の発散磁場によりプラズマ生成室502より処理室501側に放出される。また、プラズマ生成室502の出口に配置されたターゲット505に、高周波電極供給部より高周波電力(例えば500W)を供給する。このことにより、ターゲット505にAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子がターゲット505より飛び出す。
- [0273] ターゲット505より飛び出したBi粒子とTi粒子は、プラズマ生成室502より放出されたプラズマ、及び、反応性ガス導入部512より導入されてプラズマにより活性化された酸素ガスと共に、絶縁層4704の表面に到達し、活性化された酸素により酸化される。酸素(O_2)ガスは、反応性ガス導入部512より例えば流量1sccm程度で導入されればよい。ターゲット505は焼結体であり、酸素が含まれるが、酸素を供給することにより膜中の酸素不足を防ぐことができる。
- [0274] 以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度の強

誘電体層4705が形成された状態が得られる(図48D)。この後、前述と同様にすることで終了処理をし、基板が搬出可能な状態とする。なお、形成した強誘電体層4705に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層4702や絶縁層4704の形成にも適用可能である。

- [0275] 次に、図48Eに示すように、強誘電体層4705の上に、所定の面積のAuからなる上部電極4706が形成された状態とすることで、強誘電体からなる層を用いた素子が得られる。上部電極4706は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、上部電極4706は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、加熱による成膜を行うことや、Ti-Pt-Auなどの剥離し難い構造とし、フォトリソグラフィやリフトオフ処理などのパターンニング処理をして所定の面積を持つ電極として形成する必要がある。
- [0276] ここで、本実施の形態によれば、絶縁層4704が形成されている状態で、この上に強誘電体層4705を形成するようにした。この結果、上述したECRスパッタ法による強誘電体層4705の形成において、下層の金属膜の表面や強誘電体膜の表面のモフォロジを劣化させることなく、強誘電体膜が形成できる。例えば、下層が金属材料などのように酸化する状態であると、上述した強誘電体層4705の形成では、下層の表面が部分的に酸化され、モフォロジが劣化する場合がある。これに対し、本実施の形態によれば、下層の表面のモフォロジがよい状態で、強誘電体層4705が形成でき、より品質の高い強誘電体層4705が得られる。
- [0277] 次に、図47に示す素子の特性について説明する。この特性調査は、下部電極層4703と上部電極4706との間に電圧を印加することで行う。下部電極層4703と上部電極4706との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図49に示す結果が得られた。図49では、縦軸が、電流値を面積で除した電流密度として示している。以下、図49を説明し、あわせて本発明のメモリ動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測

されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。

- [0278] まず、上部電極4706に正の電圧を印加すると、図49中の(1)に示すように、0～1.0Vでは流れる電流は非常に少ない。しかし、(2)に示すように、1.1Vを超えると急に正の電流が流れる。実際には、 $0.1\text{A}/\text{cm}^2$ を超える電流も流れているが、測定器を保護するためにこれ以上電流を流さないようにしているので、観測されていない。ここで、(1)に示す0～1.0Vの領域で、(2)に示すような電流が大きく流れないようにすると、高抵抗の状態が保持(維持)される。
- [0279] 続いて、再び上部電極4706に正の電圧を印加すると、(3)に示すように、0.8V程度で $0.1\text{A}/\text{cm}^2$ 以上の正の電流が流れる軌跡を示す。さらに続いて、上部電極4706に正の電圧を印加すると、やはり(3)に示すように0.8V程度で $0.1\text{A}/\text{cm}^2$ 以上の電流が流れる。
- [0280] しかし、今度は、上部電極4706に負の電圧を印加すると、(4)に示すように、-0.2V程度まで負の電流が流れ、最大 $-1.5 \times 10^{-2}\text{A}/\text{cm}^2$ になる。ここで、電圧の絶対値を小さくしていくと、(4)に示す軌跡を通る。
- [0281] 再び、-0.2V迄の負の電圧を印加すると、(4)に示すような軌跡を通る。この後、(5)に示すように、流れる電流値が減少して負の電流が流れなくなる。続いて、上部電極4706に負の電圧を印加すると(6)に示すように、ほとんど電流が流れない軌跡を示すようになる。この後、電圧の絶対値を小さくしていても、(6)に示すようにほとんど電流が流れない。さらに、続いて上部電極4706に正の電圧を印加すると、(1)に示すように0～1.0V程度まで、ほとんど電流値が流れない。
- [0282] 従って、(2)のように急激に電流が流れないように上部電極4706に1.1V以上の電圧を印加しなければ、(1)のような電流が流れない高抵抗の状態を維持することになる。(1)に示す状態を「正の高抵抗モードと呼ぶことにする。
- [0283] 例えば、(2)に示すように1.1V以上の電圧を印加し、急激な電流が流れる状態とすると、(3)のような電流が流れやすくなる低抵抗の状態になる。この状態も、上部電極4706に正の電圧を印加している間は維持される。(3)に示す状態を「正の低抵抗

モードと呼ぶことにする。

[0284] しかし、上部電極4706に負の電圧を印加すると、(4)に示すように、負の0〜−0.2Vの電圧領域で、初期に少量の電流が流れる低抵抗の状態になる。ここでも、0から−0.2Vの間で負の電圧を印加している間、この状態が維持されるので、(4)に示す状態を負の低抵抗モードと呼ぶことにする。

[0285] さらに、−0.2V以上の負の電圧を印加すると、(5)に示すように電流が流れなくなり、高抵抗な状態に移行する。この状態になると、(6)に示すように、負の0〜−1.0Vの電圧領域で電圧を印加している間、電流値が高抵抗の状態が維持される。この(6)に示される状態を負の高抵抗モードと呼ぶことにする。

[0286] 以上より、図47で示す強誘電体層を用いた素子では、正の高抵抗モード、正の低抵抗モード、負の高抵抗モード、負の低抵抗モードの見かけ上4つのモードが安定して存在することになる。詳細に調べると、正の高抵抗モードと負の高抵抗モードは、同じ高抵抗の状態を示す高抵抗モードであり、正の低抵抗モードと負の低抵抗モードは、同じ低抵抗の状態を示す低抵抗モードであり、2つのモードが存在していることが判明した。つまり、高抵抗モードの状態にあるとき、−1.5Vから+1.0Vの電圧領域で高抵抗モードが維持される。+1.0V以上の電圧を印加することで遷移した低抵抗モードの状態にあるときは、−0.2Vから+0.8Vの電圧領域で低抵抗モードが維持される。これらの2つの高抵抗モードと低抵抗モードとが切り替わることになる。これらは、負の高抵抗モード及び負の低抵抗モードの負の抵抗モードについても、同様である。

[0287] また、各正のモードの実際の電流値は、0.5V印加時に、正の高抵抗モードで $1.0 \times 10^{-5} \text{ A/cm}^2$ であり、正の低抵抗モードで $5 \times 10^{-2} \text{ A/cm}^2$ であることから、各々の比は、5000倍にも達する。このことは、容易なモードの識別を可能にするものである。発明者らは、印加する電圧の向きと強さにより、強誘電体膜の抵抗値が劇的に変化することで、上述した現象が発現するものと推定している。

[0288] また、強誘電体層4705と上部電極4706の間に備えた絶縁層4704により、絶縁層4704の持つバンド構造から、キャリアの制御が可能である。具体的には、例えば、五酸化バナタムは、バンドギャップは4.5eV程度であるが、フェルミレベルからのエネルギー

ギー差を見た場合、伝導帯には1.2eV程度、価電子帯には2.3eVと価電子帯側にバリアが高いことが知られている。従って、価電子帯のホール(正孔)に対してはバリア性が高いが、伝導帯の電子(電子)に対してはバリア性が低いということになる。詳しくは、『ウィルクラのジャーナル・オブ・アプライド・フィジクス、第87号、484頁、2000年、(Wilk et. al., J. Appl. Phys., 87, 484(2000))』を参考にされたい。

- [0289] 上述した特性から、例えば五酸化タンタル膜を、電極と強誘電体層との間の絶縁層に用いた場合、電子は流れやすく、正孔は流れにくいという現象が期待できる。実際に、図49に示すように、上部電極4706に正の電圧を印加したときと、負の電圧を印加したときでは、流れる電流の値が大きく異なっている。このことは、メモリの判別を行う場合に、信号・ノイズ比(S/N比)を向上させ、データの判別を容易にする効果が非常に大きい。これは、絶縁層4704を用いた効果である。
- [0290] 上述した図49に示す低抵抗モードと高抵抗モードのモードをメモリ動作として応用することで、図47に示す素子が、不揮発性で非破壊のメモリとして使用できることを見いだした。具体的には、まず、素子の初期化とデータの消去、つまり、データ「0」の書き込みは、図49の(4)又は(5)に示すように、上部電極4706に負の電圧を印加することで、低抵抗モードから高抵抗モードにモード変更することにより行えばよい。
- [0291] また、データ「1」の書き込みは、図49の(2)に示すように、上部電極4706に正の電圧を1.1V以上印加して電流が急激に流れるようにすることで行えばよい。このことで、高抵抗モードから低抵抗モードにモード変換してデータ「1」の書き込みが行われる。これらのように、上部電極4706への電圧印加により、高抵抗モードから低抵抗モードにすることによって「0」又は「1」のデータ(状態)を書き込むことが可能である。
- [0292] 一方、以上のようにして書き込まれたデータの読み出しは、上部電極4706に、0～1.0Vの適当な電圧を印加したときの電流値を読み取ることで容易に行うことができる。例えば、図47に示す素子のモード状態が、「0」言い換えると高抵抗モードである場合、図49の(1)に示すように0～1.0Vの適当な電圧印加時に電流が流れ難いことにより判断できる。

- [0293] また、図47に示す素子のモード状態が、「on」言い換えると低抵抗モードである場合、図49の(2)に示すように、0～0.8Vの適当な電圧印加時に電流が急激に流れることにより判断できる。正の高抵抗モードと正の低抵抗モード、つまり、「off」と「on」の状態の電流値は、5000倍以上もあることから、「off」と「on」の判断が、容易に可能である。同様に、負の電圧領域においても、0～-0.2Vの電圧範囲で「on」と「off」の判断が可能である。
- [0294] 上述したメモリの読み出しの動作は、図47に示す素子が「高抵抗モード」か「低抵抗モード」かを調べるだけで容易に行える。言い換えれば、図47に示す素子が、上記2つのモードを保持できている間は、データが保持されている状態である。さらに、どちらかのモードかを調べるために、電極に正の電圧を印加しても、保持しているモードは変化することなくデータが破壊されてしまうことはない。従って、図47に示す素子によれば、非破壊の読み出しが可能である。図47に示す素子は、強誘電体層4705が、下部電極層4703と上部電極4706との間に印加された電圧により抵抗値が変化することにより、不揮発メモリ素子として機能するものである。なお、本素子は、電流を制御するスイッチ素子としても用いることができる。
- [0295] 図47に示す素子を動作させるための電圧は、正の低抵抗モードにするための書き込み時に最大になるが、図49に示すように、1.1V程度であり、非常に消費電力が小さい。消費電力が小さいことは、デバイスにとって非常に有利になり、例えば、移動体通信機器、デジタル汎用機器、デジタル撮像機器を始め、ノートタイプのパーソナルコンピュータ、パーソナル・デジタル・アプライアンス(PDA)のみならず、全ての電子計算機、パーソナルコンピュータ、ワークステーション、オフィスコンピュータ、大型計算機や、通信ユニット、複合機などのメモリを用いている機器の消費電力を下げる事が可能となる。また、図47に示す素子を用いたメモリにおいても、前述した素子と同様に、10年の保持期間を有している。
- [0296] ところで、上述した本発明の例では、シリコンからなる基板上の絶縁層、絶縁層上の下部電極層、下部電極層上の絶縁層、絶縁層上の強誘電体層の各々をECRスパッタ法で形成するようにした。しかしながら、これら各層の形成方法は、ECRスパッタ法に限定するものではない。例えば、シリコン基板の上に形成する絶縁層は、熱酸化法

や化学気相法(CVD法)、また、従来のスパッタ法などで形成しても良い。

- [0297] また、下部電極層は、EB蒸着法、CVD法、MBE法、IBD法などの他の成膜方法で形成しても良い。また、下部電極層上の絶縁層は、ALD法、MOCVD法、従来よりあるスパッタ法で形成してもよい。強誘電体層も、上記で説明したMOD法や従来よりあるスパッタ法、PLD法及びMOCVD法などで形成することができる。ただし、ECRスパッタ法を用いることで、平坦で良好な絶縁膜、金属膜、強誘電体膜が容易に得られる。
- [0298] また、上述した実施の形態では、各層を形成した後、一旦大気に取り出していたが、各々のECRスパッタを実現する処理室を、真空搬送室で連結させた装置を用いることで、大気に取り出すことなく、連続的な処理により各層を形成してもよい。これらにより、処理対象の基板を真空中で搬送できるようになり、水分付着などの外乱の影響を受け難くなり、膜質と界面の特性の向上につながる。
- [0299] 特許文献7に示されているように、各層を形成した後、形成した層の表面にECRプラズマを照射し、特性を改善するようにしてもよい。また、各層を形成した後に、水素雰囲気中などの適当なガス雰囲気中で、形成した層をアニール(加熱処理)し、各層の特性を大きく改善するようにしてもよい。
- [0300] ところで、素子を並べて複数のデータを同時にメモリ蓄積することを「集積」と呼び、集積する度合いを集積度と呼ぶが、図47の構造は、非常に単純であり、従来のメモリセルに比較して、集積度を格段に上げることが可能となる。MOSFETを基本技術としたDRAMやSRAM、フラッシュメモリなどでは、ゲート、ソース、ドレインの領域を確保する必要があるため、近年では、集積限界が指摘され始めている。これに対し、図47に示す素子によれば、単純な構造を用いることで、現在の集積限界に捕らわれずに集積度を高めることが可能となる。
- [0301] また、以上の実施の形態では、印加した電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。本発明の基本的な思想は、図47に示すように、絶縁層に強誘電体層を接して配置し、これらを2つの電極で挟むようにしたところにある。このような構成とすることで、2つの電極間に所定の電圧(DC、パルス)を印加して強誘電体層の抵抗値を変化させ、安定な高抵抗モードと低抵抗モー

トを切り替え、結果としてメモリ機能が実現可能となる。

- [0302] 従って、例えば、図50Aに示すように、絶縁性基板4701aを用い、積層された下部電極層4703a, 4703bを用いるようにしてもよい。また、また、図50Bに示すように、絶縁性基板4701aを用い、下部電極層4703にコンタクト電極4703cを設けるようにしてもよい。また、図50Cに示すように、絶縁性基板4701aを用い、積層された上部電極4706a, 4706bを用いるようにしてもよい。さらに、図50Dに示すように、積層された下部電極層4703a, 4703bと積層された上部電極4706a, 4706bとを用いるようにしてもよい。
- [0303] また、図51に示すように、ガラスや石英からなる絶縁性の基板5101を用いるようにしてもよい。この場合、図52に示すように、基板5101に貫通孔形成してここにプラグを設け、基板5101の裏面(下部電極層4703の形成面の反対側)より電気的コンタクトをとるようにしてもよい。この構造とすることによって、加工しやすいガラス基板などへの適用が可能となる。また、強誘電体層4705は、波長632.8nmで測定したときの屈折率が2.6程度で光学的に透明であるため、図51に示す構成とすることで、ディスプレイへの応用が可能となる。また、強誘電体層4705を、10~200nmの間で干渉色を発する厚さに形成することで、着色した状態の視覚効果が得られる。
- [0304] さらに、図53Aに示すように、金属などの導電性を有する基板5201を用いるようにしてもよい。また、図53Bに示すように、基板5201の上に接して下部電極層5202を備え、この上に絶縁層5203, 強誘電体層5204, 上部電極5205を設けるようにしてもよい。図53Bに示す構成とした場合、基板5201と上部電極5205との間に所定の電気信号を印加することが可能となる。
- [0305] また、図53Cに示すように、金属板5301の上に、絶縁層5302, 強誘電体層5303, 上部電極5304を設けるようにしてもよい。この構成とした場合、金属板5301が、下部電極層となる。図53Cに示す構造にすることによって、熱伝導性のよい金属板5301の上に各構成要素が形成されているので、より高い冷却効果が得られ、素子の安定動作が期待できる。
- [0306] なお、強誘電体層は、膜厚が厚くなるほど電流が流れにくくなり抵抗が大きくなる。抵抗値の変化を利用してメモリを実現する場合、オン状態とオフ状態の各々の抵抗

値が問題となる。例えば、強誘電体層の膜厚が厚くなると、オン状態の抵抗値が大きくなり、S/N比がとりにくくなり、メモリの状態を判断しにくくなる。一方、強誘電体層の膜厚が薄くなり、リーク電流が支配的になると、メモリ情報が保持しにくくなると共に、オフ状態の抵抗値が大きくなり、S/N比がとりにくくなる。

- [0307] 従って、強誘電体層は、適宜最適な厚さとした方がよい。例えば、リーク電流の問題を考慮すれば、強誘電体層は、最低10nmの膜厚があればよい。また、オン状態における抵抗値を考慮すれば、強誘電体層は200nmより薄くした方がよい。発明者らの実験の結果、強誘電体層の厚さが30〜100nmであれば、メモリの動作が確認され、最も良好な状態は、強誘電体層の厚さを50nmとしたときに得られた。
- [0308] 同様に、下部電極層の上の絶縁層においても、より好適な膜厚が存在する。この膜厚について、Alターゲット、Siターゲット、Taターゲットを用いたECRスパッタ法により、各々 Al_2O_3 膜、 SiO_2 膜、 Ta_2O_5 膜をシリコン基板の上に形成した場合を例に説明する。上記各膜が、所定の膜厚に形成された状態とし、各々の膜の上にAlからなる上部電極が形成された状態とし、シリコン基板と上部電極との間に電圧を印加したときの電流電圧測定を1回、各々の薄膜における−1Vで観察される電流密度を観察する。これらの電流密度の結果は、図39に示した状態と同様である。
- [0309] 図39に示したように、絶縁層を構成する材料により電流密度が異なり、膜厚が薄いほどリーク電流が多く流れて電流密度が大きくなる。一方、膜厚が厚くなると、電流密度は小さくなる。これは、膜厚があまり薄いと、絶縁層としての特性が得られず、膜厚が厚い場合、強誘電体膜に印加される電圧が小さくなり、S/N比がとりにくくなり、メモリの状態が判断しにくくなることを示している。従って、絶縁層は、強誘電体層との組み合わせにおいて、適宜最適な厚さとした方がよい。
- [0310] 例えば、リーク電流の問題を考慮すれば、 Al_2O_3 膜、 SiO_2 膜を用いる場合は、膜厚が1〜3nm程度がよい。 Ta_2O_5 膜の場合は、3nm以上の膜厚があればよい。一方、抵抗値の大きさの問題を考慮すれば、絶縁層は20nmより厚くした方がよい。発明者らの実験の結果、 SiO_2 と Ta_2O_5 から構成された絶縁層の場合、膜厚が3〜5nmであれば、前述したメモリの動作が確認された。
- [0311] 上述では、1つの素子を例にして説明したが、以降に説明するように、複数の素子

を配列させて集積させるようにしてもよい。例えば、図54Aに示すように、絶縁性基板54 01の上に、共通となる下部電極層54 02 ,絶縁層54 03 ,強誘電体層54 04を形成し、強誘電体層54 04の上に、各々所定距離離間して複数の上部電極54 05を形成すればよい。複数の上部電極54 05に対応して複数の素子が配列されたことになる。

- [03 12] 強誘電体や絶縁膜は、金属などの導電体に比べて導電性が非常に小さいので、上述したように共通に使用することができる。この場合、加工プロセスを省くことができるので、生産性の向上が図れ、工業的に利点が大きい。また、複数の上部電極54 05に対応する素子間の距離を導電性などを考慮して配置することで、安定した動作が期待できる。
- [03 13] また、図54Bに示すように、絶縁性基板54 01の上に、共通となる下部電極層54 02を形成し、下部電極層54 02の上に、絶縁層5413 ,強誘電体層5414 ,上部電極54 15からなる複数の素子を配列させるようにしてもよい。例えば、形成した強誘電体膜を、RIE法やICP エッチング、またECR エッチングなど加工法を用いることで、個々の強誘電体層5414が形成できる。このように分離して構成することで、素子間の距離をより短くすることが可能となり、集積度をさらに向上させることができる。
- [03 14] また、図54Cに示すように、絶縁性基板54 01の上に、共通となる下部電極層54 02 ,絶縁層54 03を形成し、この上に、強誘電体層5414 ,上部電極5415からなる複数の素子を配列させるようにしてもよい。さらに、図54Dに示すように、各々の素子を構成している絶縁層5413 ,強誘電体層5414の側面を、絶縁側壁5416で覆うようにしてもよい。また、図54Eに示すように、絶縁性基板54 01の上に、共通となる下部電極層54 02 ,絶縁層54 03を形成し、この上に、強誘電体層5414 ,上部電極5415からなる複数の素子を配列させ、各々の素子を構成している強誘電体層5414の側面を、絶縁側壁5417で覆うようにしてもよい。
- [03 15] また、図55に示すように、絶縁性基板54 01の上に、共通となる下部電極層54 02を形成し、下部電極層54 02の上に、絶縁層5413 ,強誘電体層5414 ,上部電極54 15からなる複数の素子を配列させ、各々分離している複数の強誘電体層5414の側部を充填するように、絶縁層5426を形成してもよい。これらのように、素子毎に分離

して形成した複数の強誘電体層5414の間を、絶縁体で覆うようにすることで、各素子間のリーク電流を減らして素子の安定性を高めることができる。

- [0316] また、図13に示したように、本発明の実施の形態における複数の素子をX方向にn個、Y方向にm個配列し、X方向バスを下部電極層に接続し、Y方向バスを上部電極に接続し、X方向バス及びY方向バスの各々に選択信号のスプリッチ機能を備えたプロセッサユニットを接続することで、各素子にランダムにアクセス可能なメモリが実現できる。
- [0317] ところで、強誘電体層4705における抵抗値の変化は、電流により制御することも可能である。高抵抗モードの状態の強誘電体層4705に所定の電圧が印加された状態として一定の電流を流した直後に、上部電極4706と下部電極層4703との間に所定の電圧(例えば+0.5V)を印加すると、図41に示したように電流値が変化する。
- [0318] 例えば、上記電極間に、 1×10^{-5} Aから 1×10^{-4} A未満の電流を流した後は電流値が小さく高抵抗状態である。これに対し、上記電極間に 1×10^{-4} A以上の電流を流した後は、流れる電流値が大きくなり(例えば0.7mA)低抵抗状態へと変化する。このことから明らかなように、強誘電体層4705における抵抗変化は、強誘電体層4705に流れた電流によっても変化する。高抵抗状態と低抵抗状態との2つの抵抗値が存在する。従って、図1に示す素子は、電圧により駆動することが可能であるとともに、電流により駆動することも可能である。
- [0319] また、図47の素子においても、前述した素子と同様に、パルス電圧により、強誘電体層4705の抵抗変化を制御できる。また、電流を制御するスプリッチ素子として用いることも可能である。また、図47に示す素子においても、前述した素子と同様に、3値のメモリが実現できる。
- [0320] 次に、絶縁層4704を、五酸化タンタルと二酸化シリコンとの膜厚が5nmの多層膜から構成することについて説明する。なお、以下では、絶縁層4704が、五酸化タンタル膜、二酸化シリコン膜、五酸化タンタル膜の順に積層された3層構造の場合について説明する。発明者らは、初期の実験段階では、強誘電体層4705となる金属酸化物層を、洗浄したシリコン基板の上に形成していた。この実験結果を詳細に検討した結果、シリコン基板と上記金属酸化物層との間に界面層が形成されることが観察され

た。

- [0321] 上記観察結果について示すと、前述したECRスパッタ法により、基板温度を420Cとした状態で、シリコン基板の上にビスマスとチタンとを含む金属酸化物層を形成し、この断面の状態を透過型電子顕微鏡により観察すると、図56に模式的に示すような状態が観察された。図56に示すように、シリコンからなる基板4701の上に、酸化シリコン層4721とBiとTiとSiとを含む酸化物からなる酸化物層4722との界面層を介し、強誘電体層4705が形成された状態が観察される。
- [0322] このように、シリコン基板の上に強誘電体層4705が形成された状態とすると、これらの界面に、上述したような2種類の酸化物層が形成されてしまう。なお、BiとTiとSを含む酸化物の層は、意図的に形成された酸化シリコン層の上に強誘電体層4705が形成された状態とする場合にも、界面に観察される。これらの界面に形成される層の中で、酸化シリコン層4721は、比誘電率が3.8と小さく亡とが予想され、強誘電体層4705に電圧を印加した場合、より多くの電圧が酸化シリコン層4721に印加されるようになり、強誘電体層4705に電圧が分配されない状態が予想される。また、酸化物層4722は、界面制御性を要求される場合に問題となる。これらのことから、強誘電体層4705を形成する場合、シリコンとの反応を抑制し、比誘電率の小さい酸化シリコンが形成されないようにすることがよりよい状態が得られるものと考えられる。
- [0323] 次に、下層にルテニウムなどの金属層の上に、直接、強誘電体層4705を形成する場合について考察する。よく知られているように、ルテニウムは酸化物を形成する。従って、ルテニウムからなる金属層の上に強誘電体の層を形成する場合、金属層の表面が酸化されてモフォロジが低下することが予想される。
- [0324] 例えば、シリコン基板の上に熱酸化法により二酸化シリコン層が形成された状態とし、この上に、前述したECRスパッタ法により、膜厚20nm程度のルテニウム電極層が形成された状態とし、この上に、基板温度を450Cとした状態で、ビスマスとチタンとを含む金属酸化物層を形成し、この断面の状態を透過型電子顕微鏡により観察すると、図57に示すような状態が観察された。図57に示す電子顕微鏡写真の状態を模式的に図58に示している。
- [0325] 図58に示すように、二酸化シリコン層4702aの上にルテニウムからなる下部電極層

47 03が形成され、この上に、BiとTiとRuとを含む酸化物からなる界面層4723を介し、強誘電体層47 05が形成された状態が観察される。界面層4723は、EDS(エネルギー分散型X線分光)測定により、RuとTiとBiを含む酸化物であることが確認されている。また、強誘電体層47 05の表面が、界面層4723の影響を受け、10nmから20nmのモロロジが存在していることが判明している。従って、強誘電体層47 05は、金属層の上に直接形成しない方がよりよい状態が得られることがわかる。

[0326] 以上の実験及び観察の結果より、発明者らは、二酸化シリコンの層を五酸化タンタルの層で挟んだ多層構造の絶縁層に着目した。五酸化タンタルの層が下部電極層47 03及び強誘電体層47 05に接触した状態とすることで、まず、下部電極層47 03の界面における酸化が防止できるようになる。また、強誘電体層47 05との界面における反応による界面層の形成が抑制できるようになる。また、二酸化シリコン層を備えることで、絶縁性が確保できるようになる。従って、下部電極層47 03及び強誘電体層47 05との界面に界面層が形成されない材料であれば、五酸化タンタルの代わりに用いることが可能である。なお、二酸化シリコンの層は、必ずしも必要ではなく、必要な絶縁性の状態によっては、五酸化タンタルの層のみでもよい。

[0327] 次に、五酸化タンタルの層から構成した絶縁層(絶縁層47 02)を用いた素子の特性について説明する。まず、シリコン基板の上に熱酸法により二酸化シリコン層が形成された状態とし、この上に、前述したECRスパッタ法により、膜厚20nm程度のルテニウム電極層が形成された状態とする。ついで、形成したルテニウム電極層の上に、五酸化タンタル層、二酸化シリコン層、五酸化タンタル層の順に積層して膜厚5nm程度とした絶縁層が形成された状態とする。これらの各層は、図48Cを用いて説明したECRスパッタ法により形成する。

[0328] 上述したルテニウム電極層の上に絶縁層が形成された断面の状態を透過型電子顕微鏡で観察すると、結晶の状態のルテニウム電極層の上に、5nmと極めて薄い膜の状態、非品質の五酸化タンタル層、二酸化シリコン層、五酸化タンタル層が見られた。また、各層の界面は、界面層が見られず、非常に平坦に形成されていることが確認された。

[0329] 次に、上述した積層構造の絶縁層における電気的特性の調査結果について説明

する。電氣的の特性は、次に示すA ,B ,C ,Dの4つのサンプルを作製して調査した。まず、サンプルAは、洗浄したp形シリコン基板の上に、五酸化タンタル層 ,二酸化シリコン層 ,五酸化タンタル層の順に積層された膜厚3nm程度の絶縁層が形成されているものである。また、サンプルBは、洗浄したp形シリコン基板の上に、二酸化シリコン層 ,五酸化タンタル層 ,二酸化シリコン層の順に積層された膜厚3nm程度の絶縁層が形成されているものである。また、サンプルCは、洗浄したp形シリコン基板の上に、二酸化シリコンからなる膜厚3nm程度の絶縁層が形成されているものである。また、サンプルDは、洗浄したp形シリコン基板の上に、五酸化タンタルからなる膜厚3nm程度の絶縁層が形成されているものである。

[0330] また、各サンプルにおいて、絶縁層の上には、アルミニウムから構成された上部電極が形成された状態とし、シリコン基板と上部電極との間に、所定の電圧を印加して電流密度を測定する。上部電極に負の電圧が印加された状態とし、シリコン基板が半導体の蓄積状態とされた状態とすることで、絶縁層にのみ電圧が印加される状態とする。

[0331] 上述した各サンプルを用いた測定の結果を図59に示す。図59のCに示されているように、二酸化シリコンからなる絶縁層は、絶縁性が高いことがわかる。これに対し、Dに示すように、五酸化タンタルからなる絶縁層は、絶縁性が低く、僅かな印加電圧で大きな電流密度となっている。また、サンプルA及びサンプルBは、サンプルCとサンプルDの中間的な特性となる。これらの結果から明らかなように、二酸化シリコンの層を五酸化タンタルの層で挟んだ多層構造の絶縁層は、五酸化タンタル単独の絶縁層に比較し、より高い絶縁性が得られている。

[0332] 次に、二酸化シリコンの層を五酸化タンタルの層で挟んだ多層構造の絶縁層を用いた、図47に示す構成と同様の素子の観察結果について説明する。観察に用いた素子の形成について簡単に説明すると、まず、シリコン基板の上に熱酸化法により二酸化シリコン層が形成された状態とし、この上に、前述したECRスパッタ法により、膜厚20nm程度のルテニウム電極層が形成された状態とする。ついで、ルテニウム電極層の上に、前述したように、五酸化タンタル層 ,二酸化シリコン層 ,五酸化タンタル層の順に積層された膜厚5nm程度の絶縁層が形成された状態とする。次に、基板温

度が420℃、酸素流量が1sccmの条件で、上記絶縁層の上にビスマスとチタンとを含む膜厚40nm程度の金属酸化物物層が形成された状態とする。

[0333] 上述したように形成した素子の断面を、透過型電子顕微鏡で観察した結果を図60に示し、この状態を模式的に図61に示す。観察の結果、ルテニウムから構成された下部電極層4703の上に、五酸化ニタン層4724、二酸化シリコン層4725、五酸化ニタン層4726の順に積層された絶縁層4704が形成され、絶縁層4704の上に強誘電体層4705が形成された状態が見られた。各層の間の界面には、界面層は見られず、また、各層の界面はnmオーダーで平坦な状態である。このように、図47に示す素子を構成する場合、二酸化シリコンの層を五酸化ニタンの層で挟んだ多層構造の絶縁層を用いることで、酸化物予想後反応による界面層の形成が抑制され、強誘電体層の表面モフォロジが改善されるようになる。

[0334] 次に、本発明の他の実施の形態について図を参照して説明する。図62は、本発明の実施の形態における他の2安定抵抗値取得装置の構成例を模式的に示す断面図である。以下では、金属酸化物物層を用いた素子(機能素子)を例に説明する。図62に示す素子は、例えば、単結晶シリコンからなる基板6201の上に絶縁層6202、下部電極層6203、絶縁層(第1絶縁層)6204、金属酸化物物層6205、絶縁層(第2絶縁層)6206、

上部電極6207を備えるようにしたものである。基板6201は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。また、基板6201が導電性材料から構成されている場合、絶縁層6202はなくてもよく、この場合、導電性材料から構成された基板6201が、下部電極層となる。

[0335] 下部電極層6203、上部電極6207は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていればよい。また、下部電極層6203、上部電極6207は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、酸化物亜鉛(ZnO)、鉛酸スズ(ITO)、フッ化ランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

[0336] 絶縁層6204及び絶縁層6206は、二酸化シリコン、シリコン酸窒化物膜、アルミナ、

又は、リチウム、ベリリウム、マグネシウム、カルシウムなどの軽金属から構成された LiNbO_3 などの酸化物、 LiCaAlF_6 、 LiSrAlF_6 、 LiYF_4 、 LiLuF_4 、 KMgF_3 などのフッ化物から構成されていれよい。また、絶縁層6204及び絶縁層6206は、スカンジウム、チタン、ストロンチウム、リットリウム、ジルコニウム、ハフニウム、タンタル、及び、ランタン系列を含む遷移金属の酸化物及び窒化物、又は、以上の元素を含むシリケート（金属、シリコン、酸素の三元化合物）、及び、これらの元素を含むアルミネート（金属、アルミニウム、酸素の三元化合物）、さらに、以上の元素を2以上含む酸化物及び窒化物などから構成されていれよい。

[0337] 金属酸化物層6205は、図1に示した強誘電体層104などと同様であり、少なくとも2つの金属を含む金属酸化物から構成されたものであり、例えば、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む層からなる基部層の中に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶からなる粒径3〜15nm程度の複数の微結晶粒や微粒子が分散されて構成されたものである。基部層は、ビスマスの組成がほぼ0となる TiO_x の場合もある。言い換えると、基部層は、2つの金属から構成されている金属酸化物において、いずれかの金属が化学量論的な組成に比較して少ない状態の層である。金属酸化物層6205は、例えば、ペロブスカイト構造を持つ材料、又は、擬イルメナイト構造を持つ材料、さらに、タングステン・ブロンズ構造を持つ材料、ビスマス層状構造を持つ材料、パイロクロア構造を持つ材料から構成されていれよい。

[0338] 詳細には、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{La}_2\text{Ti}_2\text{O}_7$ 、 BaTiO_3 、 PbTiO_3 、 $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ 、 $(\text{Pb}_{1-y}\text{La}_y)(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ 、 LiNbO_3 、 LiTaO_3 、 KNbO_3 、 YMnO_3 など、 PbNb_3O_6 、 $\text{Ba}_2\text{NaNb}_5\text{O}_{15}$ 、 $(\text{Ba}_{1-x}\text{Sr}_x)_2\text{NaNb}_5\text{O}_{15}$ 、 $\text{Ba}_2\text{Na}_{1-x}\text{Bi}_{x/3}\text{Nb}_5\text{O}_{15}$ 、さらに、一価、二価、三価の少なくとも一種のイオン及びこれらのイオンの組み合わせを表す記号をAとし、四価、五価、六価の少なくとも一種のイオン及びこれらのイオンの組み合わせを示す記号をBとし、酸素を表す記号をOとし、ビスマスを表す記号をBiとし、mを1から5を表す記号としたときに、 $(\text{Bi}_2\text{O})^{2+}(\text{A}_{m-1}\text{B}_m\text{O}_{3m+1})^{2-}$ で表されるビスマス層状構造を持つ金属酸化物（強誘電体など）を用いることができる。

[0339] $(\text{Bi}_2\text{O})^{2+}(\text{A}_{m-1}\text{B}_m\text{O}_{3m+1})^{2-}$ で表されるビスマス層状構造を持つ金属酸化物としては、例えば、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Nb}_2\text{O}_9$ 、P

$\text{bBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BiO}_4\text{Ta}_3\text{O}_{12}$ 、 $\text{CaBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{BaBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{Na}_{0.5}\text{Bi}_{4.5}\text{Ti}_4\text{O}_{15}$ 、 $\text{K}_{0.5}\text{Bi}_{4.5}\text{Ti}_4\text{O}_{15}$ 、 $\text{Sr}_2\text{Bi}_4\text{Ta}_5\text{O}_{18}$ 、 $\text{Ba}_2\text{Bi}_4\text{Ta}_5\text{O}_{18}$ 、 $\text{Pb}_2\text{Bi}_4\text{Ta}_5\text{O}_{18}$ が挙げられる。

[0340] さらに、ランタン系列から選ばれる少なくとも一種の希土類金属元素を表す記号をLnとし、II族の軽金属(Be, Mgとアルカリ土類金属のCa, Sr, Ba, Ra)から選ばれる少なくとも一種を表す記号をAeとし、III族、IV族、V族、VI族、VII族、VIII族、I族、II族の重金属(遷移金属)から選ばれる少なくとも一種を表す記号をTrとし、酸素を示す記号をOとしたとき、 $\text{Ln}_{1-x}\text{Ae}_x\text{TrO}_3$ 、又は、 $\text{Ln}_{1-x}\text{Ae}_x\text{TrO}_3$ で表されるものから、金属酸化物物層6205を構成してもよい。ただし、xは、固溶限界範囲内で有効な数字を示すものである。

[0341] なお、金属酸化物物層6205は、少なくとも2つの金属から構成された金属酸化物物から構成されたものであり、一般に強誘電特性を示す場合が多い。しかしながら、膜厚条件などにより強誘電特性を示さない場合もある。

[0342] 図62に示した機能素子の具体例について説明すると、例えば、下部電極層6203は、膜厚10nmのルテニウム膜であり、絶縁層6204は、五酸化タンタルと二酸化シリコンとの膜厚が5nm程度の多層膜であり、金属酸化物物層6205は、膜厚40nmの $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜であり、絶縁層6206は、膜厚3nmの五酸化タンタル膜であり、上部電極6207は、金から構成されたものである。なお、前述したように、基板6201及び絶縁層6202の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。

[0343] 以上で説明した、絶縁層6202、下部電極層6203、絶縁層6204、金属酸化物物層6205、絶縁層6206、及び上部電極6207は、具体的な製法は後述するが、図5に例示したECRスパッタ装置により、金属ターゲットや焼結ターゲットを、アルゴンガス、酸素ガス、窒素ガスからなるECRプラズマ内でスパッタリングして形成すればよい。

[0344] 次に、図62にした機能素子の製造方法例について、図63を用いて説明する。まず、図63Aに示すように、主表面が面方位(100)で抵抗率が $1\sim 2\Omega\cdot\text{cm}$ のp形のシリコンからなる基板6201を用意し、基板6201の表面を硫酸と過酸化水素水の混合液と純水と希フッ酸水素水とにより洗浄し、このあと乾燥させる。

[0345] ついで、洗浄・乾燥した基板6201の上に、絶縁層6202が形成された状態とする。

絶縁層62 02の形成では、上述したECRスパッタ装置を用い、処理室5 01内の基板ホルダ5 04に基板62 01を固定し、ターゲット5 05として純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスをを用いたECRスパッタ法により、基板62 01の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層62 02を形成する。

[0346] 図5に示すECRスパッタ法において、まず、プラズマ生成室5 02内を $1\text{ }0^{-5}\sim 1\text{ }0^{-4}\text{ Pa}$ 台の高真空状態に真空排気した後、プラズマ生成室5 02内に、不活性ガス導入部5 11より、例えば希ガスであるArガスを流量 $2\text{ }0\text{ sccm}$ 程度で導入し、プラズマ生成室5 02の内部を例えば $1\text{ }0^{-3}\sim 1\text{ }0^{-2}\text{ Pa}$ 台の圧力に設定する。なお、sccmは流量の単位あり、 $0\text{ }^{\circ}\text{C}\cdot 1\text{ 気圧}$ の流体が1分間に 1 cm^3 流れることを示す。

[0347] また、プラズマ生成室5 02には、磁気コイル51 0にコイル電流を例えば28Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。例えば、プラズマ生成室5 02内の磁束密度が 87.5 mT (テスラ)程度の状態とする。

[0348] 加えて、図示していないマイクロ波発生部より、例えば 2.45 GHz のマイクロ波(例えば 500 W)を供給し、これを導波管5 08、石英窓5 07、真空導波管5 06を介してプラズマ生成室5 02の内部に導入し、このマイクロ波の導入により、プラズマ生成室5 02にArのプラズマが生成された状態とする。

[0349] 上述したことにより生成されたプラズマは、磁気コイル51 0の発散磁場によりプラズマ生成室5 02より処理室5 01の側に放出される。また、プラズマ生成室5 02の出口に配置されたターゲット5 05に、高周波電源522より高周波電力(例えば 500 W)を供給する。このことにより、ターゲット5 05にAr粒子が衝突してスパッタリング現象が起こり、Si粒子がターゲット5 05より飛び出す。

[0350] この状態とされた後、ターゲット5 05と基板62 01との間の図示しないシャッターを開放すると、ターゲット5 05より飛び出したSi粒子は、プラズマ生成室5 02より放出されたプラズマ、及び、反応性ガス導入部512より導入されてプラズマにより活性化された酸素ガスと共に基板62 01の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。

[0351] 以上のことにより、基板62 01上に二酸化シリコンからなる例えば 10 nm 程度の膜厚の絶縁層62 02が形成された状態とすることができる(図63A)。所定の膜厚まで形

成した後、前述したシャッターを閉じた状態としてスパッタされた原料が基板62 01に到達しないようにすることで、成膜を停止する。この後、マイクロ波電力の供給を停止するなどによりプラズマ照射を停止し、各ガスの供給を停止し、基板温度が所定の値にまで低下した処理室5 01の内部圧力を上昇させて大気圧程度とした後、処理室5 01の内部より成膜された基板62 01を搬出する。

[0352] なお、絶縁層62 02は、この後に形成する下部電極層62 03と上部電極62 07に電圧を印加した時に、基板62 01に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸¹⁰法により酸¹¹することで形成した酸化シリコン膜を絶縁層62 02として用いるようにしてもよい。絶縁層62 02は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層62 02の膜厚は、100nmに限らず、これより薄くてもよく厚くてもよい。絶縁層62 02は、上述したECRスパッタによる膜の形成では、基板62 01に対して加熱はしていないが、基板62 01を加熱しながら膜の形成を行ってもよい。さらに、シリコンからなる基板62 01の表面を熱酸¹⁰法により酸¹¹することで、酸化シリコンからなる絶縁層62 02が形成されるようにしてもよい。

[0353] 以上のようにして絶縁層62 02を形成した後、基板62 01を装置内より大気中に搬出し、ついで、ターゲット5 05として純ルテニウム(Ru)を用いた図5同様のECRスパッタ装置の基板ホルダ5 04に、基板62 01を固定する。引き続いて、プラズマガスとしてアルゴン(Ar)とキセノン(Xe)を用いたECRスパッタ法により、図63Bに示すように、絶縁層62 02の上に、表面を覆う程度にRu膜を形成することで、下部電極層62 03が形成された状態とする。

[0354] Ru膜の形成について詳述すると、Ruからなるターゲット5 05を用いた図5に示すECRスパッタ装置において、まず、基板62 01を例えば400℃程度に加熱し、ついで、プラズマ生成室5 02内に、不活性ガス導入部511より、例えば流量7sccmで希ガスであるArガスを導入し、例えば流量5sccmでXeガスを導入し、プラズマ生成室5 02の内部を、例えば $1.0^{-3} \sim 1.0^{-2}$ Pa台の圧力に設定する。また、プラズマ生成室5 02には、磁気コイル510にコイル電流を例えば26Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。

- [0355] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波（例えば500W）を供給し、これを導波管508、石英窓507、真空導波管を介してプラズマ生成室502内に導入し、この上記マイクロ波の導入により、プラズマ生成室502にArとXeのプラズマが生成した状態とする。生成されたプラズマは、磁気コイル510の発散磁場によりプラズマ生成室502より処理室501側に放出される。また、プラズマ生成室502の出口に配置されたターゲット505に、高周波電極供給部より高周波電力（例えば500W）を供給する。このことにより、ターゲット505にAr粒子が衝突してスパッタリング現象が起こり、Ru粒子がターゲット505より飛び出す。ターゲット505より飛び出したRu粒子は、基板6201の絶縁層6202表面に到達し堆積する。
- [0356] 以上のことにより、絶縁層6202の上に、例えば10nm程度の膜厚の下部電極層6203が形成された状態が得られる（図63B）。下部電極層6203は、この役に形成する上部電極6207との間に電圧を印加した時に、金属酸化物層6205と絶縁層6204に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外から下部電極層6203を構成してもよく、また、膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。
- [0357] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板6201を400℃に加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。以上のようにして所望の膜厚にRuを堆積した後、シャッターを閉じることなどにより成膜を停止し、マイクロ波電力の供給を停止してプラズマ照射を停止するなどの終了処理をすれば、基板6201が搬出可能となる。
- [0358] 以上のようにして下部電極層6203を形成した後、基板6201を装置内より大気中に搬出し、ついで、ターゲット505として純タンタル（Ta）を用いた図5同様のECRスパッタ装置の基板ホルダ504に、基板6201を固定する。引き続いて、プラズマガスとしてアルゴン（Ar）と酸素ガスとを用いたECRスパッタ法により、図63Cに示すように、下部電極層6203の上に、表面を覆う程度に、絶縁層6204が形成された状態とする。以下に説明するように、Ta-O分子によるメタルモート膜を形成し、絶縁層6204と

する。

- [0359] Ta-O分子によるメタルモート膜の形成について詳述すると、タンタルからなるターゲット505を用いた図5に示すECRスパッタ装置において、まず、プラズマ生成室502の内部を 10^{-5} ~ 10^{-4} Pa台の高真空状態に真空排気した後、プラズマ生成室502内に、不活性ガス導入部511より、例えば流量25sccmで希ガスであるArガスを導入し、例えば 10^{-3} ~ 10^{-2} Pa台の圧力に設定する。また、プラズマ生成室502には、磁気コイル510にコイル電流を例えば27Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。
- [0360] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波（例えば500W）を供給し、これを導波管508、石英窓507、真空導波管506を介してプラズマ生成室502内に導入し、このマイクロ波の導入により、プラズマ生成室502にArのプラズマが生成された状態とする。生成されたプラズマは、磁気コイル510の発散磁場によりプラズマ生成室502より処理室501の側に放出される。また、プラズマ生成室502の出口に配置されたターゲット505に、高周波電極供給部より高周波電力（例えば500W）を供給する。このことにより、ターゲット505にAr粒子が衝突してスパッタリング現象を起こし、Ta粒子がターゲット505より飛び出す。
- [0361] ターゲット505より飛び出したTa粒子は、プラズマ生成室502より放出されたプラズマ、及び反応性ガス導入部512より導入されてプラズマにより活性化された酸素ガスと共に基板6201の下部電極層6203表面に到達し、活性化された酸素により酸化されて五酸化タンタルとなる。
- [0362] 以上のことにより、まず、下部電極層6203の上に五酸化タンタル膜を形成する。続いて、図63Aを用いて説明した二酸化シリコンの堆積と同様に、純シリコンからなるターゲット505を用いたECRスパッタ法により、上記五酸化タンタル膜の上に二酸化シリコン膜が形成された状態とする。上述した五酸化タンタル膜と二酸化シリコン膜の形成工程を繰り返し、五酸化タンタル膜と二酸化シリコン膜との多層膜を例えば、5nm程度形成することで、絶縁層6204が得られる（図63D）。
- [0363] なお、五酸化タンタル膜と二酸化シリコン膜からなる絶縁層6204は、金属酸化物物層6205に電圧を印加した時に、金属酸化物物層6205に印加される電圧を制御する

ために用いる。従って、金属酸化物物層6205に印加される電圧を制御することができれば、五酸化タンタル膜と二酸化シリコン膜の多層構造以外から絶縁層6204を構成してもよく、単層から構成してもよい。また、膜厚も、5nmに限るものではない。なお、上述したECRスパッタ法では、基板6201に対して加熱はしていないが、加熱しても良い。

- [0364] 以上のようにして絶縁層6204を形成した後、基板6201を装置内より大気中に搬出し、ついで、ターゲット505としてBiとTiの割合が4:3の焼結体(Bi-Ti-O)を用いた図5同様のECRスパッタ装置の基板ホルダ504に、基板6201を固定する。5巻続いて、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図63Dに示すように、絶縁層6204の上に、表面を覆う程度に、金属酸化物物層6205が形成された状態とする。
- [0365] 金属酸化物物層6205の形成について詳述すると、Bi-Ti-Oからなるターゲット505を用いた図5に示すECRスパッタ装置において、まず、処理室501及びプラズマ生成室502内を真空排気して内部の圧力を $1.0^{-5} \sim 1.0^{-4}$ Paとした後、基板6201が300 \sim 700°Cに加熱された状態とし、ついで、プラズマ生成室502内に、不活性ガス導入部511より、例えば流量20ccmで希ガスであるArガスを導入し、例えば $1.0^{-3} \sim 1.0^{-2}$ Paの圧力に設定する。また、プラズマ生成室502には、磁気コイル510にコイル電流を例えば27Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。
- [0366] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管508、石英窓507、真空導波管506を介してプラズマ生成室502内に導入し、このマイクロ波の導入により、プラズマ生成室502にプラズマが生成された状態とする。生成されたプラズマは、磁気コイル510の発散磁場によりプラズマ生成室502より処理室501側に放出される。また、プラズマ生成室502の出口に配置されたターゲット505に、高周波電極供給部より高周波電力(例えば500W)を供給する。このことにより、ターゲット505にAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子がターゲット505より飛び出す。
- [0367] ターゲット505より飛び出したBi粒子とTi粒子は、プラズマ生成室502より放出されたプラズマ、及び、反応性ガス導入部512より導入されてプラズマにより活性化された

酸素ガスと共に、絶縁層6204の表面に到達し、活性化された酸素により酸化される。酸素(O_2)ガスは、反応性ガス導入部512より例えば流量1sccm程度で導入されればよい。ターゲット505は焼結体であり、酸素が含まれるが、酸素を供給することにより膜中の酸素不足を防ぐことができる。

[0368] 以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度の金属酸化物層6205が形成された状態が得られる(図63D)。この後、前述と同様にして終了処理をし、基板が搬出可能な状態とする。

[0369] 以上のようにして金属酸化物層6205が形成された後、基板6201を装置内より大気中に搬出し、ついで、ターゲット505として純タンタル(Ta)を用いた図5同様のECRスパッタ装置の基板ホルダ504に、基板6201を固定する。引き続いて、プラズマガスとしてアルゴンを用い、加えて酸素ガスを反応ガスとして用いたECRスパッタ法により、図63(e)に示すように、金属酸化物層6205の上に、表面を覆う程度に五酸化タンタル膜を形成することで、絶縁層6206が形成された状態とする。五酸化タンタル膜は、以降に示すように、 $Ta-O$ 分子によるメタルモート膜の状態とする。

[0370] $Ta-O$ 分子によるメタルモート膜の形成について詳述すると、タンタルからなるターゲット505を用いた図5に示すECRスパッタ装置において、まず、プラズマ生成室502の内部を $1.0^{-5} \sim 1.0^{-4}$ Pa台の高真空状態に真空排気した後、プラズマ生成室502内に、不活性ガス導入部511より、例えば流量25 sccmでArガスを導入し、例えば $1.0^{-3} \sim 1.0^{-2}$ Pa台の圧力に設定する。また、プラズマ生成室502には、磁気コイル510にコイル電流を例えば27Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。

[0371] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管508、石英窓507、真空導波管506を介してプラズマ生成室502内に導入し、このマイクロ波の導入により、プラズマ生成室502にArのプラズマが生成された状態とする。生成されたプラズマは、磁気コイル510の発散磁場によりプラズマ生成室502より処理室501の側に放出される。また、プラズマ生成室502の出口に配置されたターゲット505に、高周波電極供給部より高周波電力(例えば500W)を供給する。このことにより、ターゲット505にAr粒子が衝突してスパ

ソタリング現象を起こし、Ta粒子がターゲット5 05より飛び出す。

- [0372] ターゲット5 05より飛び出したTa粒子は、プラズマ生成室5 02より放出されたプラズマ、及び反応性ガス導入部512より導入されてプラズマにより活性化された酸素ガスと共に基板62 01の下部電極層62 03表面に到達し、活性化された酸素により酸化されて五酸化タンタルとなる。
- [0373] 以上のことにより、金属酸化物層62 05の上に膜厚3nm程度に五酸化タンタル膜を形成することで、図63 (e) に示すように、絶縁層62 06が形成された状態が得られる。五酸化タンタルからなる絶縁層62 06は、金属酸化物層62 05に電圧を印加した時に、金属酸化物層62 05に印加される電圧を制御するために用いる。従って、金属酸化物層62 05に印加される電圧を制御することができれば、五酸化タンタル以外から絶縁層62 06を構成してもよく、単層から構成してもよい。また、膜厚も、3nmに限るものではない。
- [0374] なお、上述したECRスパッタ法では、基板62 01に対して加熱はしていないが、加熱しても良い。また、形成した絶縁層62 06の表面に不活性ガスと反応性ガスのECRプラズマを照射し、特性を改善するようにしてもよい。これらに用いる反応性ガスとしては、酸素ガス、窒素ガス、フッ素ガス、及び水素ガスを用いることができる。また、この膜質の改善は、絶縁層62 04や金属酸化物層62 05にも適用可能である。
- [0375] 次に、図63 (f) に示すように、絶縁層62 06の上に、所定の面積のAuからなる上部電極62 07が形成された状態とすることで、少なくとも2つの金属を含む金属酸化物層を用いた素子が得られる。上部電極62 07は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、上部電極62 07は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、加熱による成膜を行うことや、Ti-Pt-Auなどの剥離し難い構造とし、フォトリソグラフィーやリフトオフ処理などのパターンニング処理をして所定の面積を持つ電極として形成する必要がある。
- [0376] ここで、本実施の形態によれば、絶縁層62 04が形成されている状態で、この上に金属酸化物層62 05を形成するようにした。この結果、上述したECRスパッタ法による金属酸化物層62 05の形成において、下層の金属膜の表面や金属酸化物層62 05

の表面のモフオロジを劣化させることない。例えば、下層が金属材料などのように酸化される状態であると、上述した金属酸化物層62 05の形成では、下層の表面が部分的に酸化され、モフオロジが劣化する場合がある。これに対し、本実施の形態によれば、下層の表面のモフオロジがよい状態で、金属酸化物層62 05が形成でき、より品質の高い金属酸化物層62 05が得られる。

[0377] 次に、図62に示す機能素子の特性について説明する。この特性調査は、下部電極層62 03と上部電極62 07との間に電圧を印加することで行う。下部電極層62 03と上部電極62 07との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図64に示す結果が得られた。図64では、縦軸が、電流値の絶対値を対数表示している。このため、印加する正負の電圧にかかわらず正の値の電流値として示されている。実際には、正の電圧を印加した場合は、正の電流値が観察され、負の電圧を印加した場合には、負の電流値が観察されている。以下、図64を説明し、あわせて本発明のメモリ動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。

[0378] まず、上部電極62 07に正の電圧を印加すると、図64中の(1)に示すように、0～1.6Vでは流れる電流は非常に少ない。しかし、(2)に示すように、1.6Vを超えると急に正の電流が流れる。実際には、 $5 \times 10^3 \text{ A/cm}^2$ を超える電流も流れているが、測定器を保護するためにこれ以上電流を流さないようにしているので、観測されていない。(2)に示すように急激な電流が流れないように0～1.6Vの電圧を印加している場合は、(1)に示すような抵抗が高い状態が維持される。

[0379] 続いて、再び上部電極62 07に正の電圧を印加すると、(3)に示すように、0.5V程度で $1 \times 10^3 \text{ A/cm}^2$ 以上の正の電流が流れる軌跡を示す。さらに続いて、上部電極62 07に正の電圧を印加すると、やはり(3)に示すように0.5V程度で $1 \times 10^3 \text{ A/cm}^2$ 以上の電流が流れる。ここで、0～0.5Vの電圧を印加している場合は、(3)に示すような抵抗が低い状態が維持される。

[0380] しかし、今度は、上部電極62 07に負の電圧を印加すると、(4)に示すように、-0

5V程度まで負の電流が流れ、最大 $-1.5 \times 10^{-3} \text{ A/cm}^2$ になる。ここで、0～0.5 Vの電圧を印加している場合は、(4)に示すように、抵抗の低い状態が維持される。

- [0381] この後、-0.5Vから-1.6Vに負の電圧を印加していくと、(5)に示すように、電流値が減少して負の電流が流れなくなる。この後、-1.6Vから0Vの電圧の絶対値を小さくしていても、(6)に示すようにほとんど電流が流れない。さらに、続いて上部電極6207に負の電圧を印加すると、(6)に示すように、ほとんど電流値が流れない軌跡を示すようになる。
- [0382] さらに続いて、上部電極6207に正の電圧を印加すると、(1)に示すように、0～1.6V程度まで、ほとんど電流が流れない軌跡を示すようになる。さらに、1.6V以上の電圧を印加すると、(2)に示す急激な正の電流が流れ、(3)に示す低抵抗を示す状態となる。
- [0383] 従って、(2)のように急激に電流が流れないように上部電極6207に1.6V以上の電圧を印加しなければ、(1)のような電流が流れない高抵抗の状態を維持することになる。(1)に示す状態を「正の高抵抗モード」と呼ぶことにする。
- [0384] 例えば、(2)に示すように1.6V以上の電圧を印加し、急激な電流が流れる状態とすると、(3)のような電流が流れやすくなる低抵抗の状態になる。この状態も、上部電極6207に正の電圧を印加している間は維持される。(3)に示す状態を「正の低抵抗モード」と呼ぶことにする。
- [0385] しかし、上部電極6207に負の電圧を印加すると、(4)に示すように、負の0～0.5Vの電圧領域で、初期に少量の電流が流れる低抵抗の状態になる。ここでも、0から-0.5Vの間で負の電圧を印加している間、この状態が維持されるので、(4)に示す状態を「負の低抵抗モード」と呼ぶことにする。
- [0386] さらに、-0.5Vを超える負の電圧を印加すると、(5)に示すように電流が流れなくなり、高抵抗な状態に移行する。この状態になると、(6)に示すように、負の0～-1.6Vの電圧領域で電圧を印加している間、電流値が高抵抗の状態が維持される。この(6)に示される状態を、「負の高抵抗モード」と呼ぶことにする。
- [0387] 以上より、図62で示す金属酸化物層を用いた素子では、「正の高抵抗モード」、「正の低抵抗モード」、「負の高抵抗モード」、「負の低抵抗モード」の見かけ上4つのモ

ードが安定して存在することになる。詳細に調べると、正の高抵抗モードと負の高抵抗モードは、同じ高抵抗の状態を示す「高抵抗モード」であり、正の低抵抗モードと負の低抵抗モードは、同じ低抵抗の状態を示す「低抵抗モード」であり、2つのモードが存在していることが判明した。つまり、「高抵抗モード」の状態にあるとき、 -1.6V から $+1.6\text{V}$ の電圧領域で「高抵抗モード」が維持される。 $+1.6\text{V}$ 以上の電圧を印加することで遷移した「低抵抗モード」の状態にあるときは、 -0.5V から $+0.5\text{V}$ の電圧領域で「低抵抗モード」が維持される。これらの2つの「高抵抗モード」と「低抵抗モード」とが切り替わることになる。これらは、負の高抵抗モード及び負の低抵抗モードの負の抵抗モードについても、同様である。

[0388] また、各「正」のモードの実際の電流値は、 0.5V 印加時に、「正」の高抵抗モードで $5 \times 10^{-6}\text{A}/\text{cm}^2$ であり、「正」の低抵抗モードで $5 \times 10^{-3}\text{A}/\text{cm}^2$ であることから、各々の比は、1000倍にも達する。このことは、容易なモードの識別を可能にするものである。発明者らは、印加する電圧の向きと強さにより、金属酸化物層6205の抵抗値が劇的に変化することで、上述した現象が発現するものと推定している。同様なことは、負の低抵抗モードについてもいえる。

[0389] また、金属酸化物層6205と上部電極6207の間に備えた絶縁層6204により、絶縁層6204の持つバンド構造から、キャリアの制御が可能である。具体的には、例えば、五酸化タンタルは、バンドギャップは 4.5eV 程度であるが、フェルミレベルからのエネルギー差を見た場合、伝導帯には 1.2eV 程度、価電子帯には 2.3eV と価電子帯側にバリアが高いことが知られている。従って、価電子帯のホール（正孔）に対してはバリア性が高いが、伝導帯のエレクトロン（電子）に対してはバリア性が低いということになる。詳しくは、「ウィルクらのジャーナル・オブ・アプライドフィジクス、第87号、484頁、2000年、(Wilk et. al., J.Appl.Phys., 87, 484(2000).)」を参考にされたい。

[0390] 上述した図64に示す「低抵抗モード」と「高抵抗モード」のモードをメモリ動作として応用することで、図62に示す素子が、不揮発性で非破壊のメモリとして使用できることを見いだした。具体的には、まず、素子の初期化とデータの消去、つまり、データ「off」の書き込みは、図64の(4)又は(5)に示すように、上部電極6207に負の電圧を印加することで、「低抵抗モード」から「高抵抗モード」にモード変更することにより行

えばよい。

- [0391] また、データ「bn」の書き込みは、図64の(2)に示すように、上部電極6207に正の電圧を1.6V以上印加して電流が急激に流れるようにすることで行えばよい。このことで、高抵抗モードから低抵抗モードにモード変換してデータ「bn」の書き込みが行われる。これらのように、上部電極6207への電圧印加により、高抵抗モードから低抵抗モードにすることによって「bff」又は「bn」のデータ(状態)を書き込むことが可能である。
- [0392] 一方、以上のようにして書き込まれたデータの読み出しは、上部電極6207に、0～1.6Vの適当な電圧を印加したときの電流値を読み取ることで容易に行うことができる。例えば、図62に示す素子のモード状態が、「bff」言い換えると高抵抗モードである場合、図64の(1)に示すように0.5～1.6Vの適当な電圧印加時に電流が流れ難いことにより判断できる。
- [0393] また、図62に示す素子のモード状態が、「bn」言い換えると低抵抗モードである場合、図64の(2)に示すように、1～0.6Vの適当な電圧印加時に電流が急激に流れることにより判断できる。高抵抗モードと低抵抗モード、つまり、「bff」と「bn」の状態の電流値は、1000倍以上もあることから、「bff」と「bn」の判断が、容易に可能である。同様に、負の電圧領域においても、0～1.6Vの電圧範囲で「bn」と「bff」の判断が可能である。
- [0394] 上述したメモリの読み出しの動作は、図62に示す素子が高抵抗モードか低抵抗モードかを調べるだけで容易に行える。言い換えれば、図62に示す素子が、上記2つのモードを保持できている間は、データが保持されている状態である。さらに、どちらかのモードかを調べるために、電極に正の電圧を印加しても、保持しているモードは変化することなくデータが破壊されてしまうことはない。従って、図62に示す機能素子によれば、非破壊の読み出しが可能である。図62に示す素子は、金属酸化物層6205が、下部電極層6203と上部電極6207との間に印加された電圧により換抗値が変化することにより、不揮発メモリ素子として機能するものである。なお、本素子は、電流を制御するスイッチ素子としても用いることができる。
- [0395] 図62に示す素子を動作させるための電圧は、「正の低抵抗モードにするための書

き込み時に最大になるが、図_{6.4}に示すように、高々1.6V程度であり、非常に消費電力が小さい。消費電力が小さいことは、デバイスにとって非常に有利になり、例えば、移動体通信機器、デジタル汎用機器、デジタル撮像機器を始め、ノートタイプのパーソナルコンピュータ、パーソナル・デジタル・アプライアンス(PDA)のみならず、全ての電子計算機、パーソナルコンピュータ、ワークステーション、オフィスコンピュータ、大型計算機や、通信ユニット、複合機などのメモリを用いている機器の消費電力を下げる事が可能となる。なお、図_{6.2}に示す素子を用いたメモリにおいても、10年の保持期間を有している。

- [0₉₆] ところで、上述した本発明の例では、シリコンからなる基板上の絶縁層、絶縁層上の下部電極層、下部電極層上の絶縁層、絶縁層上の金属酸化物層、金属酸化物層上の絶縁層の各々をE_{C R}スパッタ法で形成するようにした。しかしながら、これら各層の形成方法は、E_{C R}スパッタ法に限定するものではない。例えば、シリコン基板の上に形成する絶縁層は、熱酸化物法や化学気相法(CVD法)、また、従来のスパッタ法などで形成しても良い。
- [0₉₇] また、下部電極層は、EB蒸着法、CVD法、MBE法、IBD法などの他の成膜方法で形成しても良い。また、下部電極層上の絶縁層は、ALD法、MOCVD法、従来よりあるスパッタ法で形成してもよい。金属酸化物層も、上記で説明したMOD法や従来よりあるスパッタ法、PLD法及びMOCVD法などで形成することができる。ただし、E_{C R}スパッタ法を用いることで、平坦で良好な絶縁膜、金属膜、強誘電体などの金属酸化物膜が容易に得られる。
- [0₉₈] また、上述した実施の形態では、各層を形成した後、一旦大気に取り出していたが、各々のE_{C R}スパッタを実現する処理室を、真空搬送室で連結させた装置を用いることで、大気に取り出すことなく、連続的な処理により各層を形成してもよい。これらのことにより、処理対象の基板を真空中で搬送できるようになり、水分付着などの外乱の影響を受け難くなり、膜質と界面の特性の向上につながる。
- [0₉₉] 特開2000-77911号公報に示されているように、各層を形成した後、形成した層の表面にE_{C R}プラズマを照射し、特性を改善するようにしてもよい。また、各層を形成した後に、水素雰囲気中などの適当なガス雰囲気中で、形成した層をアニール

(加熱処理)し、各層の特性を大きく改善するようにしてもよい。

- [0400] ところで、素子を並べて複数のデータを同時にメモリ蓄積することを「集積」と呼び、集積する度合いを集積度と呼ぶが、図62の構造は、非常に単純であり、従来のメモリセルに比較して、集積度を格段に上げることが可能となる。MOSFETを基本技術としたDRAMやSRAM、フラッシュメモリなどでは、ゲート、ソース、ドレインの領域を確保する必要があるため、近年では、集積限界が指摘され始めている。これに対し、図62に示す素子によれば、単純な構造を用いることで、現在の集積限界に捕らわれずに集積度を高めることが可能となる。
- [0401] また、以上の実施の形態では、印加した電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。本発明の基本的な思想は、図62に示すように、絶縁層に金属酸化物層を接して配置し、これらを2つの電極で挟むようにしたところにある。このような構成とすることで、2つの電極間に所定の電圧(DC, パルス)を印加して金属酸化物層の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替え、結果としてメモリ機能が実現可能となる。
- [0402] 従って、例えば、図65Aに示すように、絶縁性基板6201aを用い、積層された下部電極層6203a, 6203bを用いるようにしてもよい。また、また、図65Bに示すように、絶縁性基板6201aを用い、下部電極層6203にコンタクト電極6203cを設けるようにしてもよい。また、図65Cに示すように、絶縁性基板6201aを用い、積層された上部電極6207a, 6207bを用いるようにしてもよい。さらに、図65Dに示すように、積層された下部電極層6203a, 6203bと積層された上部電極6207a, 6207bとを用いるようにしてもよい。
- [0403] また、図66Aに示すように、ガラスや石英からなる絶縁性の基板6601を用いるようにしてもよい。この場合、図66Bに示すように、基板6601に貫通孔形成してここにプラグを設け、基板6601の裏面(下部電極層6203の形成面の反対側)より電気的コンタクトをとるようにしてもよい。この構造とすることによって、加工しやすいガラス基板などへの適用が可能となる。また、金属酸化物層6205は、波長632.8nmで測定したときの屈折率が2.6程度で光学的に透明であるため、図66A及び図66Bに示す構成とすることで、ディスプレイへの応用が可能となる。また、金属酸化物層6205を、

10～200nmの間で干渉色を発する厚さに形成することで、着色した状態の視覚効果が得られる。

- [0404] さらに、図67Aに示すように、金属などの導電性を有する基板6701を用いるようにしてもよい。また、図67Bに示すように、基板6701の上に接して下部電極層6702を備え、この上に絶縁層6703、金属酸化物層6704、絶縁層6705、及び上部電極6706を設けるようにしてもよい。図67Bに示す構成とした場合、基板6701と上部電極6706との間に所定の電気信号を印加することが可能となる。
- [0405] また、図68に示すように、金属板6801の上に、絶縁層6802、金属酸化物層6803、絶縁層6804、及び上部電極6805を設けるようにしてもよい。この構成とした場合、金属板6801が、下部電極層となる。図68に示す構造にすることによって、熱伝導性のよい金属板6801の上に各構成要素が形成されているので、より高い冷却効果が得られ、素子の安定動作が期待できる。
- [0406] なお、金属酸化物層は、膜厚が厚くなるほど電流が流れにくくなり抵抗が大きくなる。抵抗値の変化を利用してメモリを実現する場合、オン状態とオフ状態の各々の抵抗値が問題となる。例えば、金属酸化物層の膜厚が厚くなると、オン状態の抵抗値が大きくなり、S/N比がとりにくくなり、メモリの状態を判断しにくくなる。一方、金属酸化物層の膜厚が薄くなり、リーク電流が支配的になると、メモリ情報が保持しにくくなると共に、オフ状態の抵抗値が大きくなり、S/N比がとりにくくなる。
- [0407] 従って、金属酸化物層は、適宜最適な厚さとした方がよい。例えば、リーク電流の問題を考慮すれば、金属酸化物層は、最低10nmの膜厚があればよい。また、オン状態における抵抗値を考慮すれば、金属酸化物層は200nmより薄くした方がよい。発明者らの実験の結果、金属酸化物層の厚さが30～100nmであれば、メモリの動作が確認され、最も良好な状態は、金属酸化物層の厚さを50nmとしたときに得られた。
- [0408] 同様に、下部電極層の上の絶縁層においても、より好適な膜厚が存在する。具体的には、ECRスパッタ法を用いて形成する場合、膜厚が薄いとリーク電流が多く流れ電流密度が高くなる。これに対し、膜厚が厚くなると、電流密度は小さくなる。従って、膜厚があまり薄いと、絶縁層としての特性が得られず、膜厚が厚い場合、金属酸化物

層に印加される電圧が小さくなり、S/N比がとりにくくなり、メモリの状態が判断しにくくなることを示している。上述したように、絶縁層は、金属酸化物物層との組み合わせにおいて、適宜最適な厚さとした方がよい。

- [0409] 例えば、リーク電流の問題を考慮すれば、 SiO_2 膜を用いる場合は、膜厚が1～3nm程度がよい。 Ta_2O_5 膜の場合は、3nm～5nmの膜厚があればよい。一方、抵抗値の大きさの問題を考慮すれば、絶縁層は20nmより薄くした方がよい。発明者らの実験の結果、 SiO_2 と Ta_2O_5 から構成された絶縁層の場合、膜厚が3～5nmであれば、前述したメモリの動作が確認された。
- [0410] 上述では、1つの機能素子を例にして説明したが、以降に説明するように、複数の機能素子を配列させて集積させるようにしてもよい。例えば、図69Aに示すように、絶縁性基板6901の上に、共通となる下部電極層6902、絶縁層6903、金属酸化物物層6904、絶縁層6905を形成し、絶縁層6905の上に、各々所定距離離間して複数の上部電極6906を形成すればよい。複数の上部電極6906に対応して複数の機能素子が配列されたことになる。
- [0411] 金属酸化物物層6904や絶縁層6903、6905は、金属などの導電体に比べて導電性が非常に小さいので、上述したように共通に使用することができる。この場合、加工プロセスを省くことができるので、生産性の向上が図れ、工業的に利点が大きい。また、複数の上部電極6906に対応する機能素子間の距離を導電性などを考慮して配置することで、安定した動作が期待できる。
- [0412] また、図69Bに示すように、絶縁性基板6901の上に、共通となる下部電極層6902を形成し、下部電極層6902の上に、絶縁層6913、金属酸化物物層6914、絶縁層6915、及び上部電極6916からなる複数の素子を配列させるようにしてもよい。例えば、形成した金属酸化物物膜を、RIE法やICPエッチング、またECRエッチングなど加工法を用いることで、個々の金属酸化物物層6914が形成できる。このように分離して構成することで、素子間の距離をより短くすることが可能となり、集積度をさらに向上させることができる。
- [0413] また、図69Cに示すように、絶縁性基板6901の上に、共通となる下部電極層6902、絶縁層6903を形成し、この上に、金属酸化物物層6914、絶縁層6915、及び上部

電極6916からなる複数の素子を配列させるようにしてもよい。さらに、図69Dに示すように、各々の素子を構成している絶縁層6913、金属酸化物層6914、及び絶縁層6915の側面を、絶縁側壁6917で覆うようにしてもよい。また、図69(e)に示すように、絶縁性基板6901の上に、共通となる下部電極層6902、絶縁層6903を形成し、この上に、金属酸化物層6914、絶縁層6915、及び上部電極6916からなる複数の素子を配列させ、各々の素子を構成している金属酸化物層6914の側面を、絶縁側壁6918で覆うようにしてもよい。

- [0414] また、図70に示すように、絶縁性基板6901の上に、共通となる下部電極層6902を形成し、下部電極層6902の上に、絶縁層6913、金属酸化物層6914、絶縁層6915、及び上部電極6916からなる複数の素子を配列させ、各々分離している複数の金属酸化物層6914の側部を充填するように、絶縁層6926を形成してもよい。これらのように、素子毎に分離して形成した複数の金属酸化物層6914の間を、絶縁体で覆うようにすることで、各素子間のリーク電流を減らして機能素子の安定性を高めることができる。
- [0415] また、複数の機能素子をX方向にn個、Y方向にm個配列し、X方向バスを下部電極層に接続し、Y方向バスを上部電極に接続し、X方向バス及びY方向バスの各々に選択信号のスノッチ機能を備えたプロセッサユニットを接続することで、各素子にランダムにアクセスが可能なメモリが実現できる。
- [0416] ところで、金属酸化物層6205における抵抗値の変位も、前述した素子と同様に、電流により制御することも可能である。また、パルス電圧により、金属酸化物層6205の抵抗変化を制御できる。また、スノッチ素子として用いることも可能である。
- [0417] また、本実施の形態における金属酸化物層6205を用いた図62に示す素子によれば、下部電極層6203と上部電極6207との間に直流電圧を印加したときの電流－電圧特性が、図71に示すように、正側の印加電圧を変化させることで異なる低抵抗状態に変化する。これら各々の状態における読み出し電圧における電流値に対応し、四角と丸と三角とで示す3つの状態(3値)のメモリが実現できる。この場合、例えば、読み出し電圧を0.5V程度とすることで、3値のメモリが実現できる。なお、各状態に遷移させる前には、-2Vの電圧を下部電極層6203に印加して高抵抗状態に戻して

いる(リセット)。

[0418] 次に、図1に示す素子の強誘電体層104を室温(20~24℃程度)で成膜した場合について説明する。なお、ここでは、下部電極層103は、Pt-Tiから構成されて巧ものとする。このように形成された素子において、下部電極層103と上部電極105との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図72に示す結果が得られた。印加電圧を0Vより高くしていくと、はじめは、図72中の(1)に示すように正の高抵抗モードであるが、印加電圧が1.6Vを超えると、(2)に示すように、急激な電流の流れが観測されるようになる。この後、一度電圧の印加を停止してから、再び正の電圧を印加すると、(3)に示すように、正の低抵抗モードとなる。

[0419] また、(3)に示す正の低抵抗モードにおいて、上部電極105に負の電圧が印加された状態とすると、(4)に示す負の低抵抗モードとなる。更に、上部電極105に負の電圧が印加された状態とすると、-0.8Vを超える電圧が印加された時点より、(5)に示す遷移状態となり、急激に抵抗値が上昇する。この状態を経た後、(6)の負の高抵抗モードとなる。これら(1)~(6)の状態が繰り返し観測される。

[0420] 前述同様のECRスパッタ法により低温で形成された強誘電体層104を透過型電子顕微鏡により観察すると、図73の観察結果に示すように、膜全体がアモルファスの状態となっていることが確認される。また、膜の全体に、粒径3~10nm程度の複数の微粒子が分散されている状態が確認される。ただし、10nm程度の部分は、より微細な複数の微粒子の集合体とも考えられる。この微粒子は、ビスマスの組成ガチタンや酸素に比較して多くなっていることも確認されている。このような状態は、ECRスパッタ法により形成された金属酸化物薄膜の特徴であり、成膜過程の薄膜にECRプラズマが照射されていることで、成膜表面の原子におけるマイグレーションが促進されるためと考えられる。

[0421] 次に、図1に示す素子の強誘電体層104を150℃程度で成膜した場合について説明する。なお、ここでは、下部電極層103は、Pt-Tiから構成されているものとし、基板101は、プラスチックより構成されたものとする。このように形成された素子において、下部電極層103と上部電極105との間に電源により電圧(下部電極105に負)を印

加し、電圧を印加したときの電流を電流計により観測すると、図74に示す結果が得られた。はじめは、図74中の(1)に示すように負の高抵抗モードであるが、印加電圧が $-2V$ を超えると、(2)に示すように、急激な電流の流れが観測されるようになる。この後、一度電圧の印加を停止してから、今度は正の電圧を印加すると、(3)に示すように、負の低抵抗モードとなる。

[0422] また、(3)に示す負の低抵抗モードにおいて、上部電極105に正の電圧が印加された状態とすると、(4)に示す正の低抵抗モードとなる。更に、上部電極105に正の電圧が印加された状態とすると、 $0.8V$ を超える電圧が印加された時点より、(5)に示す遷移状態となり、急激に抵抗値が上昇する。この状態を経た後、(6)に示す正の高抵抗モードとなる。これら(1)～(6)の状態が繰り返し観測される。上述した各条件においては、強誘電体層104はほぼ透明な状態であり、基板に透明な材料を用い、また、各電極をITOなどの透明電極から構成すれば、光学的に透過性を有する素子が構成できる。

[0423] 次に、図31に示す素子の強誘電体層3104を $450^{\circ}C$ 程度で成膜した場合について説明する。なお、ここでは、下部電極層3103は、Ruから構成されているものとする。このように形成された素子において、下部電極層3103と上部電極3106との間に電源により電圧(下部電極3106に負)を印加し、電圧を印加したときの電流を電流計により観測すると、図75に示す結果が得られた。はじめは、図75中の(1)に示すように負の高抵抗モードであるが、印加電圧が $-3V$ を超えると、(2)に示すように、急激な電流の流れが観測されるようになる。この後、今度は正の電圧を印加すると、(3)に示すように、負の低抵抗モードとなる。

[0424] また、(3)に示す負の低抵抗モードにおいて、上部電極3106に正の電圧が印加された状態とすると、(4)に示す正の低抵抗モードとなる。更に、上部電極3106に正の電圧が印加された状態とすると、 $9V$ を超える電圧が印加された時点より、(5)に示す遷移状態となり、急激に抵抗値が上昇する。この状態を経た後、(6)に示す正の高抵抗モードとなる。これら(1)～(6)の状態が繰り返し観測される。

[0425] 上述の図75に特性を示した素子における記憶保持特性を以下に説明する。図76に示すように、はじめに、高抵抗モードの状態では、上部電極3106に $0.5V$ の正の

電圧が印加されると、 10^6 A 程度の電流値が観測される状態である。この状態に対し、上部電極31 06に -4 V を超える負の電圧が印加された状態とすると、 $2 \times 10^3 \text{ A}$ 程度の電流が流れる低抵抗モードとなる。上記素子によれば、この低抵抗モードが、図76に示すように、外挿直線から10年を超える安定性を備えていることがわかる。

[0426] 次に、図1に示す素子の強誘電体層1 04を 430°C 程度で成膜した場合について説明する。なお、ここでは、下部電極層1 03は、Ruから構成され、上部電極1 05は、下層がチタン上層が白金から構成されているものとする。このように形成された素子において、下部電極層1 03と上部電極1 05との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図77に示す結果が得られた。印加電圧を0Vより高くしていくと、はじめは、図77中の(1)に示すように正の高抵抗モードであるが、印加電圧が 2.5 V を超えると、(2)に示すように、急激な電流の流れが観測されるようになる。この後、一度電圧の印加を停止してから、再び正の電圧を印加すると、(3)に示すように、正の低抵抗モードとなる。

[0427] また、(3)に示す正の低抵抗モードにおいて、上部電極1 05に負の電圧が印加された状態とすると、(4)に示す負の低抵抗モードとなる。更に、上部電極1 05に負の電圧が印加された状態とすると、 -1.8 V を超える電圧が印加された時点より、(5)に示す遷移状態となり、急激に抵抗値が上昇する。この状態を経た後、(6)の負の高抵抗モードとなる。これら(1)～(6)の状態が繰り返し観測される。

[0428] 次に、上述した強誘電体層1 04や強誘電体層31 04などの金属酸化物物層において、2つの状態が保持されることについて考察する。図7C、図7c及び図73に示した状態が観察される金属酸化物物層においては、図78に示すように、分散されている複数の微粒子78 01の間に、実線で模式的に示す導電パス78 02が形成されるために、低抵抗モードが発現するものと考えられる。導電パス78 02としては、ナノサイズの微粒子78 01の間の量子トンネリングや、正孔・電子のホッピング、もしくは、酸素欠損などに起因するものが考えられる。導電パス78 02は、1本だけ形成される場合もあるが、多くの場合は、複数本が形成されるものと考えられる。ある程度の数の導電パス78 02が形成されている場合は、電圧を印加している電極間の抵抗値は低下し、図79に示す低抵抗モードとなる。

- [0429] また、図80に示すように、印加する電圧の極性を変えると、導電パス7802の一部が消失し、もしくは、すべての導電パス7802が消失し、電極間の抵抗値が急激に増加し、図81に示すように、低抵抗モードより高抵抗モードに遷移する。この高抵抗モードの状態で、電極間に電流が流れるだけの電圧が印加された状態とすると、図82に示すように、再び複数の導電パス7802が形成されるようになる。このことにより、図83に示すように、電流が急激に流れるようになり、低抵抗モードへと変化する。
- [0430] ところで、上述では、異なる極性の電圧印加により高抵抗状態と低抵抗状態とを切り替えるようにしていたが、これに限るものではなく、以降に説明するように、同一の極性で異なる電圧を印加することによっても、高抵抗状態と低抵抗状態との切り替えが可能である。なお、以下の状態は、金属酸化物物の層を450°Cで成膜した場合である。例えば、図84に示すように、(1)に示す負の低抵抗状態より、-3.5Vを超える電圧が上部電極に印加されると、(2)に示すように、急激な電流の流れが生じる。この後再び負の電圧が印加されると、(3)に示す負の低抵抗状態となり、この状態が維持されるようになる。
- [0431] この負の低抵抗状態に-1Vを超える負の電圧が印加される状態とすると、遷移状態が起こり、(5)に示す負の高抵抗状態となり、-3.5Vを超えない電圧ではこの状態が維持される。更に、-3.5Vを超える電圧が印加されると、(6)に示す急激な電流の流れが発生し、負の低抵抗状態となる。なお、印加する電圧の方向(印加する電極)を変えれば、上述した各電圧が正の値の場合で上述同様の状態が得られる。
- [0432] また、同一極性の電圧印加において、パルス駆動も可能である。図85に示すように、-0.1Vの観測電圧で素子の状態を確認すると、 10^{-8} A程度の高抵抗状態であり、-0.1Vの観測電圧で4回観測しても、高抵抗状態が維持されている。この状態で、白抜きの矢印で示すように、-5.0V, 500 μ s秒, 1回のパルス電圧を印加し、-0.1Vの観測電圧で測定すると、 10^{-1} A程度の電流が観測され、低抵抗状態となることがわかる。この状態で、再度-0.1Vの観測電圧で4回観測しても、低抵抗状態が維持されている。更に、この状態において、黒で塗りつぶされた矢印に示す3.0V, 1 μ s秒, 10回のパルス電圧を印加し、-0.1Vの観測電圧で観測すると、 10^{-9} A程度の電流が観測され、高抵抗状態となることがわかる。同様に適当なパルス

電圧を印加することで、高抵抗と低抵抗の状態が繰り返し観測される。

- [0433] 次に、本発明の他の実施の形態について図を参照して説明する。図86A及び図86Bは、本発明の実施の形態における三端子素子の構成例を概略的に示す模式的な断面図である。図86A及び図86Bに示す三端子素子は、例えば、単結晶シリコンからなる基板8601の上に絶縁層8602、ゲート電極8603、BiとTiとOとから構成された膜厚10～20nm程度の金属酸化物層8604、ソース電極8605、ドレイン電極8606を備えるようにしたものである。このような構成とした三端子素子において、例えば、図86Aに示すように電位が印加されている状態を書き込み状態とし、図86Bに示すように、電位が印加されている状態を読み出し状態とする。
- [0434] 基板8601は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板8601が絶縁材料から構成されている場合、絶縁層8602はなくてもよい。また、基板8601が導電性材料から構成されている場合、絶縁層8602、ゲート電極8603はなくてもよく、この場合、導電性材料から構成された基板8601が、ゲート電極となる。ゲート電極8603、ソース電極8605、及びドレイン電極8606は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていればよい。また、上記電極は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、酸化亜鉛(ZnO)、鉛酸スズ(ITO)、フッ化ランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。
- [0435] 図86A及び図86Bに示した三端子素子の構成の具体例について説明すると、例えば、ゲート電極8603は、膜厚10nmのルテニウム膜であり、金属酸化物層8604は、膜厚4nmのBiとTiとからなる金属酸化物から構成されたものであり、ソース電極8605及びドレイン電極8606は、金から構成されたものである。金属酸化物層8604は、層の状態、電気的特性、及び電氣的初期化の観点など、様々な特性が前述した強誘電体層104、強誘電体層3104、強誘電体層4705、及び金属酸化物層6205と同様である。また、ソース電極8605とドレイン電極8606との間隔は、例えば、1mmである。なお、前述したように、基板8601及び絶縁層8602の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。

- [0436] 次に、本発明に係る三端子素子を構成する金属酸化物物層8604について、より詳細に説明する。金属酸化物物層8604は、前述した強誘電体層104や金属酸化物物層6205などと同様に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む層からなる基部層の中に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶からなる粒径3～15nm程度の複数の微結晶粒や微粒子が分散されて構成されたものである。基部層は、ヒスマスの組成がほぼ0となる TiO_x の場合もある。言い換えると、基部層は、2つの金属から構成されている金属酸化物において、いずれかの金属が化学量論的な組成に比較して少ない状態の層である。
- [0437] このような金属酸化物物層8604を用いた三端子素子によれば、以降に説明するように、2つの状態(ON及びOFF)が保持される状態が実現できる。図86A及び図86Bに示す三端子素子の特性について説明する。この特性は、ゲート電極8603とソース電極8605及びドレイン電極8606との間に電圧を印加することで調査されたものである。ゲート電極8603とソース電極8605及びドレイン電極8606との間に電源により電圧を印加し、ゲート電極8603からソース電極8605及びドレイン電極8606へ流れる電流を電流計により観測すると、図86Cに示す結果が得られた。なお、図86Cの縦軸は、ゲート電極8603からソース電極8605及びドレイン電極8606へ流れる方向の電流値を正としている。
- [0438] 以下、図86Cを説明し、あわせて本発明における三端子素子の動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。
- [0439] 図86Cは、ゲート電極8603に印加する電圧(ゲート電圧)をゼロから負の方向に減少させた後にゼロに戻し、さらに正の方向に増加させ、最後に再びゼロに戻したときに金属酸化物物層8604を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、ゲート電極8603によりゲート電圧を0Vから負の方向に徐々に印加させた場合、金属酸化物物層8604を流れる負の電流は比較的少ない(－0.1Vで約－0.12mA程度)。
- [0440] しかし、－0.4Vを超えると負の電流値が増加し始める。さらに－1Vまで電圧を下

げた後、逆に負の電圧を小さくしていくと、先ほどよりも絶対値が大きな負の電流が流れる状態が保持されたまま、負の電流値は減少していく。このとき、電流値は -0.1 V で約 -0.63 mA であり、先ほどよりも5倍程度抵抗値が低く、電流が流れやすい状態である。印加するゲート電圧をゼロに戻すと、電流値もゼロとなる。

[0441] 次にゲート電極86 03に正のゲート電圧を印加していく。この状態では、正のゲート電圧が小[0441]ときは、前の履歴を引き継ぎ、比較的大きな正の電流が流れる(0.1 V で約 0.63 mA)。ところが、 0.7 V 程度まで正のゲート電圧を印加すると、正の電流が突然減少する。最後に、 $+1\text{ V}$ から 50 V に向かって印加する正のゲート電圧を減少させると、正の電流値もこの流れにくい状態を保持したまま減少し、ゼロに戻る。このとき、正の電流値は、 0.1 V で約 0.12 mA 程度である。

[0442] 以上に説明したような、金属酸化物層86 04中を流れる電流のヒステリシスは、ゲート電極86 03に印加するゲート電圧により金属酸化物層86 04の抵抗値が変化することが原因で発現すると解釈できる。ある一定以上の大きさの負のゲート電圧 V_{w1} を印加することにより、金属酸化物層86 04は電流が流れやすい「低抵抗状態」(ON状態)に遷移する。一方、ある一定の大きさの正のゲート電圧 V_{w0} を印加することにより、金属酸化物層86 04は電流が流れにくい「高抵抗状態」(OFF状態)に遷移すると考えられる。

[0443] 金属酸化物層86 04には、これらの低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負のゲート電圧を印加しない限り、ONもしくはOFFの各状態を維持する。なお、上述した V_{w0} の値は約 $+1\text{ V}$ 程度であり、 V_{w1} の値 -1 V 程度であり、高抵抗状態と低抵抗状態の抵抗比は約 $10\sim 100$ 程度である。上記のような、ゲート電圧により金属酸化物層86 04の抵抗がスイッチする現象を用いることで、図86A及び図86Bに示す三端子素子により、不揮発性で非破壊読み出し動作が可能な機能素子が実現できる。

[0444] 次に、図86A及び図86Bに示す三端子素子をDC電圧を用いて動作させる場合について説明する。まず、低抵抗遷移電圧 V_{w1} 以上の大きさの負のゲート電圧を印加し、金属酸化物層86 04を低抵抗状態に遷移させる。このことにより、ソース・ドレイン間に電流が流れ易くなるON状態となる。このON状態は、読み出し電圧 V_R におけるソ

ース小レイン間の電流 I_{RI} を観測することで読み出すことができる。読み出し V_R としては、状態が遷移しない程度のなるべく小さな値で、かつ抵抗比が十分に現れるような値を選択することが重要となる(7記の例では0.1V程度が適当)。これにより、低抵抗状態、すなわちON状態を破壊することなく、何回も読み出すことが可能となる。

[0445] 一方、高抵抗遷移電圧 V_{W0} 以上の大きさの正のゲート電圧を印加することにより、金属酸化物層8604を高抵抗状態に遷移させることで、ソース小レイン間に電流が流れ難くなるOFF状態にできる。このOFF状態の読み出しも、読み出し電圧 V_R におけるソース小レイン間の電流 I_{R0} を観測することにより行うことができる(I_{RI}/I_{R0} と10~100)。また、各電極間に通電がない状態では、金属酸化物層8604は各状態を保持するため不揮発性を有しており、書き込み時と読み出し時以外には、電圧を印加する必要はない。なお、本素子は、電流を制御するスノッチ素子としても用いることができる。

[0446] 次に、ゲート電極8603により異なるゲート電圧を印加したときにソース電極8605とドレイン電極8606との間に流れる電流(ソース小レイン電流)の変化について示す。図87に示すように、ゲート電圧として+1Vを印加してOFF状態とした後では、ソース小レイン間に印加する読み出し電圧が0~0.15Vの範囲で、ソース小レイン電流はほとんど流れない。一方、ゲート電圧として-1Vを印加してON状態とした後では、ソース小レイン間に印加する読み出し電圧を0Vから0.15Vへと高くすると、これにほぼ比例して、ソース小レイン電流がより多く流れるようになる。ON状態では、0.15Vで約0.5mAのソース小レイン電流が観測される。このように、図86A及び図86Bに示す三端子素子によれば、ゲート電圧によるソース小レイン電流の制御が可能である。

[0447] また、上述したON及びOFFの各状態は、図88に示すように、正もしくは負のいずれかのゲート電圧を一回だけ印加することで、対応するONもしくはOFFのいずれかの状態に遷移し、この状態が維持される。なお、図88は、ゲート電極8603に+1V又は-1Vを印加した後に、ソース電極8605及びドレイン電極8606の間に読み出し電圧として0.15Vを印加したときの、ソース小レイン間に流れる電流の変化を示している。

- [0448] ここで、ソース電極86 05がオープンとされた状態で、ゲート電圧を印加してON状態及びOFF状態とした場合について説明する。この場合、ゲート電圧は、ゲート電極86 03とドレイン電極86 06との間に印加されることになる。なお、状態の読み出しは、ソース電極86 05とドレイン電極86 06との間に0.2Vまでの読み出し電圧を印加した状態で、ソース小レイン間に流れる電流を測定することで行う。
- [0449] 図89に示すように、ゲート電圧として+1Vを印加してOFF状態とした後に、ソース小レイン間に印加する読み出し電圧を0Vから0.2Vへと高くすると、ソース小レイン間には、ある程度の電流が流れるようになる。読み出し電圧0.2Vにおいて、ソース・ドレイン間には約0.1mAの電流が流れる状態となる。これに対し、ゲート電圧として-1Vを印加してON状態とした後に、ソース小レイン間に印加する読み出し電圧を0Vから0.2Vへと高くすると、これにほぼ比例して、ソース小レイン電流がより多く流れるようになる。ON状態では、読み出し電圧0.2Vで約0.4mAのソース小レイン電流が観測される。従って、ソース電極86 05がオープンとされた状態でゲート電圧を印加しても、図86A及び図86Bに示す三端子素子は、ON、OFF動作をすることが可能である。
- [0450] ただし、ソース電極86 05がオープンとされた状態でゲート電圧を印加してOFF状態とした場合、上述したように、読み出し電圧を大きくすると、ある程度ソース小レイン間に電流が流れるようになる。ソース電極86 05がオープンとされた状態でゲート電圧を印加する場合、印加された電圧はドレイン電極86 06の下部の領域により選択的に作用するため、上述した結果が観測されるものと考えられる。これらの結果から、ソース小レイン電流は、ソース電極86 05ーソース電極86 05の下の領域の金属酸化物層86 04ーゲート電極86 03ードレイン電極86 06の下の領域の金属酸化物層86 04ードレイン電極86 06の経路を通り流れるものと考えられる。
- [0451] なお、図86A及び図86Bに示した三端子素子におけるON及びOFFの各状態保持特性も、前述した例えば図1に示す素子と同様に、少なくとも1000分の保持時間を有している。また、以上の説明では、印加したゲート電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。
- [0452] 次に、図86A及び図86Bに示した三端子素子の製造方法例について説明する。

なお、以降では、ECRプラズマスパッタ法を例に各薄膜の形成方法を説明しているが、これに限るものではなく、他の成膜技術や方法を用いるようにしてもよいとは、いうまでもない。

- [0453] まず、図80Aに示すように、主表面が面方位(100)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板8601を用意し、基板8601の表面を硫酸と過酸化水素水の混合液と純水と希フッ酸水素水とにより洗浄し、このあと乾燥させる。ついで、洗浄・乾燥した基板8601の上に、絶縁層8602が形成された状態とする。絶縁層8602の形成では、例えばECRスパッタ装置を用い、ターゲットとして純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスを用いたECRスパッタ法により、シリコンからなる基板8601の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層8602を形成する。
- [0454] 例えば、 1.0^{-5}Pa 台の内部圧力に設定されているプラズマ生成室内に流量 2.0 sccm 程度でArガスを導入し、内部圧力を $1.0^{-3} \sim 1.0^{-2} \text{Pa}$ 程度にし、ここに、 0.0875 T の磁場と 2.45 GHz のマイクロ波(500 W 程度)とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内にArのプラズマが生成された状態とする。なお、 sccm は流量の単位あり、 $0^\circ\text{C} \cdot 1 \text{ 気圧}$ の流体が1分間に 1 cm^3 流れることを示す。また、 T (テスラ)は、磁束密度の単位であり、 $1 \text{ T} = 10000 \text{ ガウス}$ である。
- [0455] 上述したことにより生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたシリコンターゲットに、高周波電源より 13.56 MHz の高周波電力(例えば 500 W)を供給する。このことにより、シリコンターゲットにArイオンが衝突してスパッタリング現象が起これ、Si粒子が飛び出す。シリコンターゲットより飛び出したSi粒子は、プラズマ生成室より放出されたプラズマ、及び導入されてプラズマにより活性化された酸素ガスと共にシリコンからなる基板8601の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。以上のことにより、基板8601上に二酸化シリコンからなる例えば 100 nm 程度の膜厚の絶縁層8602が形成された状態とすることができ(図80A)。
- [0456] なお、絶縁層8602は、この後に形成する各電極に電圧を印加した時に、基板8601に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るもので

ある。例えば、シリコン基板の表面を熱酸¹⁰法により酸¹¹化することで形成した酸化シリコン膜を絶縁層86 02として用いるようにしてもよい。絶縁層86 02は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層86 02の膜厚は、100nmに限らず、これより薄くてもよく厚くてもよい。絶縁層86 02は、上述したECRスパッタによる膜の形成では、基板86 01に対して加熱はしていないが、基板86 01を加熱しながら膜の形成を行ってもよい。

- [0457] 以上のようにして絶縁層86 02を形成した後、今度は、ターゲットとして純ルテニウム(Ru)を用いた同様のECRスパッタ法により、絶縁層86 02の上にルテニウム膜を形成することで、図8 0Bに示すように、ゲート電極86 03が形成された状態とする。Ru膜の形成について詳述すると、Ruからなるターゲットを用いたECRスパッタ装置において、例えば、まず、絶縁層を形成したシリコン基板を400℃に加熱し、また、プラズマ生成室内に、例えば流量7sccmで希ガスであるArガスを導入し、加えて、例えば流量5sccmでXeガスを導入し、プラズマ生成室の内部を、例えば $1.0^{-2} \sim 1.0^{-3}$ Pa台の圧力に設定する。
- [0458] ついで、プラズマ生成室内に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室内に導入し、プラズマ生成室にArとXeのECRプラズマが生成した状態とする。生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置されたルテニウムターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、スパッタリング現象が起き、ルテニウムターゲットよりRu粒子が飛び出す。ルテニウムターゲットより飛び出したRu粒子は、基板86 01の絶縁層86 02表面に到達して堆積する。
- [0459] 以上のことにより、絶縁層86 02の上に、例えば10nm程度の膜厚のゲート電極86 03が形成された状態が得られる(図9 0B)。ゲート電極86 03は、この後に形成するソース電極86 05及びドレイン電極86 06との間に電圧を印加した時に、金属酸¹⁰物層86 04に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外からゲート電極86 03を構成してもよく、例えば、白金からゲート電極86 03を構成してもよい。ただし、二酸化シリコンの上に白金膜を形成すると剥離しやすいこと

が知られているが、これを防ぐためには、チタン層や窒化チタン層もしくはルテニウム層などを介して白金層を形成する積層構造とすればよい。また、ゲート電極8603の膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。

- [0460] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板8601を400°Cに加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。
- [0461] 以上のようにしてゲート電極8603を形成した後、BiとTiの割合が4:3の酸化物焼結体(Bi-Ti-O)からなるターゲットを用い、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図80Cに示すように、ゲート電極8603の上に、表面を覆う程度に、金属酸化物層8604が形成された状態とする。
- [0462] 金属酸化物層8604の形成について詳述すると、まず、300°C〜700°Cの範囲に基板8601が加熱されている状態とする。また、プラズマ生成室内に、例えば流量20 sccmで希ガスであるArガスを導入し、例えば 1.0^3 Pa〜 1.0^2 Pa台の圧力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室に導入し、このマイクロ波の導入により、プラズマ生成室にECRプラズマが生成された状態とする。
- [0463] 生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。
- [0464] 焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化された酸素ガスと共に、加熱されているゲート電極8603の表面に到達し、活性化された酸素により酸化される。なお、反応ガスとしての酸素(O_2)ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度

の金属酸化物層8604が形成された状態が得られる(図90C)。

[0465] なお、形成した金属酸化物層8604に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層8602の形成にも適用可能である。また、基板温度を300°C以下のより低い温度条件として金属酸化物層8604を形成した後に、酸素雰囲気中などの適当なガス雰囲気中で、形成した金属酸化物層8604をアニール(加熱処理)し、膜質の特性を大きく改善するようにしてもよい。

[0466] 以上のようにして金属酸化物層8604を形成した後、図90Dに示すように、金属酸化物層8604の上に、所定の面積のAuからなるソース電極8605及びドレイン電極8606が形成された状態とすることで、図86A及び図86Bに示す三端子素子が得られる。ソース電極8605及びドレイン電極8606は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、ソース電極8605及びドレイン電極8606は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、Ti-Pt-Auなどの剥離し難い構造とし、この上でフォトリソグラフィーやリフトオフ処理などのパターンニング処理をして所定の面積を持つ電極として形成する必要がある。

以上に説明したECRスパッタによる各層の形成は、図89に示したようなECRスパッタ装置を用いればよい。

[0467] ところで、本実施の形態に係る三端子素子の構成例は、図86A及び図86Bに示した素子に限るものではない。例えば、図91に例示するように、絶縁層8602の上にソース電極8615及びドレイン電極8616が形成され、ソース電極8615及びドレイン電極8616が金属酸化物層8604に覆われ、金属酸化物層8604の上にゲート電極8613が形成された状態としてもよい。なお、当然ではあるが、図92A及び図92Bに示すように、絶縁性基板8601aを用いてもよく、この場合、絶縁層8602はなくてもよい。また、導電性を有する基板を用い、この上に、図86A及び図86Bに示す金属酸化物層8604、ソース電極8605、ドレイン電極8606の構成を配置するようにしてもよい。この場合、基板がゲート電極を兼用することになる。

- [0468] なお、上述では、単結晶シリコンからなる基板8601を用いるようにしたが、ガラスや石英などの絶縁性基板を用いるようにしてもよい。これらの構造とすることによって、加工しやすいガラス基板などへの適用が可能となる。また、金属酸化物物層8604は、波長632.8nmで測定したときの屈折率が2.6程度で光学的に透明であるため、透明な基板を用いることで、本実施の形態における三端子素子のディスプレイへの応用が可能となる。また、金属酸化物物層8604を、10~200nmの間で干渉色を発する厚さに形成することで、着色した状態の視覚効果が得られる。
- [0469] なお、金属酸化物物層は、膜厚が厚くなるほど電流が流れ難くなり抵抗が大きくなる。抵抗値の変化を利用して三端子素子を実現する場合、低抵抗状態と高抵抗状態の各々の抵抗値が問題となる。例えば、金属酸化物物層の膜厚が厚くなると、低抵抗状態の抵抗値が大きくなり、S/N比がとり難くなり、ON、OFFの各状態を判断し難くなる。一方、金属酸化物物層の膜厚が薄くなり、リーク電流が支配的になると、ON、OFFの各状態の保持し難くなると共に、高抵抗状態の抵抗値が小さくなり、S/N比がとり難くなる。
- [0470] 従って、金属酸化物物層は、適宜最適な厚さとした方がよい。例えば、リーク電流の問題を考慮すれば、金属酸化物物層は、最低10nmの膜厚があればよい。また、低抵抗状態における抵抗値を考慮すれば、金属酸化物物層は300nmより薄くした方がよい。発明者らの実験の結果、金属酸化物物層の厚さが30~200nmであれば、三端子素子の動作が確認されている。
- [0471] 上述では、1つの金属酸化物素子を例にして説明したが、以降に説明するように、複数の三端子素子をクロスポイント型に配列させて集積させるようにしてもよい。例えば、図93Aの断面図及び図93Bの平面図に示す例では、基板9301の上に絶縁層9302を介してゲート電極となるワート線9303が配置され、これらの上に、所定の間隔で配列された島状の金属酸化物物層9304が配置され、各金属酸化物物層9304の上には、複数のソース電極9305、ドレイン電極9306が配列されている。また、各金属酸化物物層9304の上において、ワート線9303と垂直な方向に配列されているソース電極9305に共通してプレート線9315が接続され、配列されているドレイン電極9306に共通してビット線9316が接続されている。このように、本実施の形態における三

端子素子は、高集積化が可能である。また、図93A及び図93Bでは、各プレートもしくはビット線間の干渉を軽減するため、金属酸化物物層9304を各々離間させて配置しているが、これに限るものではなく、金属酸化物物層が一体に形成されていてもよい。

[0472] また、図86A及び図86Bに示す三端子素子によれば、多値の動作も可能である。例えば、ゲート電極8603に直流のゲート電圧を印加したときの金属酸化物物層8604における電流－電圧特性は、図94に示すように、印加するゲート電圧を変化させると、異なる低抵抗状態に変化する。図94では、 $-0.5V$ まで印加した後の低抵抗状態と、 $-1.0V$ まで印加した後の低抵抗状態と、 $-1.5V$ まで印加した後の低抵抗状態との、図中に示す読み出し電圧における電流値が異なる。これらの状態は、ソース小レイン間に読み出し電圧を印加し、ソース小レイン間に流れる電流を観測することにより読み出すことができる。一定の読み出し電圧により得られたソース小レイン間電流に対応し、「0」、「1」、「2」の3つの状態(3値)の動作が実現できる。

[0473] また、図86A及び図86Bに示す素子によれば、パルス電圧の値の違いにより、多値の状態を実現することが可能である。図95に示すように、所定のパルス幅の所定のパルス電圧を所定回数印加する毎に、三角で示す時点で $0.2V$ の読み出し電圧でソース小レイン間の電流値を読み出すと、図96に示すように、「0」、「1」、「2」の3つの状態(3値)が得られる。この例では、「2」の状態によりリセットがされていることになる。

[0474] 次に、本発明の他の実施の形態について図を参照して説明する。図97A及び図97Bは、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。図97A及び図97Bに示す三端子素子は、例えば、単結晶シリコンからなる基板9701の上に絶縁層9702、ゲート電極9703、BiとTiとOとから構成された膜厚 $30\sim200nm$ 程度の金属酸化物物層9704、ソース電極9706、ドレイン電極9707を備え、加えて、ゲート電極9703と金属酸化物物層9704との間に絶縁層9705を備えるようにしたものである。このような構成とした三端子素子において、例えば、図97Aに示すように電位が印加されている状態を書き込み状態とし、図97Bに示すように、電位が印加されている状態を読み出し状態とする。

[0475] 基板9701は、半導体、絶縁体、金属などの導電性材料のいずれから構成されて

いてもよい。基板97 01が絶縁材料から構成されている場合、絶縁層97 02はなくてもよい。また、基板97 01が導電性材料から構成されている場合、絶縁層97 02、ゲート電極97 03はなくてもよく、この場合、導電性材料から構成された基板97 01が、ゲート電極となる。ゲート電極97 03、ソース電極97 06、及びドレイン電極97 07は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)、チタン(Ti)などの貴金属を含む遷移金属の金属から構成されていればよい。また、上記の電極は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、酸化亜鉛(ZnO)、鉛酸スズ(ITO)、フッ化ランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

[0476] 絶縁層97 05は、二酸化シリコン、シリコン酸窒化膜、アルミナ、又は、リチウム、ベリリウム、マグネシウム、カルシウムなどの軽金属から構成された LiNbO_3 などの酸化物、 LiCaAlF_6 、 LiSrAlF_6 、 LiYF_4 、 LiLuF_4 、 KMgF_3 などのフッ化物から構成されていればよい。また、絶縁層97 05は、スカンジウム、チタン、ストロンチウム、不トリウム、ジルコニウム、ハフニウム、タンタル、及び、ランタン系列を含む遷移金属の酸化物及び窒化物、又は、以上の元素を含むシリケート(金属、シリコン、酸素の三元化合物)、及び、これらの元素を含むアルミネート(金属、アルミニウム、酸素の三元化合物)、さらに、以上の元素を2以上含む酸化物及び窒化物などから構成されていればよい。

[0477] 前述した強誘電体層1 04などと同様に、金属酸化物層97 04も、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む層からなる基部層の中に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶及びビスマスを過剰に含む部分からなる粒径3 ~15nm程度の複数の微結晶粒及び微粒子が分散されて構成されたものである。これは、透過型電子顕微鏡の観察により確認されている。基部層は、ビスマスの組成がほぼ0となる TiO_2 の場合もある。言い換えると、基部層は、2つの金属から構成されている金属酸化物において、いずれかの金属が化学量論的な組成に比較して少ない状態の層である。

[0478] 図97A及び図97Bに示した三端子素子の構成の具体例について説明すると、例えば、ゲート電極97 03は、膜厚10nmのルテニウム膜であり、金属酸化物層97 04は、上述した構成の金属酸化物からなる膜厚40nmの層であり、絶縁層97 05は、五酸

化チタンと二酸化シリコンとからなる膜厚5nmの多層膜であり、ソース電極97 06及びドレイン電極97 07は、金から構成されたものである。また、ソース電極97 06及びドレイン電極97 07は、金属酸化物層97 04の側から、チタン層、窒化チタン層、金層の順に積層された多層構造であってもよい。金属酸化物層97 04との接触面をチタン層とすることで、密着性の向上が図れる。また、ソース電極97 06とドレイン電極97 07との間隔は、例えば、1mmである。なお、前述したように、基板97 01及び絶縁層97 02の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。

[0479] 以上で説明した、絶縁層97 02、ゲート電極97 03、絶縁層97 05、金属酸化物層97 04、ソース電極97 06及びドレイン電極97 07は、具体的な製法は後述するが、図5に示すようなECRスパッタ装置により、金属ターゲットや焼結ターゲットを、アルゴンガス、酸素ガス、窒素ガスからなるECRプラズマ内でスパッタリングして形成すればよい。

[0480] 次に、図97A及び図97Bにした三端子素子の製造方法例について、図98を用いて説明する。まず、図98Aに示すように、主表面が面方位(100)で抵抗率が $1 \sim 2 \times 10^{-3} \Omega \cdot \text{cm}$ のp形のシリコンからなる基板97 01を用意し、基板97 01の表面を硫酸と過酸化水素水の混合液と純水と希フッ酸水素水とにより洗浄し、このあと乾燥させる。ついで、洗浄・乾燥した基板97 01の上に、絶縁層97 02が形成された状態とする。絶縁層97 02の形成では、上述したECRスパッタ装置を用い、ターゲットとして純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスを用いたECRスパッタ法により、シリコンからなる基板97 01の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層97 02を形成する。

[0481] 例えば、 10^{-5} Pa台の内部圧力に設定されているプラズマ生成室内に流量20ccm程度でArガスを導入し、内部圧力を $10^{-3} \sim 10^{-2}$ Pa程度にし、ここに、0.0875 Tの磁場と2.45GHzのマイクロ波(500W程度)とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内にArのプラズマが生成された状態とする。なお、sccmは流量の単位あり、0°C・1気圧の流体が1分間に1cm³流れることを示す。

[0482] 上述したことにより生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生

成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたシリコンターゲットに、高周波電源より13.56MHzの高周波電力(例えば500W)を供給する。このことにより、シリコンターゲットにArイオンが衝突してスパッタリング現象が起これ、Si粒子が飛び出す。シリコンターゲットより飛び出したSi粒子は、プラズマ生成室より放出されたプラズマ、及び導入されてプラズマにより活性化された酸素ガスと共にシリコンからなる基板9701の表面に到達し、活性化された酸素により酸化されたシリコンとなる。以上のことにより、基板9701上に二酸化シリコンからなる例えば100nm程度の膜厚の絶縁層9702が形成された状態とすることができる(図98A)。

[0483] なお、絶縁層9702は、この後に形成する各電極に電圧を印加した時に、基板9701に電圧が洩れて、所望の電気的特性に影響することないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸法により酸化することで形成した酸化シリコン膜を絶縁層9702として用いるようにしてもよい。絶縁層9702は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層9702の膜厚は、100nmに限らず、これより薄くてもよく厚くてもよい。絶縁層9702は、上述したECRスパッタによる膜の形成では、基板9701に対して加熱はしていないが、基板9701を加熱しながら膜の形成を行ってもよい。

[0484] 以上のようにして絶縁層9702を形成した後、今度は、ターゲットとして純ルテニウム(Ru)を用いた同様のECRスパッタ法により、絶縁層9702の上にルテニウム膜を形成することで、図98Bに示すように、ゲート電極9703が形成された状態とする。Ru膜の形成について詳述すると、Ruからなるターゲットを用いたECRスパッタ装置において、例えば、まず、絶縁層を形成したシリコン基板を400℃に加熱し、また、プラズマ生成室内に、例えば流量7sccmで希ガスであるArガスを導入し、加えて、例えば流量5sccmでXeガスを導入し、プラズマ生成室の内部を、例えば $1.0^{-2} \sim 1.0^{-3}$ Pa台の圧力に設定する。

[0485] ついで、プラズマ生成室内に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室内に導入し、プラズマ生成室にArとXeのECRプラズマが生成した状態とする。生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ

生成室の出口に配置されたルテニウムターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、スパッタリング現象が起き、ルテニウムターゲットよりRu粒子が飛び出す。ルテニウムターゲットより飛び出したRu粒子は、基板9701の絶縁層9702表面に到達して堆積する。

[0486] 以上のことにより、絶縁層9702の上に、例えば10nm程度の膜厚のゲート電極9703が形成された状態が得られる(図98B)。ゲート電極9703は、この役に形成するソース電極9706及びドレイン電極9707との間に電圧を印加した時に、金属酸化物層9704に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外からゲート電極9703を構成してもよく、例えば、白金からゲート電極9703を構成してもよい。ただし、二酸化シリコンの上に白金膜を形成すると剥離しやすいことが知られているが、これを防ぐためには、チタン層や窒化チタン層もしくはルテニウム層などを介して白金層を形成する積層構造とすればよい。また、ゲート電極9703の膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。

[0487] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板9701を400℃に加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。

[0488] 以上のようにしてゲート電極9703を形成した後、基板9701を装置内より大気中に搬出し、ついで、ターゲットとして純タンタル(Ta)を用いた図5同様のECRスパッタ装置の基板ホルダに、基板9701を固定する。引き続いて、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図98Cに示すように、ゲート電極9703の上に、表面を覆う程度に、絶縁層9705が形成された状態とする。以下に説明するように、Ta-O分子によるメタルモート膜を形成し、絶縁層9705とする。

[0489] Ta-O分子によるメタルモート膜の形成について詳述すると、タンタルからなるターゲットを用いた図5に示すECRスパッタ装置において、まず、プラズマ生成室内に、不活性ガス導入部より、例えば流量25sccmで希ガスであるArガスを導入し、プラズマ生成室の内部を、例えば 1.0^{-3} Pa台の圧力に設定する。また、プラズマ生成室には、磁気コイルにコイル電流を例えば28Aを供給することで電子サイクロトロン共鳴条

件の磁場を与える。

- [0490] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波（例えば500W）を供給し、これを導波管、石英窓、真空導波管を介してプラズマ生成室内に導入し、このマイクロ波の導入により、プラズマ生成室にArのプラズマが生成した状態とする。生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたターゲットに、高周波電極供給部より高周波電力（例えば500W）を供給する。
- [0491] このことにより、ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Ta粒子がターゲットより飛び出す。ターゲットより飛び出したTa粒子は、プラズマ生成室より放出されたプラズマ、及び反応性ガス導入部より導入されてプラズマにより活性化された酸素ガスと共に基板9701のゲート電極9703表面に到達し、活性化された酸素により酸化され五酸化タンタルとなる。
- [0492] 以上のことにより、まず、ゲート電極9703の上に五酸化タンタル膜を形成する。続いて、図98Aを用いて説明した二酸化シリコンの堆積と同様に、純シリコンからなるターゲットを用いたECRスパッタ法により、上記五酸化タンタル膜の上に二酸化シリコン膜が形成された状態とする。上述した五酸化タンタル膜と二酸化シリコン膜の形成工程を繰り返し、五酸化タンタル膜と二酸化シリコン膜との多層膜を例えば、5nm程度形成することで、絶縁層9705が得られる（図98C）。
- [0493] なお、五酸化タンタル膜と二酸化シリコン膜からなる絶縁層9705は、金属酸化物層9704に電圧を印加した時に、強誘電体膜に印加される電圧を制御するために用いる。従って、金属酸化物層9704に印加される電圧を制御することができれば、五酸化タンタル膜と二酸化シリコン膜の多層構造以外から絶縁層9705を構成してもよく、単層から構成してもよい。また、膜厚も、5nmに限るものではない。なお、上述したECRスパッタ法では、基板9701に対して加熱はしていないが、加熱しても良い。
- [0494] 以上のように絶縁層9705を形成した後、BiとTiの割合が4:3の酸化物焼結体（Bi—Ti—O）からなるターゲットを用い、プラズマガスとしてアルゴン（Ar）と酸素ガスとを用いたECRスパッタ法により、図98Dに示すように、絶縁層9705の上に、表面を覆う程度に、金属酸化物層9704が形成された状態とする。

- [0495] 金属酸化物層9704の形成について詳述すると、まず、300℃～700℃の範囲に基板9701が加熱されている状態とする。また、プラズマ生成室内に、例えば流量20 sccmで希ガスであるArガスを導入し、例えば 1.0^3Pa ～ 1.0^2Pa 台の圧力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波（例えば500W）をプラズマ生成室に導入し、このマイクロ波の導入により、プラズマ生成室にECRプラズマが生成された状態とする。
- [0496] 生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力（例えば500W）を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。
- [0497] 焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化された酸素ガスと共に、加熱されている絶縁層9705の表面に到達し、活性化された酸素により酸化する。なお、反応ガスとしての酸素(O_2)ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度の金属酸化物層9704が形成された状態が得られる(図98D)。
- [0498] なお、形成した金属酸化物層9704に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層9702の形成にも適用可能である。また、基板温度を300℃以下のより低い温度条件として金属酸化物層9704を形成した後に、酸素雰囲気中などの適当なガス雰囲気中で、形成した金属酸化物層9704をアニール(加熱処理)し、膜質の特性を大きく改善するようにしてもよい。
- [0499] 次に、図98Eに示すように、金属酸化物層9704の上に、所定の面積のAuからなるソース電極9706及びドレイン電極9707が形成された状態とすることで、図97A及び図97Bに示す三端子素子が得られる。ソース電極9706及びドレイン電極9707は

、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、ソース電極97 06及びドレイン電極97 07は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、Ti-Pt-Auなどの剥離し難い構造とし、この上でフォトリソグラフィーやリフトオフ処理などのパターニング処理をして所定の面積を持つ電極として形成する必要がある。

[0000] 次に、図97A及び図97Bに示す三端子素子の特性について説明する。この特性調査は、ゲート電極97 03とドレイン電極97 07(ソース電極97 06)との間に電圧を印加することで行う。ゲート電極97 03とドレイン電極97 07との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図33に示す結果が得られた。前述したように、図33では、縦軸が、電流値を面積で除した電流密度として示している。以下、図33を説明し、あわせて本発明のメモリ動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。

[0001] まず、ゲート電極97 03に負の電圧が印加された状態とすると、図33中の(1)に示すように、 -0.8V までは流れる電流は非常に少ない。しかし、(2)に示すように、 -0.8V を超えると急に負の電流が流れる。実際には、 $-15\mu\text{A}$ を超える電流も流れているが、測定器を保護するためにこれ以上電流を流さないようにしているので、観測されていない。ここで、(1)に示す 0V から -0.8V の領域では、(2)に示すような電流が大きく流れないようにすると、高抵抗の状態が保持(維持)される。

[0002] 続いて、再びゲート電極97 03に負の電圧が印加された状態とすると、(3)に示すように、 -0.5V 程度で $-10\mu\text{A}$ 以上の負の電流が流れる軌跡を示す。さらに続いて、ゲート電極97 03に負の電圧が印加された状態とすると、やはり(3)に示すように -0.5V 程度で $-10\mu\text{A}$ 以上の電流が流れる。しかし、今度は、ゲート電極97 03に正の電圧が印加された状態とすると、(4)に示すように、 $+0.2\text{V}$ 程度まで正の電流が流れ、最大 $3\mu\text{A}$ になる。ここで、電圧の絶対値を小さくしていくと、(4)に示す軌跡を通る。

- [05 03] 再び、0.2V迄の正の電圧を印加すると、(4)に示すような軌跡を通る。この後、(5)に示すように、流れる電流値が減少して正の電流が流れなくなる。続いて、ゲート電極97 03に正の電圧が印加された状態とすると(6)に示すように、ほとんど電流が流れない軌跡を示すようになる。この後、電圧の絶対値を小さくしていても、(6)に示すようにほとんど電流が流れない。さらに、続いてゲート電極97 03に負の電圧が印加された状態とすると、(1)に示すように0〜0.8V程度まで、ほとんど電流が流れない。従って、(2)のように急激に電流が流れないようにゲート電極97 03に−0.8V以上の電圧が印加されなければ、(1)のような電流が流れない高抵抗の状態を維持することになる。(1)に示す状態を「負の高抵抗モード」と呼ぶことにする。
- [05 04] 例えば、(2)に示すように−0.8V以上の電圧がゲート電極97 03に印加され、急激な電流が流れる状態とすると、(3)のような電流が流れやすくなる低抵抗の状態になる。この状態も、ゲート電極97 03に負の電圧が印加されている間は維持される。(3)に示す状態を「負の低抵抗モード」と呼ぶことにする。
- [05 05] しかし、ゲート電極97 03に正の電圧が印加されると、(4)に示すように、正の0〜0.2Vの電圧領域で、電流が流れる低抵抗の状態になる。ここでも、0から0.2Vの間で正の電圧がゲート電極97 03に印加されている間、この状態が維持されるので、(4)に示す状態を「正の低抵抗モード」と呼ぶことにする。
- [05 06] さらに、0.2V以上の正の電圧がゲート電極97 03に印加されると、(5)に示すように電流が流れなくなり、高抵抗な状態に移行する。この状態になると、(6)に示すように、正の0〜0.2Vの電圧領域でゲート電極97 03に電圧が印加されている間、電流値が高抵抗の状態が維持される。この(6)に示される状態を、「正の高抵抗モード」と呼ぶことにする。
- [05 07] 以上より、金属酸化物層97 04を用いた素子では、「正の高抵抗モード」、「正の低抵抗モード」、「負の高抵抗モード」、「負の低抵抗モード」の見かけ上4つのモードが安定して存在することになる。詳細に調べると、「正の高抵抗モード」と「負の高抵抗モード」は、同じ高抵抗の状態を示す「高抵抗モード」であり、「正の低抵抗モード」と「負の低抵抗モード」は、同じ低抵抗の状態を示す「低抵抗モード」であり、2つのモードが存在していることが判明した。つまり、「高抵抗モード」の状態にあるとき、−0.8

Vから+0.8Vの電圧領域で高抵抗モードが維持される。−0.8V以上の電圧を印加することで遷移した低抵抗モードの状態にあるときは、−0.5Vから+0.2Vの電圧領域で低抵抗モードが維持される。これらの2つの高抵抗モードと低抵抗モードとが切り替わることになる。これらは、負の高抵抗モード及び負の低抵抗モードの負の抵抗モードについても、同様である。

[0508] また、各負のモードの実際の電流値は、−0.5V印加時に、負の高抵抗モードで -5×10^{-8} Aであり、負の低抵抗モードで -1×10^{-8} Aであることから、各々の比は、200倍にも達する。このことは、容易なモードの識別を可能にするものである。発明者らは、印加する電圧の向きと強さにより、金属酸化物層9704の抵抗値が劇的に変化することで、上述した現象が発現するものと推定している。

[0509] また、金属酸化物層9704とゲート電極9703との間に備えた絶縁層9705により、絶縁層9705の持つバンド構造から、キャリアの制御が可能である。具体的には、例えば、五酸化タンタルは、バンドギャップは4.5eV程度であるが、フェルミレベルからのエネルギー差を見た場合、伝導帯には1.2eV程度、価電子帯には2.3eVと価電子帯側にバリアが高いことが知られている。従って、価電子帯のホール（正孔）に対してはバリア性が高いが、伝導帯のエレクトロン（電子）に対してはバリア性が低いと言うことになる。詳しくは、「ウィルクらのジャーナル・オブ・アプライドフィジクス、第87号、484頁、2000年、(Wilk et. al., J.Appl.Phys., 87, 484(2000).」を参考にされたい。

[0510] 上述した特性から、例えば五酸化タンタル膜を、電極と金属酸化物層との間の絶縁層に用いた場合、電子は流れやすく、正孔は流れにくい現象が期待できる。実際に、図33に示すように、ドレイン電極9707からゲート電極9703に正の電圧を印加したときと、負の電圧を印加したときでは、流れる電流の値が大きく異なっている。このことは、金属酸化物層9704の状態の判別を行う場合に、信号ノイズ比(S/N比)を向上させ、状態の判別を容易にする効果が非常に大きい。これは、絶縁層9705を用いた効果である。

[0511] 上述した図33に示す低抵抗モードと高抵抗モードのモードをメモリ動作として応用することで、図97A及び図97Bに示す素子が、不揮発性で非破壊の三端子素子として使用できることを見いだした。具体的には、まず、ソース小レイン間の電流が

流れに<<なるオフ状態は、図33の(4)又は(5)に示すように、ゲート電極97 03に正の電圧を印加してドレイン電極97 07に負の電圧が印加された状態とし、低抵抗モードから高抵抗モードにモード変更することにより行えばよい。

[0512] また、ソース小レイン間の電流が流れやすくなるオン状態への移行は、図33の(2)に示すように、ゲート電極97 03に負の電圧を印加してドレイン電極97 07に正の電圧が1.1V以上印加されて電流が急激に流れるようにすることで行えばよい。このことで、高抵抗モードから低抵抗モードにモード変換し、オン状態に移移する。これらのように、ゲート電極97 03(ドレイン電極97 07)への電圧印加により、高抵抗モードか低抵抗モードにすることにより、オフ状態とオン状態とを切り替えることが可能である。

[0513] 一方、以上のようにして制御されたソース小レイン間のオン/オフの状態は、ソース小レイン間に、0~1.0Vの適当な電圧を印加したときの電流値を読み取ることで容易に認識することができる。例えば、図97A及び図97Bに示す三端子素子のモード状態が、「オフ」言い換えると「高抵抗モード」である場合、図33の(1)に示すように0~1.0Vの適当な電圧印加時に電流が流れ難いことにより判断できる。

[0514] また、図97A及び図97Bに示す素子のモード状態が、「オン」言い換えると「低抵抗モード」である場合、図33の(2)に示すように、0~0.8Vの適当な電圧印加時に電流が、ソース小レイン間に急激に流れることにより判断できる。「正の高抵抗モード」と「正の低抵抗モード」、つまり、「オフ」と「オン」の状態の電流値は、5000倍以上もあることから、「オフ」と「オン」の判断が、容易に可能である。同様に、負の電圧領域においても、0~-0.2Vの電圧範囲で「オン」と「オフ」の判断が可能である。

[0515] 上述した三端子素子のオンオフの状態は、図97A及び図97Bに示す素子が「高抵抗モード」か「低抵抗モード」かを調べるだけで容易に識別できる。言い換えれば、図97A及び図97Bに示す三端子素子が、上記2つのモードを保持できている間は、データが保持されている状態である。さらに、どちらかのモードかを調べるために、電極に電圧を印加しても、保持しているモードは変化することなくデータが破壊されてしまうことはない。従って、図97A及び図97Bに示す三端子素子素子によれば、非破壊の動作が可能である。図97A及び図97Bに示す三端子素子は、金属酸化物層97 0

4が、ゲート電極97 03とドレイン電極97 07(もしくはソース電極97 06)との間に印加された電圧により抵抗値が変化することにより、ソース小レイン間のオンオフを制御する三端子素子素子として機能するものである。なお、本素子は、電流を制御する素子としても用いることができる。

- [0516] なお、ソース電極97 06がオープンとされた状態でも、ゲート電圧の印加により、オン状態とオフ状態とを制御することが可能である。ただし、ソース電極97 06がオープンとされた状態では、ゲート電圧を印加してオフ状態としても、読み出し電圧を大きくすると、ある程度ソース小レイン間に電流が流れるようになる。ソース電極97 06がオープンとされた状態でゲート電圧を印加する場合、印加された電圧はドレイン電極97 07の下部の領域により選択的に作用するため、上述したように、高い読み出し電圧では、ある程度ソース小レイン電流が流れるようになるものと考えられる。従って、ソース小レイン電流は、ソース電極97 06ーソース電極97 06の下領域の金属酸化物層97 04ーゲート電極97 03ードレイン電極97 07の下領域の金属酸化物層97 04ードレイン電極97 07の経路を通り流れるものと考えられる。
- [0517] 図97A及び図97Bに示す三端子素子を動作させるための電圧は、正の低抵抗モードにするためのゲート電圧印加時に最大になるが、図33に示すように、1.1V程度であり、非常に消費電力が小さい。消費電力が小さいと言うことは、デバイスにとって非常に有利になり、例えば、移動体通信機器、デジタル汎用機器、デジタル撮像機器を始め、ノートタイプのパーソナルコンピュータ、パーソナル・デジタル・アプライアンス(PDA)のみならず、全ての電子計算機、パーソナルコンピュータ、ワークステーション、オフィスコンピュータ、大型計算機や、通信ユニット、複合機などの三端子素子を用いている機器の消費電力を下げる事が可能となる。
- [0518] また、図97A及び図97Bに示す三端子素子におけるオンオフいずれかの状態が保持される時間について、図34に示す。ドレイン電極97 07からゲート電極97 03にかけて負の電圧が印加されて図33に示す負の高抵抗状態、つまり高抵抗モードにされた後に、ドレイン電極97 07からゲート電極97 03にかけて1.1V以上の電圧を印加することで、正の低抵抗状態、(低抵抗モード)、つまり、オン状態とする。この後、一定時間ごとにドレイン電極97 07からゲート電極97 03にかけて+0.5Vが印

加される状態として、電圧が印加された後、ソース小レイン間に観測される電流値を観測する。この観察結果が、図34である。

- [0519] 観測された電流は、約10分が最大となり、この後、緩やかに1000分まで小さくなっている。しかし、この時の電流値は、最大値の86%であり、データの判別には問題ない値である。また、図34に示す10年に相当する1000000分に外挿される線より、10年後の電流値は、最大値の66% (3分の2) 程度に相当し、データの判別は可能であることが予想される。以上に示したことにより、図97A及び図97Bに示す三端子素子では、オンもしくはオフのいずれかの状態が、10年保持することが可能である。
- [0520] ところで、上述した本発明の例では、シリコンからなる基板上の絶縁層、絶縁層上のゲート電極の層、ゲート電極上の金属酸化物層の各々をECRスパッタ法で形成するようにした。しかしながら、これら各層の形成方法は、ECRスパッタ法に限定するものではない。例えば、シリコン基板の上に形成する絶縁層は、熱酸化物法や化学気相法(CVD法)、また、従来のスパッタ法などで形成しても良い。
- [0521] また、ゲート電極の層は、EB蒸着法、CVD法、MBE法、IBD法などの他の成膜方法で形成しても良い。また、金属酸化物層も、上記で説明したMOD法や従来よりあるスパッタ法、PLD法、MOCVD法などで形成することができる。ただし、ECRスパッタ法を用いることで、平坦で良好な絶縁膜、金属膜、金属酸化物膜が容易に得られる。
- [0522] また、上述した実施の形態では、各層を形成した後、一旦大気に取り出していたが、各々のECRスパッタを実現する処理室を、真空搬送室で連結させた装置を用いることで、大気に取り出すことなく、連続的な処理により各層を形成してもよい。これらのことにより、処理対象の基板を真空中で搬送できるようになり、水分付着などの外乱の影響を受け難くなり、膜質と界面の特性の向上につながる。
- [0523] 特許文献7に示されているように、各層を形成した後、形成した層の表面にECRプラズマを照射し、特性を改善するようにしてもよい。また、各層を形成した後に、水素雰囲気中などの適当なガス雰囲気中で、形成した層をアニール(加熱処理)し、各層の特性を大きく改善するようにしてもよい。

- [0524] 本発明の基本的な思想は、図97A及び図97Bに示すように、金属酸化物層に絶縁層を接して配置し、これらをゲート電極とソース・ドレイン電極で挟むようにしたところにある。このような構成とすることで、ゲート電極に所定の電圧(DC,パルス)を印加して金属酸化物層の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替え、結果として三端子素子としての動作が実現可能となる。
- [0525] 従って、例えば、図99に例示するように、絶縁層9702の上にソース電極9716及びドレイン電極9717が形成され、ソース電極9716及びドレイン電極9717が、金属酸化物層9704に覆われ、金属酸化物層9704の上に絶縁層9715を介してゲート電極9713が形成された状態としてもよい。また、図100A,図100Bに示すように、絶縁性基板9701aを用いるようにしてもよい。この場合、図97A及び図97Bにおける絶縁層9702はなくてもよい。また、導電性を有する基板を用い、この上に、図97A及び図97Bに示す絶縁層9705,金属酸化物層9704,ソース電極9706,ドレイン電極9707の構成を配置するようにしてもよい。この場合、基板がゲート電極を兼用することになる。導電性基板として熱伝導性の高い金属基板を用いれば、より高い冷却効果が得られ、素子の安定動作が期待できる。
- [0526] また、ガラスや石英などの絶縁性基板を用いるようにしてもよい。これらの構造とすることによって、加工しやすいガラス基板などへの適用が可能となる。また、金属酸化物層9704は、波長632.8nmで測定したときの屈折率が2.6程度で光学的に透明であるため、透明な基板を用いることで、本実施の形態における三端子素子のディスプレイへの応用が可能となる。また、金属酸化物層9704を、10~20nmの間で干渉色を発する厚さに形成することで、着色した状態の視覚効果が得られる。
- [0527] 次に、本発明の三端子素子の他の形態について説明する。上述では、1つの強誘電体素子を例にして説明したが、図93A及び図93Bを用いて説明したように、複数の三端子素子をクロスポイント型に配列させて集積させるようにしてもよい。
- [0528] ところで、金属酸化物層9704における抵抗値のバリエーションも、前述したように、電流により制御することも可能である。金属酸化物層9704に所定の電圧が印加された状態として一定の電流を流した直後に、ドレイン電極9707とゲート電極9703との間に所定の電圧(例えば+0.5V)を印加すると電流値が変化する。

- [0529] 例えば、上記電極間に、 $1 \times 10^9 \text{ }\Omega$ から $1 \times 10^6 \text{ }\Omega$ 未満の電流を流した後は電流値が小さく高抵抗状態である。これに対し、上記電極間に $1 \times 10^6 \text{ }\Omega$ 以上の電流を流した後は、流れる電流値が大きくなり(例えば 0.7 mA)低抵抗状態へと変化する。このことから明かなように、金属酸化物層9704における抵抗変化は、金属酸化物層9704に流れた電流によっても変化する、高抵抗状態と低抵抗状態との2つの抵抗値が存在する。従って、図97A及び図97Bに示す三端子素子は、電圧によりオンオフを制御することが可能であるとともに、電流によりオンオフを制御することも可能である。
- [0530] また、前述同様に、パルス電圧により、金属酸化物層9704の抵抗変化を制御できる。例えば、初期状態では金属酸化物層9704が高抵抗状態の図97A及び図97Bに示す素子に対し、図42に示したように、まず、ゲート電極9703(正電極側)とドレイン電極9707(負電極側)との間に、負のパルス電圧(例えば -4 V で $10 \text{ }\mu\text{s}$)を1回印加すると、低抵抗状態となる。この後に、上記電極間に、正のパルス電圧(例えば $+5 \text{ V}$ で $10 \text{ }\mu\text{s}$)を複数回(例えば4回)印加すると高抵抗状態となる。
- [0531] 上述した各パルス電圧の印加を繰り返し、各パルス電圧印加の後に測定した電流値は、図43に示したように変化する。図43に示すように、初期状態では高抵抗状態であるが、負のパルス電圧を印加した後は、低抵抗状態に移行する。ついで、この状態に、正のパルス電圧を複数回印加することで、高抵抗状態となり、正電圧パルス及び負電圧パルスを印加することで、金属酸化物層9704の抵抗値が変化する。従って、例えば、正電圧パルス及び負電圧パルスを印加することで、図97A及び図97Bの三端子素子も、「オン」の状態から「オフ」の状態へ変化させ、また、「オフ」の状態から「オン」の状態へ変化させることが可能である。
- [0532] 金属酸化物層9704の抵抗状態を変化させることができる電圧パルスの電圧と時間は、状況により変化させることができる。例えば、 $+5 \text{ V}$ で $10 \text{ }\mu\text{s}$ 、4回の電圧パルスを印加して高抵抗状態とした後、 -4 V で $1 \text{ }\mu\text{s}$ の短いパルスを10回印加することで、低抵抗状態へと変化させることができる。また、この状態に、 $+5 \text{ V}$ で $1 \text{ }\mu\text{s}$ の短いパルスを100回印加することで、高抵抗状態へと変化させることも可能である。さらに、この状態に、 -3 V と低い電圧として $100 \text{ }\mu\text{s}$ のパルスを100回印加することで、低抵抗状態へと変化させることも可能である。

- [0533] 次に、図97A及び図97Bに示す三端子素子を、パルス電圧の印加により制御する場合について説明する。例えば、図1 01のシーケンスに示すように、ゲート電極97 03に負のパルスと正のパルスとを交互に印加することで、ソース電極97 06とゲート電極97 03との間の抵抗モード及びドレイン電極97 07とゲート電極97 03との間の抵抗モードが変化する。これに対応し、ソース電極97 06とドレイン電極97 07との間に流れる電流のオン状態とオフ状態とを、交互に切り替えることができる。
- [0534] また、本実施の形態における金属酸化物層97 04を用いた図97A及び図97Bに示す三端子素子においても、ゲート電極97 03とドレイン電極97 07（ソース電極97 06）との間に直流電圧を印加したときの電流－電圧特性が、図46に示したように、正側の印加電圧を変化させることで異なる低抵抗状態に変化する。これら各々の状態に対応し、ソースドレイン間に流れる電流値に3つの状態（3値）が実現できる。この場合、例えば、読み出し電圧を0.5V程度とすることで、ソースドレイン間に流れる電流値に3値の状態を設定することが実現できる。なお、各状態に移させる前には、－2Vの電圧をゲート電極97 03に印加して高抵抗状態に戻している（リセット）。
- [0535] 次に、本発明の他の実施の形態について図を参照して説明する。図1 02A及び図1 02Bは、本発明の他の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。図1 02A及び図1 02Bに示す三端子素子は、例えば、単結晶シリコンからなる基板1 02 01の上に絶縁層1 02 02、ゲート電極1 02 03、B辻TiとOとから構成された膜厚30～200nm程度の金属酸化物層1 02 04、絶縁層1 02 05、ソース電極1 02 06、ドレイン電極1 02 07を備えるようにしたものである。このような構成とした三端子素子において、例えば、図1 02Aに示すように電位が印加されている状態を書き込み状態とし、図1 02Bに示すように、電位が印加されている状態を読み出し状態とする。
- [0536] 基板1 02 01は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板1 02 01が絶縁材料から構成されている場合、絶縁層1 02 02はなくてもよい。また、基板1 02 01が導電性材料から構成されている場合、絶縁層1 02 02、ゲート電極1 02 03はなくてもよく、この場合、導電性材料から構成された基板1 02 01が、ゲート電極となる。ゲート電極1 02 03、ソース電極1 02 06、及びドレイン電極1 02 07

2 07 は、例えば、白金 (Pt)、ルテニウム (Ru)、金 (Au)、銀 (Ag)、チタン (Ti) などの貴金属を含む遷移金属の金属から構成されていれよい。また、上記の電極は、窒化チタン (TiN)、窒化ハフニウム (HfN)、ルテニウム酸ストロンチウム (SrRuO_2)、酸化亜鉛 (ZnO)、鉛酸スズ (PbO)、フッ化ランタン (LaF_3) などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

[0537] 絶縁層 10205 は、二酸化シリコン、シリコン酸窒化物膜、アルミナ、又は、リチウム、ベリリウム、マグネシウム、カルシウムなどの軽金属から構成された LiNbO_3 などの酸化物、 LiCaAlF_6 、 LiSrAlF_6 、 LiYF_4 、 LiLuF_4 、 KMgF_3 などのフッ化物から構成されていれよい。また、絶縁層 10205 は、スカンジウム、チタン、ストロンチウム、ネオトリウム、ジルコニウム、ハフニウム、タンタル、及び、ランタン系列を含む遷移金属の酸化物及び窒化物、又は、以上の元素を含むシリケート(金属、シリコン、酸素の三元化合物)、及び、これらの元素を含むアルミネート(金属、アルミニウム、酸素の三元化合物)、さらに、以上の元素を2以上含む酸化物及び窒化物などから構成されていれよい。

[0538] 金属酸化物層 10204 は、前述した強誘電体層 104 などと同様、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む層からなる基部層の中に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶からなる粒径 3 ~ 15 nm 程度の複数の微結晶粒が分散されて構成されたものである。これは、透過型電子顕微鏡の観察により確認されている。基部層は、ピスマスの組成がほぼ 0 となる TiO_x の場合もある。言い換えると、基部層は、2 つの金属から構成されている金属酸化物において、いずれかの金属が化学量論的な組成に比較して少ない状態の層である。

[0539] 図 102A 及び図 102B に示した三端子素子の構成の具体例について説明すると、例えば、ゲート電極 10203 は、膜厚 10 nm のルテニウム膜であり、金属酸化物層 10204 は、上述した構成の金属酸化物からなる膜厚 40 nm の層であり、絶縁層 10205 は、五酸化タンタルと二酸化シリコンとからなる膜厚 5 nm の多層膜であり、ソース電極 10206 及びドレイン電極 10207 は、金から構成されたものである。また、ソース電極 10206 及びドレイン電極 10207 は、絶縁層 10205 の側から、チタン層、窒化チタン層、金層の順に積層された多層構造であってもよい。絶縁層 10205 との接触面をチタン

層とすることで、密着性の向上が図れる。また、ソース電極1 02 06とドレイン電極1 02 07との間隔は、例えば、1mmである。なお、前述したように、基板1 02 01及び絶縁層1 02 02の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。

[0540] 以上で説明した、絶縁層1 02 02、ゲート電極1 02 03、金属酸化物層1 02 04、絶縁層1 02 05、ソース電極1 02 06及びドレイン電極1 02 07は、具体的な製法は後述するが、図5に示すようなECRスパッタ装置により、金属ターゲットや焼結ターゲットを、アルゴンガス、酸素ガス、窒素ガスからなるECRプラズマ内でスパッタリングして形成すればよい。

[0541] 次に、図1 02A及び図1 02Bにした三端子素子の製造方法例について、図1 03を用いて説明する。まず、図1 03Aに示すように、主表面が面方位(1 00)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板1 02 01を用意し、基板1 02 01の表面を硫酸と過酸化水素水の混合液と純水と希フッ酸水素水とにより洗浄し、このあと乾燥させる。ついで、洗浄・乾燥した基板1 02 01の上に、絶縁層1 02 02が形成された状態とする。絶縁層1 02 02の形成では、上述したECRスパッタ装置を用い、ターゲットとして純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスを用いたECRスパッタ法により、シリコンからなる基板1 02 01の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層1 02 02を形成する。

[0542] 例えば、 10^{-5} Pa台の内部圧力に設定されているプラズマ生成室内に流量20ccm程度でArガスを導入し、内部圧力を $10^{-1} \sim 10^{-2}$ Pa程度にし、ここに、0.0875 Tの磁場と2.45GHzのマイクロ波(500W程度)とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内にArのプラズマが生成された状態とする。なお、sccmは流量の単位あり、 $1 \text{ sccm} \cdot 1 \text{ 気圧}$ の流体が1分間に 1 cm^3 流れることを示す。

[0543] 上述したことにより生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたシリコンターゲットに、高周波電源より13.56MHzの高周波電力(例えば500W)を供給する。このことにより、シリコンターゲットにArイオンが衝突してスパッタリング現象が起こり、Si粒子が飛び出す。シリコンターゲットより飛び出したSi粒子は、プラズマ生成

室より放出されたプラズマ、及び導入されてプラズマにより活性化された酸素ガスと共にシリコンからなる基板10201の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。以上のことにより、基板10201上に二酸化シリコンからなる例えば100nm程度の膜厚の絶縁層10202が形成された状態とすることができる(図103A)。

[0544] なお、絶縁層10202は、この後に形成する各電極に電圧を印加した時に、基板10201に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸法により酸化することで形成した酸化シリコン膜を絶縁層10202として用いるようにしてもよい。絶縁層10202は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層10202の膜厚は、100nmに限らず、これより薄くてもよく厚くてもよい。絶縁層10202は、上述したECRスパッタによる膜の形成では、基板10201に対して加熱はしていないが、基板10201を加熱しながら膜の形成を行ってもよい。

[0545] 以上のようにして絶縁層10202を形成した後、今度は、ターゲットとして純ルテニウム(Ru)を用いた同様のECRスパッタ法により、絶縁層10202の上にルテニウム膜を形成することで、図103Bに示すように、ゲート電極10203が形成された状態とする。Ru膜の形成について詳述すると、Ruからなるターゲットを用いたECRスパッタ装置において、例えば、まず、絶縁層を形成したシリコン基板を400℃に加熱し、また、プラズマ生成室内に、例えば流量7sccmで希ガスであるArガスを導入し、加えて、例えば流量5sccmでXeガスを導入し、プラズマ生成室の内部を、例えば $1.0^{-2} \sim 1.0^{-3}$ Pa台の圧力に設定する。

[0546] ついで、プラズマ生成室内に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室内に導入し、プラズマ生成室にArとXeのECRプラズマが生成した状態とする。生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置されたルテニウムターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、スパッタリング現象が起き、ルテニウムターゲットよりRu粒子が飛び出す。ルテニウムターゲットより飛び出したRu粒子は、基板1

02 01の絶縁層1 02 02表面に到達して堆積する。

- [0547] 以上のことにより、絶縁層1 02 02の上に、例えば10nm程度の膜厚のゲート電極1 02 03が形成された状態が得られる(図1 03B)。ゲート電極1 02 03は、この役に形成するソース電極1 02 06及びドレイン電極1 02 07との間に電圧を印加した時に、金属酸化物層1 02 04に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外からゲート電極1 02 03を構成してもよく、例えば、白金からゲート電極1 02 03を構成してもよい。ただし、二酸化シリコンの上に白金膜を形成すると剥離しやすいことが知られているが、これを防ぐためには、チタン層や窒化チタン層もしくはルテニウム層などを介して白金層を形成する積層構造とすればよい。また、ゲート電極1 02 03の膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。
- [0548] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板1 02 01を400°Cに加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。
- [0549] 以上のようにしてゲート電極1 02 03を形成した後、BiとTiの割合が4:3の酸化物焼結体(Bi-Ti-O)からなるターゲットを用い、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図1 03Cに示すように、ゲート電極1 02 03の上に、表面を覆う程度に、金属酸化物層1 02 04が形成された状態とする。
- [0550] 金属酸化物層1 02 04の形成について詳述すると、まず、300°C〜700°Cの範囲に基板1 02 01が加熱されている状態とする。また、プラズマ生成室内に、例えば流量20sccmで希ガスであるArガスを導入し、例えば $1\text{ }0^{-3}\text{Pa}$ 〜 $1\text{ }0^{-2}\text{Pa}$ 台の圧力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室に導入し、このマイクロ波の導入により、プラズマ生成室にECRプラズマが生成された状態とする。
- [0551] 生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。

- [0552] 焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化された酸素ガスと共に、加熱されているゲート電極10203の表面に到達し、活性化された酸素により酸化される。なお、反応ガスとしての酸素(O_2)ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度の金属酸化物物層10204が形成された状態が得られる(図103C)。
- [0553] なお、形成した金属酸化物物層10204に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層10202の形成にも適用可能である。また、基板温度を300℃以下のより低い温度条件として金属酸化物物層10204を形成した後に、酸素雰囲気中などの適当なガス雰囲気中で、形成した金属酸化物物層10204をアニール(加熱処理)し、膜質の特性を大きく改善するようにしてもよい。
- [0554] 以上のようにして金属酸化物物層10204を形成した後、基板10201を装置内より大気中に搬出し、ついで、ターゲットとして純タンタル(Ta)を用いた図5同様のECRスパッタ装置の基板ホルダに、基板10201を固定する。引き続いて、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図103Dに示すように、金属酸化物物層10204の上に、表面を覆う程度に、絶縁層10205が形成された状態とする。以下に説明するように、 $Ta-O$ 分子によるメタルモート膜を形成し、絶縁層10205とする。
- [0555] $Ta-O$ 分子によるメタルモート膜の形成について詳述すると、タンタルからなるターゲットを用いた図5に示すECRスパッタ装置において、まず、プラズマ生成室内に、不活性ガス導入部より、例えば流量25sccmで希ガスであるArガスを導入し、プラズマ生成室の内部を、例えば 1.0^{-3} Pa台の圧力に設定する。また、プラズマ生成室には、磁気コイルにコイル電流を例えば28Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。

- [0556] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波（例えば500W）を供給し、これを導波管、石英窓、真空導波管を介してプラズマ生成室内に導入し、このマイクロ波の導入により、プラズマ生成室にArのプラズマが生成した状態とする。生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたターゲットに、高周波電極供給部より高周波電力（例えば500W）を供給する。
- [0557] このことにより、ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Ta粒子がターゲットより飛び出す。ターゲットより飛び出したTa粒子は、プラズマ生成室より放出されたプラズマ、及び反応性ガス導入部より導入されてプラズマにより活性化された酸素ガスと共に基板10201の金属酸化物層10204表面に到達し、活性化された酸素により酸化され五酸化タンタルとなる。
- [0558] 以上のことにより、まず、金属酸化物層10204の上に五酸化タンタル膜を形成する。続いて、図103Aを用いて説明した二酸化シリコンの堆積と同様に、純シリコンからなるターゲットを用いたECRスパッタ法により、上記五酸化タンタル膜の上に二酸化シリコン膜が形成された状態とする。上述した五酸化タンタル膜と二酸化シリコン膜の形成工程を繰り返し、五酸化タンタル膜と二酸化シリコン膜との多層膜を例えば、5nm程度形成することで、絶縁層10205が得られる（図103D）。
- [0559] なお、五酸化タンタル膜と二酸化シリコン膜からなる絶縁層10205は、金属酸化物層10204に電圧を印加した時に、強誘電体膜に印加される電圧を制御するために用いる。従って、金属酸化物層10204に印加される電圧を制御することができれば、五酸化タンタル膜と二酸化シリコン膜の多層構造以外から絶縁層10205を構成してもよく、単層から構成してもよい。また、膜厚も、5nmに限るものではない。なお、上述したECRスパッタ法では、基板10201に対して加熱はしていないが、加熱しても良い。
- [0560] 次に、図103Eに示すように、絶縁層10205の上に、所定の面積のAuからなるソース電極10206及びドレイン電極10207が形成された状態とすることで、図102A及び図102Bに示す三端子素子が得られる。ソース電極10206及びドレイン電極10207は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成

できる。なお、ソース電極1 02 06及びドレイン電極1 02 07は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、Ti-Pt-Auなどの剥離し難い構造とし、この上でフォトリソグラフィーやリフトオフ処理などのパターニング処理をして所定の面積を持つ電極として形成する必要がある。

- [0561] 次に、金属酸化物層1 02 04を用いた素子の特性について説明する。この特性調査は、ゲート電極1 02 03とドレイン電極1 02 07との間に電圧を印加することで行う。ゲート電極1 02 03とドレイン電極1 02 07との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図49に示した結果が得られた。以下、図49を説明し、あわせて本発明の素子における動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。
- [0562] まず、ゲート電極1 02 03に正の電圧を印加すると、図49中の(1)に示すように、0～1.0Vでは流れる電流は非常に少ない。しかし、(2)に示すように、1.1Vを超えると急に正の電流が流れる。実際には、 $0.1\text{A}/\text{cm}^2$ を超える電流も流れているが、測定器を保護するためにこれ以上電流を流さないようにしているので、観測されていない。ここで、(1)に示す0～1.0Vの領域で、(2)に示すような電流が大きく流れないようにすると、高抵抗の状態が保持(維持)される。
- [0563] 続いて、再びゲート電極1 02 03に正の電圧を印加すると、(3)に示すように、0.8V程度で $0.1\text{A}/\text{cm}^2$ 以上の正の電流が流れる軌跡を示す。さらに続いて、ゲート電極1 02 03に正の電圧を印加すると、やはり(3)に示すように0.8V程度で $0.1\text{A}/\text{cm}^2$ 以上の電流が流れる。
- [0564] しかし、今度は、ゲート電極1 02 03に負の電圧を印加すると、(4)に示すように、-0.2V程度まで負の電流が流れ、最大 $-1.5 \times 10^{-2}\text{A}/\text{cm}^2$ になる。ここで、電圧の絶対値を小さくしていくと、(4)に示す軌跡を通る。
- [0565] 再び、-0.2V迄の負の電圧を印加すると、(4)に示すような軌跡を通る。この後、(5)に示すように、流れる電流値が減少して負の電流が流れなくなる。続いて、ゲート

電極1 02 03 に負の電圧を印加すると(6) に示すように、ほとんど電流が流れない軌跡を示すようになる。この後、電圧の絶対値を小さくしていても、(6) に示すようにほとんど電流が流れない。さらに、続いてゲート電極1 02 03 に正の電圧を印加すると、(1) に示すように0～1.0V程度まで、ほとんど電流値が流れない。

[0566] 従って、(2) のように急激に電流が流れないようにゲート電極1 02 03 に1.1V以上の電圧を印加しなければ、(1) のような電流が流れない高抵抗の状態を維持することになる。(1) に示す状態を「正の高抵抗モード」と呼ぶことにする。

[0567] 例えば、(2) に示すように1.1V以上の電圧を印加し、急激な電流が流れる状態とすると、(3) のような電流が流れやすくなる低抵抗の状態になる。この状態も、ゲート電極1 02 03 に正の電圧を印加している間は維持される。(3) に示す状態を「正の低抵抗モード」と呼ぶことにする。

[0568] しかし、ゲート電極1 02 03 に負の電圧を印加すると、(4) に示すように、負の0～-0.2Vの電圧領域で、初期に少量の電流が流れる低抵抗の状態になる。ここでも、0から-0.2Vの間で負の電圧を印加している間、この状態が維持されるので、(4) に示す状態を「負の低抵抗モード」と呼ぶことにする。

[0569] さらに、-0.2V以上の負の電圧を印加すると、(5) に示すように電流が流れなくなり、高抵抗な状態に移行する。この状態になると、(6) に示すように、負の0～-1.0Vの電圧領域で電圧を印加している間、電流値が高抵抗の状態が維持される。この(6) に示される状態を、「負の高抵抗モード」と呼ぶことにする。

[0570] 以上より、金属酸化物層1 02 04 には、正の高抵抗モード、正の低抵抗モード、負の高抵抗モード、負の低抵抗モードの見かけ上4つのモードが安定して存在することになる。詳細に調べると、正の高抵抗モードと負の高抵抗モードは、同じ高抵抗の状態を示す「高抵抗モード」であり、正の低抵抗モードと負の低抵抗モードは、同じ低抵抗の状態を示す「低抵抗モード」であり、2つのモードが存在していることが判明した。つまり、「高抵抗モード」の状態にあるとき、-1.5Vから+1.0Vの電圧領域で「高抵抗モード」が維持される。+1.0V以上の電圧を印加することで遷移した「低抵抗モード」の状態にあるときは、-0.2Vから+0.8Vの電圧領域で「低抵抗モード」が維持される。これらの2つの「高抵抗モード」と「低抵抗モード」とが

切り替わることになる。これらは、負の高抵抗モード及び負の低抵抗モードの負の抵抗モードについても、同様である。

[0571] また、各正のモードの実際の電流値は、0.5V印加時に、正の高抵抗モードで $1.0 \times 10^{-5} \text{ A/cm}^2$ であり、正の低抵抗モードで $5 \times 10^{-2} \text{ A/cm}^2$ であることから、各々の比は、5000倍にも達する。このことは、容易なモードの識別を可能にするものである。発明者らは、印加する電圧の向きと強さにより、金属酸化物層10204の抵抗値が劇的に変化することで、上述した現象が発現するものと推定している。

[0572] また、金属酸化物層10204とドレイン電極10207(ソース電極10206)の間に備えた絶縁層10205により、絶縁層10205の持つバント構造から、キャリアの制御が可能である。具体的には、例えば、五酸化タンタルは、バンドギャップは4.5eV程度であるが、フェルミレベルからのエネルギー差を見た場合、伝導帯には1.2eV程度、価電子帯には2.3eVと価電子帯側にバリアが高いことが知られている。従って、価電子帯のホール(正孔)に対してはバリア性が高いが、伝導帯のエレクトロン(電子)に対してはバリア性が低いということになる。詳しくは、『ウィルクらのジャーナル・オブ・アプライドフィジクス、第87号、484頁、2000年、(Wilk et. al. J Appl. Phys. 87, 484(2000).』を参考にされたい。

[0573] 上述した特性から、例えば五酸化タンタル膜を、電極と金属酸化物層10204との間の絶縁層に用いた場合、電子は流れやすく、正孔は流れにくい現象が期待できる。実際に、図49に示すように、ドレイン電極10207に正の電圧が印加されたときと、負の電圧が印加されたときでは、流れる電流の値が大きく異なっている。このことは、金属酸化物層10204の状態の判別を行う場合に、信号ノイズ比(S/N比)を向上させ、状態の判別を容易にする効果が非常に大きい。これは、絶縁層10205を用いた効果である。

[0574] 上述した図49に示す低抵抗モードと高抵抗モードのモードを応用することで、図102A及び図102Bに示す素子が、不揮発性で非破壊の読み出しが可能な三端子素子として使用できることを見いだした。具体的には、まず、ソース・ドレイン間の電流が流れにくくなるオフ状態は、図49の(4)又は(5)に示すように、ゲート電極10203に負の電圧を印加してドレイン電極10207に正の電圧が印加された状態とし、低

抵抗モードから高抵抗モードにモード変更することにより行えばよい。

- [0575] また、ソース小レイン間の電流が流れやすくなるオン状態は、図49の(2)に示すように、ゲート電極10203に正の電圧を印加してドレイン電極10207に負の電圧が -0.8V 以上印加されて電流が急激に流れるようにすることで行えばよい。このことで、高抵抗モードから低抵抗モードにモード変換し、オン状態に移移する。これらのように、ゲート電極10203(ドレイン電極10207)への電圧印加により、高抵抗モードか低抵抗モードにすることによって、オン状態とオフ状態とを切り替えることが可能である。
- [0576] 一方、以上のようにして制御されたソース小レイン間のオン/オフの状態は、ソース小レイン間に、 $-0.8 \sim +0.8\text{V}$ の適当な電圧を印加したときの電流値を読み取ることで容易に認識することができる。例えば、図102A及び図102Bに示す素子のモード状態が、「オフ」言い換えると高抵抗モードである場合、図49の(1)に示すように $-0.8 \sim +0.8\text{V}$ の適当な電圧印加時に電流が流れ難いことにより判断できる。
- [0577] また、図102A及び図102Bに示す素子のモード状態は、「オン」言い換えると低抵抗モードである場合、図49の(2)に示すように、 $-0.5 \sim +0.2\text{V}$ の適当な電圧印加時に電流が急激に流れることにより判断できる。負の高抵抗モードと負の低抵抗モード、つまり、「オフ」と「オン」の状態の電流値は、200倍以上もあることから、「オフ」と「オン」の判断が、容易に可能である。同様に、正の電圧領域においても、 $0 \sim +0.2\text{V}$ の電圧範囲で「オン」と「オフ」の判断が可能である。
- [0578] 上述したオンオフの状態は、図102A及び図102Bに示す素子が高抵抗モードか低抵抗モードかを調べるだけで容易に識別できる。どちらかのモードかを調べるために、電極に正の電圧を印加しても、保持しているモードは変化するのではない。従って、図102A及び図102Bに示す三端子素子によれば、非破壊の動作が可能である。図102A及び図102Bに示す素子は、金属酸化物層10204が、ゲート電極10203とドレイン電極10207(もしくはソース電極10206)との間に印加された電圧により抵抗値が変化することにより、ソース小レイン間のオンオフを制御する三端子素子として機能するものである。なお、本素子は、電流を制御する素子としても用いることができる。

- [0579] なお、ソース電極1 02 06がオープンとされた状態でも、ゲート電圧の印加により、オン状態とオフ状態とを制御することが可能である。ただし、ソース電極1 02 06がオープンとされた状態では、ゲート電圧を印加してオフ状態としても、読み出し電圧を大きくすると、ある程度ソース小レイン間に電流が流れるようになる。ソース電極1 02 06がオープンとされた状態でゲート電圧を印加する場合、印加された電圧はドレイン電極1 02 07の下部の領域により選択的に作用するため、上述したように、高い読み出し電圧では、ある程度ソース小レイン電流が流れるようになるものと考えられる。従って、ソース小レイン電流は、ソース電極1 02 06ーソース電極1 02 06の下領域の金属酸化物層1 02 04ーゲート電極1 02 03ードレイン電極1 02 07の下領域の金属酸化物層1 02 04ードレイン電極1 02 07の経路を通り流れるものと考えられる。
- [0580] 図1 02A及び図1 02Bに示す素子を動作させるための電圧は、負の低抵抗モードにする時に最大になるが、図49に示すように、 -0.8V 程度であり、非常に消費電力が小さい。消費電力が小さいと言うことは、デバイスにとって非常に有利になり、例えば、移動体通信機器、デジタル汎用機器、デジタル撮像機器を始め、ノートタイプのパーソナルコンピュータ、パーソナル・デジタル・アプライアンス(PDA)のみならず、全ての電子計算機、パーソナルコンピュータ、ワークステーション、オフィスコンピュータ、大型計算機や、通信ユニット、複合機などの三端子素子を用いている機器の消費電力を下げる事が可能となる。
- [0581] なお、図1 02A及び図1 02Bに示す三端子素子におけるオンオフいずれかの状態も、前述した各素子と同様に、オンもしくはオフのいずれかの状態が、10年保持することが可能である。
- [0582] ところで、上述した本発明の例では、シリコンからなる基板上の絶縁層、絶縁層上のゲート電極の層、ゲート電極の上の金属酸化物層の各々をECRスパッタ法で形成するようにした。しかしながら、これら各層の形成方法は、ECRスパッタ法に限定するものではない。例えば、シリコン基板の上に形成する絶縁層は、熱酸化法や化学気相法(CVD法)、また、従来のスパッタ法などで形成しても良い。
- [0583] また、ゲート電極の層は、EB蒸着法、CVD法、MBE法、IBD法などの他の成膜方法で形成しても良い。また、金属酸化物層も、上記で説明したMOD法や従来よりあ

るスパッタ法、PLD法、MOCVD法などで形成することができる。ただし、ECRスパッタ法を用いることで、平坦で良好な絶縁膜、金属膜、金属酸化物膜が容易に得られる。

[0584] また、上述した実施の形態では、各層を形成した後、一旦大気に取り出していたが、各々のECRスパッタを実現する処理室を、真空搬送室で連結させた装置を用いることで、大気に取り出すことなく、連続的な処理により各層を形成してもよい。これらにより、処理対象の基板を真空中で搬送できるようになり、水分付着などの外乱の影響を受け難くなり、膜質と界面の特性の向上につながる。

[0585] 特許文献7に示されているように、各層を形成した後、形成した層の表面にECRプラズマを照射し、特性を改善するようにしてもよい。また、各層を形成した後に、水素雰囲気中などの適当なガス雰囲気中で、形成した層をアニール（加熱処理）し、各層の特性を大きく改善するようにしてもよい。

[0586] 本発明の基本的な思想は、図102A及び図102Bに示すように、金属酸化物層に絶縁層を接して配置し、これらをゲート電極とソース・ドレイン電極で挟むようにしたところにある。このような構成とすることで、ゲート電極に所定の電圧（DC、パルス）を印加して金属酸化物層の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替え、結果として三端子素子としての動作が実現可能となる。

[0587] 従って、例えば、図104に例示するように、絶縁層10202の上にソース電極10216及びドレイン電極10217が形成され、ソース電極10216及びドレイン電極10217が、絶縁層10215を介して金属酸化物層10204に覆われ、金属酸化物層10204の上にゲート電極10213が形成された状態としてもよい。また、図105A、図105Bに示すように、絶縁性基板10201aを用いるようにしてもよい。この場合、図102A及び図102Bにおける絶縁層10202はなくてもよい。また、導電性を有する基板を用い、この上に、図102A及び図102Bに示す金属酸化物層10204、絶縁層10205、ソース電極10206、ドレイン電極10207の構成を配置するようにしてもよい。この場合、基板がゲート電極を兼用することになる。導電性基板として熱伝導性の高い金属基板を用いれば、より高い冷却効果が得られ、素子の安定動作が期待できる。

[0588] また、ガラスや石英などの絶縁性基板を用いるようにしてもよい。これらの構造とす

ることによって、加工しやすいガラス基板などへの適用が可能となる。また、金属酸化物層10204は、波長632.8nmで測定したときの屈折率が2.6程度で光学的に透明であるため、透明な基板を用いることで、本実施の形態における三端子素子のディスプレイへの応用が可能となる。また、金属酸化物層10204を、10~200nmの間で干渉色を発する厚さに形成することで、着色した状態の視覚効果が得られる。

[0589] なお上述では、1つの強誘電体素子を例にして説明したが、図93を用いて説明した場合と同様に、複数の三端子素子をクロスポイント型に配列させて集積させるようにしてもよい。また、図102A及び図102Bに示す三端子素子における金属酸化物層10204の抵抗値の変化は、前述した三端子素子と同様に、電流により制御することも可能である。また、パルス電圧により、金属酸化物層10204の抵抗変化を制御できる。また、図102A及び図102Bに示す三端子素子においても、ソース小ライン間に流れる電流値に3つの状態(3値)が実現できる。

[0590] 次に、本発明の他の実施の形態について図を参照して説明する。図106A及び図106Bは、本発明の実施の形態における他の三端子素子の構成例を概略的に示す模式的な断面図である。図106に示す三端子素子は、例えば、単結晶シリコンからなる基板10601の上に絶縁層10602、ゲート電極10603、BiとTiとOとから構成された膜厚30~200nm程度の金属酸化物層10604、ソース電極10607、ドレイン電極10608を備え、加えて、ゲート電極10603と金属酸化物層10604との間に絶縁層(第1絶縁層)10605を備え、ソース電極10607及びドレイン電極10608と金属酸化物層10604との間に絶縁層(第2絶縁層)10606を備えるようにしたものである。このような構成とした三端子素子において、例えば、図106Aに示すように電位が印加されている状態を書き込み状態とし、図106Bに示すように、電位が印加されている状態を読み出し状態とする。

[0591] 基板10601は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板10601が絶縁材料から構成されている場合、絶縁層10602はなくてもよい。また、基板10601が導電性材料から構成されている場合、絶縁層10602、ゲート電極10603はなくてもよく、この場合、導電性材料から構成された基板10601が、ゲート電極となる。ゲート電極10603、ソース電極10607、及びドレイン電極10608

608は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)、チタン(Ti)などの貴金属を含む遷移金属の金属から構成されていれよい。また、上記の電極は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、酸化亜鉛(ZnO)、鉛酸スズ(PbO)、フッ化ランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

[0592] 絶縁層10605、絶縁層10606は、二酸化シリコン、シリコン酸窒化物膜、アルミナ、又は、リチウム、ベリリウム、マグネシウム、カルシウムなどの軽金属から構成された LiNbO_3 などの酸化物、 LiCaAlF_6 、 LiSrAlF_6 、 LiYF_4 、 LiLuF_4 、 KMgF_3 などのフッ化物から構成されていれよい。また、絶縁層10605、絶縁層10606は、スカンジウム、チタン、ストロンチウム、ネオジム、ジルコニウム、ハフニウム、タンタル、及び、ランタン系列を含む遷移金属の酸化物及び窒化物、又は、以上の元素を含むシリケート(金属、シリコン、酸素の三元化合物)、及び、これらの元素を含むアルミネート(金属、アルミニウム、酸素の三元化合物)、さらに、以上の元素を2以上含む酸化物及び窒化物などから構成されていれよい。

[0593] なお、金属酸化物層10604は、前述した強誘電体層10604、強誘電体層310604、強誘電体層4705、強誘電体層6205、金属酸化物層8604、金属酸化物層9704、及び金属酸化物層10204と全く同様である。

[0594] 図106に示した三端子素子の構成の具体例について説明すると、例えば、ゲート電極10603は、膜厚10nmのルテニウム膜であり、金属酸化物層10604は、上述した構成の金属酸化物からなる膜厚40nmの層であり、絶縁層10605、10606は、五酸化タンタルと二酸化シリコンとからなる膜厚5nmの多層膜であり、ソース電極10607及びドレイン電極10608は、金から構成されたものである。また、ソース電極10607及びドレイン電極10608は、金属酸化物層10604の側から、チタン層、窒化チタン層、金層の順に積層された多層構造であってもよい。金属酸化物層10604との接触面をチタン層とすることで、密着性の向上が図れる。また、ソース電極10607とドレイン電極10608との間隔は、例えば、1mmである。なお、前述したように、基板10601及び絶縁層10602の構成は、これに限るものではなく、電気特性に影響を及ぼさなければ、他の材料も適当に選択できる。

- [0595] 以上で説明した、絶縁層10602,ゲート電極10603,絶縁層10605,金属酸化物層10604,絶縁層10606,ソース電極10607及びドレイン電極10608は、具体的な製法は後述するが、図5に示すようなECRスパッタ装置により、金属ターゲットや焼結ターゲットを、アルゴンガス,酸素ガス,窒素ガスからなるECRプラズマ内でスパッタリングして形成すればよい。
- [0596] 次に、図106にした三端子素子の製造方法例について、図10607を用いて説明する。まず、図10607Aに示すように、主表面が面方位(100)で抵抗率が $1\sim2\Omega\cdot\text{cm}$ のp形のシリコンからなる基板10601を用意し、基板10601の表面を硫酸と過酸化水素水の混合液と純水と希フッ酸水素水とにより洗浄し、このあと乾燥させる。ついで、洗浄・乾燥した基板10601の上に、絶縁層10602が形成された状態とする。絶縁層10602の形成では、上述したECRスパッタ装置を用い、ターゲットとして純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスを用いたECRスパッタ法により、シリコンからなる基板10601の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層10602を形成する。
- [0597] 例えば、 10^{-5}Pa 台の内部圧力に設定されているプラズマ生成室内に流量 20ccm 程度でArガスを導入し、内部圧力を $10^{-3}\sim10^{-2}\text{Pa}$ 程度にし、ここに、 0.0875T の磁場と 2.45GHz のマイクロ波(500W 程度)とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内にArのプラズマが生成された状態とする。なお、 ccm は流量の単位あり、 $1\text{C}\cdot\text{1気圧の流体が1分間に}1\text{cm}^3$ 流れることを示す。
- [0598] 上述したことにより生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたシリコンターゲットに、高周波電源より 13.56MHz の高周波電力(例えば 500W)を供給する。このことにより、シリコンターゲットにArイオンが衝突してスパッタリング現象が起こり、Si粒子が飛び出す。シリコンターゲットより飛び出したSi粒子は、プラズマ生成室より放出されたプラズマ、及び導入されてプラズマにより活性化された酸素ガスと共にシリコンからなる基板10601の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。以上のことにより、基板10601上に二酸化シリコンからなる例えば 100nm 程度の膜厚の絶縁層10602が形成された状態とすることができる(図107

Λ)。

[0599] なお、絶縁層10602は、この後に形成する各電極に電圧を印加した時に、基板10601に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸化法により酸化することで形成した酸化シリコン膜を絶縁層10602として用いるようにしてもよい。絶縁層10602は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層10602の膜厚は、100nmに限らず、これより薄くてもよく厚くてもよい。絶縁層10602は、上述したECRスパッタによる膜の形成では、基板10601に対して加熱はしていないが、基板10601を加熱しながら膜の形成を行ってもよい。

[0600] 以上のようにして絶縁層10602を形成した後、今度は、ターゲットとして純ルテニウム(Ru)を用いた同様のECRスパッタ法により、絶縁層10602の上にルテニウム膜を形成することで、図107Bに示すように、ゲート電極10603が形成された状態とする。Ru膜の形成について詳述すると、Ruからなるターゲットを用いたECRスパッタ装置において、例えば、まず、絶縁層を形成したシリコン基板を400℃に加熱し、また、プラズマ生成室内に、例えば流量7sccmで希ガスであるArガスを導入し、加えて、例えば流量5sccmでXeガスを導入し、プラズマ生成室の内部を、例えば 1.0^{-2} ~ 1.0^{-3} Pa台の圧力に設定する。

[0601] ついで、プラズマ生成室内に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室内に導入し、プラズマ生成室にArとXeのECRプラズマが生成した状態とする。生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置されたルテニウムターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、スパッタリング現象が起き、ルテニウムターゲットよりRu粒子が飛び出す。ルテニウムターゲットより飛び出したRu粒子は、基板10601の絶縁層10602表面に到達して堆積する。

[0602] 以上のことにより、絶縁層10602の上に、例えば10nm程度の膜厚のゲート電極10603が形成された状態が得られる(図107B)。ゲート電極10603は、この後に形成するソース電極10607及びドレイン電極10608との間に電圧を印加した時に、金属

酸化物層1 06 04に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外からゲート電極1 06 03を構成してもよく、例えば、白金からゲート電極1 06 03を構成してもよい。ただし、二酸化シリコンの上に白金膜を形成すると剥離しやすいことが知られているが、これを防ぐためには、チタン層や窒化チタン層もしくはルテニウム層などを介して白金層を形成する積層構造とすればよい。また、ゲート電極1 06 03の膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。

[06 03] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板1 06 01を400°Cに加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。

[06 04] 以上のようにしてゲート電極1 06 03を形成した後、基板1 06 01を装置内より大気中に搬出し、ついで、ターゲットとして純タンタル(Ta)を用いた図5同様のECRスパッタ装置の基板ホルダに、基板1 06 01を固定する。引き続いて、プラズマガスとしてアルゴン(Ar)と酸素ガスをを用いたECRスパッタ法により、図1 07Cに示すように、ゲート電極1 06 03の上に、表面を覆う程度に、絶縁層1 06 05が形成された状態とする。以下に説明するように、Ta-O分子によるメタルモート膜を形成し、絶縁層1 06 05とする。

[06 05] Ta-O分子によるメタルモート膜の形成について詳述すると、タンタルからなるターゲットを用いた図5に示すECRスパッタ装置において、まず、プラズマ生成室内に、不活性ガス導入部より、例えば流量25sccmで希ガスであるArガスを導入し、プラズマ生成室の内部を、例えば 10^{-3} Pa台の圧力に設定する。また、プラズマ生成室には、磁気コイルにコイル電流を例えば28Aを供給することで電子サイクロトロン共鳴条件の磁場を与える。

[06 06] 加えて、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管、石英窓、真空導波管を介してプラズマ生成室内に導入し、このマイクロ波の導入により、プラズマ生成室にArのプラズマが生成した状態とする。生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたターゲット

に、高周波電極供給部より高周波電力(例えば500W)を供給する。

- [0607] このことにより、ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Ta粒子がターゲットより飛び出す。ターゲットより飛び出したTa粒子は、プラズマ生成室より放出されたプラズマ、及び反応性ガス導入部より導入されてプラズマにより活性化された酸素ガスと共に基板10601のゲート電極10603表面に到達し、活性化された酸素により酸化され五酸化タンタルとなる。
- [0608] 以上のことにより、まず、ゲート電極10603の上に五酸化タンタル膜を形成する。続いて、図107Aを用いて説明した二酸化シリコンの堆積と同様に、純シリコンからなるターゲットを用いたECRスパッタ法により、上記五酸化タンタル膜の上に二酸化シリコン膜が形成された状態とする。上述した五酸化タンタル膜と二酸化シリコン膜の形成工程を繰り返し、五酸化タンタル膜と二酸化シリコン膜との多層膜を例えば、5nm程度形成することで、絶縁層10605が得られる(図107C)。
- [0609] なお、五酸化タンタル膜と二酸化シリコン膜からなる絶縁層10605は、金属酸化物物層10604に電圧を印加した時に、強誘電体膜に印加される電圧を制御するために用いる。従って、金属酸化物物層10604に印加される電圧を制御することができれば、五酸化タンタル膜と二酸化シリコン膜の多層構造以外から絶縁層10605を構成してもよく、単層から構成してもよい。また、膜厚も、5nmに限るものではない。なお、上述したECRスパッタ法では、基板10601に対して加熱はしていないが、加熱しても良い。
- [0610] 以上のように絶縁層10605を形成した後、BiとTiの割合が4:3の酸化物焼結体(Bi-Ti-O)からなるターゲットを用い、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図107Dに示すように、絶縁層10605の上に、表面を覆う程度に、金属酸化物物層10604が形成された状態とする。
- [0611] 金属酸化物物層10604の形成について詳述すると、まず、300℃～700℃の範囲に基板10601が加熱されている状態とする。また、プラズマ生成室内に、例えば流量20sccmで希ガスであるArガスを導入し、例えば1.0⁻³Pa～1.0⁻²Pa台の圧力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室に導入し、このマイクロ波

の導入により、プラズマ生成室にECRプラズマが生成された状態とする。

- [0612] 生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。
- [0613] 焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化した酸素ガスと共に、加熱されている絶縁層10605の表面に到達し、活性化された酸素により酸化される。なお、反応ガスとしての酸素(O_2)ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度の金属酸化物層10604が形成された状態が得られる(図107D)。
- [0614] なお、形成した金属酸化物層10604に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層10602の形成にも適用可能である。また、基板温度を300°C以下のより低い温度条件として金属酸化物層10604を形成した後に、酸素雰囲気中などの適当なガス雰囲気中で、形成した金属酸化物層10604をアニール(加熱処理)し、膜質の特性を大きく改善するようにしてもよい。
- [0615] 以上のようにして金属酸化物層10604を形成した後、前述した絶縁層10605の形成と同様にし、図107Eに示すように、金属酸化物層10604の上に、表面を覆う程度に絶縁層10606が形成された状態とする。
- [0616] 次に、図107Fに示すように、絶縁層10606の上に、所定の面積のAuからなるソース電極10607及びドレイン電極10608が形成された状態とすることで、図106に示す三端子素子が得られる。ソース電極10607及びドレイン電極10608は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、ソース電極10607及びドレイン電極10608は、例えば、Ru、Pt、TiNなどの他の金属材料

料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、Ti-Pt-Auなどの剥離し難い構造とし、この上でフォトリソグラフィやリフトオフ処理などのパターニング処理をして所定の面積を持つ電極として形成する必要がある。

- [0617] 次に、図1 06に示す三端子素子の特性について説明する。この特性調査は、ゲート電極1 06 03とドレイン電極1 06 08(ソース電極1 06 07)との間に電圧を印加することで行う。ゲート電極1 06 03とドレイン電極1 06 08との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図64に示す結果が得られた。図64では、縦軸が、電流値を面積で除した電流密度として示している。以下、図64を説明し、あわせて本発明のメモリ動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。
- [0618] まず、ドレイン電極1 06 08に正の電圧を印加すると、図64中の(1)に示すように、0～1.6Vでは流れる電流は非常に少ない。しかし、(2)に示すように、1.6Vを超えると急に正の電流が流れる。実際には、 $5 \times 10^3 \text{ A/cm}^2$ を超える電流も流れているが、測定器を保護するためにこれ以上電流を流さないようにしているので、観測されていない。(2)に示すように急激な電流が流れないように0～1.6Vの電圧を印加している場合は、(1)に示すような抵抗が高い状態が維持される。
- [0619] 続いて、再びドレイン電極1 06 08に正の電圧を印加すると、(3)に示すように、0.5V程度で $1 \times 10^3 \text{ A/cm}^2$ 以上の正の電流が流れる軌跡を示す。さらに続いて、ドレイン電極1 06 08に正の電圧を印加すると、やはり(3)に示すように0.5V程度で $1 \times 10^3 \text{ A/cm}^2$ 以上の電流が流れる。ここで、0～0.5Vの電圧を印加している場合は、(3)に示すような抵抗が低い状態が維持される。
- [0620] しかし、今度は、ドレイン電極1 06 08に負の電圧を印加すると、(4)に示すように、-0.5V程度まで負の電流が流れ、最大 $-1.5 \times 10^3 \text{ A/cm}^2$ になる。ここで、0～-0.5Vの電圧を印加している場合は、(4)に示すように、抵抗の低い状態が維持される。

- [0621] この後、 $-Q$ 5Vから -1.6 Vに負の電圧を印加していくと、(5)に示すように、電流値が減少して負の電流が流れなくなる。この後、 -1.6 Vから 50 Vの電圧の絶対値を小さくしていても、(6)に示すようにほとんど電流が流れない。さらに、続いてドレイン電極1 06 08に負の電圧を印加すると、(6)に示すように、ほとんど電流値が流れない軌跡を示すようになる。
- [0622] さらに続いて、ドレイン電極1 06 08に正の電圧を印加すると、(1)に示すように、 $0 \sim 1.6$ V程度まで、ほとんど電流が流れない軌跡を示すようになる。さらに、 1.6 V以上の電圧を印加すると、(2)に示す急激な正の電流が流れ、(3)に示す低抵抗を示す状態となる。
- [0623] 従って、(2)のように急激に電流が流れないようにドレイン電極1 06 08に 1.6 V以上の電圧を印加しなければ、(1)のような電流が流れない高抵抗の状態を維持することになる。(1)に示す状態を「正の高抵抗モード」と呼ぶことにする。
- [0624] 例えば、(2)に示すように 1.6 V以上の電圧を印加し、急激な電流が流れる状態とすると、(3)のような電流が流れやすくなる低抵抗の状態になる。この状態も、ドレイン電極1 06 08に正の電圧を印加している間は維持される。(3)に示す状態を「正の低抵抗モード」と呼ぶことにする。
- [0625] しかし、ドレイン電極1 06 08に負の電圧を印加すると、(4)に示すように、負の $0 \sim -Q$ 5Vの電圧領域で、初期に少量の電流が流れる低抵抗の状態になる。ここでも、 0 から $-Q$ 5Vの間で負の電圧を印加している間、この状態が維持されるので、(4)に示す状態を「負の低抵抗モード」と呼ぶことにする。
- [0626] さらに、 $-Q$ 5Vを超える負の電圧を印加すると、(5)に示すように電流が流れなくなり、高抵抗な状態に移行する。この状態になると、(6)に示すように、負の $0 \sim 1.6$ Vの電圧領域で電圧を印加している間、電流値が高抵抗の状態が維持される。この(6)に示される状態を、「負の高抵抗モード」と呼ぶことにする。
- [0627] 以上より、金属酸化物層1 06 04には、正の高抵抗モード、正の低抵抗モード、負の高抵抗モード、負の低抵抗モードの見かけ上4つのモードが安定して存在することになる。詳細に調べると、正の高抵抗モードと負の高抵抗モードは、同じ高抵抗の状態を示す「高抵抗モード」であり、正の低抵抗モードと負の低抵

抗モードは、同じ低抵抗の状態を示す低抵抗モードであり、2つのモードが存在していることが判明した。つまり、高抵抗モードの状態にあるとき、 -1.6V から $+1.6\text{V}$ の電圧領域で高抵抗モードが維持される。 $+1.6\text{V}$ 以上の電圧を印加することで遷移した低抵抗モードの状態にあるときは、 -0.5V から $+0.5\text{V}$ の電圧領域で低抵抗モードが維持される。これらの2つの高抵抗モードと低抵抗モードとが切り替わることになる。これらは、負の高抵抗モード及び負の低抵抗モードの負の抵抗モードについても、同様である。

[0628] また、各正のモードの実際の電流値は、 0.5V 印加時に、正の高抵抗モードで $5.0 \times 10^{-6} \text{A/cm}^2$ であり、正の低抵抗モードで $5 \times 10^{-3} \text{A/cm}^2$ であることから、各々の比は、1000倍にも達する。このことは、容易なモードの識別を可能にするものである。発明者らは、印加する電圧の向きと強さにより、金属酸化物層10604の抵抗値が劇的に変化することで、上述した現象が発現するものと推定している。同様なことは、負の低抵抗モードについてもいえる。

[0629] また、金属酸化物層10604とゲート電極10608の間に備えた絶縁層10606及び金属酸化物層10604とドレイン電極10608(ソース電極10607)の間に備えた絶縁層10606により、絶縁層10606、絶縁層10606の持つバンド構造から、キャリアの制御が可能である。具体的には、例えば、五酸化タンタルは、バンドギャップは 4.5eV 程度であるが、フェルミレベルからのエネルギー差を見た場合、伝導帯には 1.2eV 程度、価電子帯には 2.3eV と価電子帯側にバリアが高いことが知られている。従って、価電子帯のホール(正孔)に対してはバリア性が高いが、伝導帯のエレクトロン(電子)に対してはバリア性が低いということになる。詳しくは、『ウィルクらのジャーナル・オブ・アプライドフィジクス、第87号、484頁、2000年、(Wilk et. al., J. Appl. Phys., 87, 484(2000).』を参考にされたい。

[0630] 上述した特性から、例えば五酸化タンタル膜を、電極と金属酸化物層との間の絶縁層に用いた場合、電子は流れやすく、正孔は流れにくい現象が期待できる。実際に、図64に示すように、ドレイン電極10608からゲート電極10608に正の電圧を印加したときと、負の電圧を印加したときでは、流れる電流の値が大きく異なっている。このことは、金属酸化物層10604の状態の判別を行う場合に、信号サイズ比(S/I)

N比)を向上させ、状態の判別を容易にする効果が非常に大きい。これは、絶縁層10605及び絶縁層10606を用いた効果である。

- [0631] 上述した図64に示す低抵抗モードと高抵抗モードのモードを利用することで、図106に示す素子が、不揮発性で非破壊の三端子素子として使用できることを見いだした。具体的には、まず、ソース小レイン間の電流が流れにくくなるオフ状態は、図64の(4)又は(5)に示すように、ゲート電極10603に正の電圧を印加してドレイン電極10608に負の電圧が印加された状態とし、低抵抗モードから高抵抗モードにモード変更することにより行えばよい。
- [0632] また、ソース小レイン間の電流が流れやすくなるオン状態への移行は、図64の(2)に示すように、ゲート電極10603に負の電圧を印加してドレイン電極10608に正の電圧が1.6V以上印加されて電流が急激に流れるようにすることで行えばよい。このことで、高抵抗モードから低抵抗モードにモード変換し、オン状態に遷移する。これらのように、ゲート電極10603(ドレイン電極10608)への電圧印加により、高抵抗モードか低抵抗モードにすることにより、オフ状態とオン状態とを切り替えることが可能である。
- [0633] 一方、以上のようにして制御されたソース小レイン間のオン／オフの状態は、ソース小レイン間に、0～1.6Vの適当な電圧を印加したときの電流値を読み取ることによって容易に認識することができる。例えば、図106に示す三端子素子のモード状態が、「オフ」言い換えると高抵抗モードである場合、図64の(1)に示すように0.5～1.6Vの適当な電圧印加時に電流が流れ難いことにより判断できる。
- [0634] また、図106に示す素子のモード状態が、「オン」言い換えると低抵抗モードである場合、図64の(2)に示すように、1～0.6Vの適当な電圧印加時に電流が、ソース小レイン間に急激に流れることにより判断できる。正の高抵抗モードと正の低抵抗モード、つまり、「オフ」と「オン」の状態の電流値は、1000倍以上もあることから、「オフ」と「オン」の判断が、容易に可能である。同様に、負の電圧領域においても、0～-2.6Vの電圧範囲で「オン」と「オフ」の判断が可能である。
- [0635] 上述した三端子素子のオンオフの状態は、図106に示す素子が高抵抗モードか低抵抗モードかを調べるだけで容易に識別できる。言い換えれば、図106に示す

三端子素子が、上記2つのモードを保持できている間は、データが保持されている状態である。さらに、どちらかのモードかを調べるために、電極に電圧を印加しても、保持しているモードは変化することなくデータが破壊されてしまうことはない。従って、図1 06に示す三端子素子素子によれば、非破壊の動作が可能である。図1 06に示す三端子素子は、金属酸化物物層1 06 04が、ゲート電極1 06 03とドレイン電極1 06 08(もしくはソース電極1 06 07)との間に印加された電圧により抵抗値が変化することにより、ソース小レイン間のオンオフを制御する三端子素子素子として機能するものである。なお、本素子は、電流を制御する素子としても用いることができる。

[0636] なお、ソース電極1 06 07がオープンとされた状態でも、ゲート電圧の印加により、オン状態とオフ状態とを制御することが可能である。ただし、ソース電極1 06 07がオープンとされた状態では、ゲート電圧を印加してオフ状態としても、読み出し電圧を大きくすると、ある程度ソース小レイン間に電流が流れるようになる。ソース電極1 06 07がオープンとされた状態でゲート電圧を印加する場合、印加された電圧はドレイン電極1 06 08の下部の領域により選択的に作用するため、上述したように、高い読み出し電圧では、ある程度ソース小レイン電流が流れるようになるものと考えられる。従って、ソース小レイン電流は、ソース電極1 06 07ーソース電極1 06 07の下領域の金属酸化物物層1 06 04ーゲート電極1 06 03ードレイン電極1 06 08の下領域の金属酸化物物層1 06 04ードレイン電極1 06 08の経路を通り流れるものと考えられる。

[0637] 図1 06に示す三端子素子を動作させるための電圧は、正の低抵抗モードにするためのゲート電圧印加時に最大になるが、図64に示すように、高々1. 6V程度であり、非常に消費電力が小さい。消費電力が小さいと言うことは、デバイスにとって非常に有利になり、例えば、移動体通信機器、デジタル汎用機器、デジタル撮像機器を始め、ノートタイプのパーソナルコンピュータ、パーソナル・デジタル・アプライアンス(PDA)のみならず、全ての電子計算機、パーソナルコンピュータ、ワークステーション、オフィスコンピュータ、大型計算機や、通信ユニット、複合機などの三端子素子を用いている機器の消費電力を下げる事が可能となる。なお、図1 06に示す三端子素子においても、オンもしくはオフのいずれかの状態が、1 0年保持される。

[0638] 図1 06に示す三端子素子の基本的な思想は、金属酸化物物層に絶縁層を接して配

置し、これらをゲート電極とソース・ドレイン電極で挟むようにしたところにある。このような構成とすることで、ゲート電極に所定の電圧(DC,パルス)を印加して金属酸化物物層の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替え、結果として三端子素子としての動作が実現可能となる。

- [0639] 従って、例えば、図108に例示するように、絶縁層10602の上にソース電極10617及びドレイン電極10618が形成され、ソース電極10617及びドレイン電極10618が、絶縁層10616を介して金属酸化物層10604に覆われ、金属酸化物層10604の上に絶縁層10615を介してゲート電極10613が形成された状態としてもよい。また、図108A,図108Bに示すように、絶縁性基板10601aを用いるようにしてもよい。この場合、図106における絶縁層10602はなくてもよい。また、導電性を有する基板を用い、この上に、図106に示す絶縁層10605,金属酸化物層10604,絶縁層10606,ソース電極10607,ドレイン電極10608の構成を配置するようにしてもよい。この場合、基板がゲート電極を兼用することになる。導電性基板として熱伝導性の高い金属基板を用いれば、より高い冷却効果が得られ、素子の安定動作が期待できる。
- [0640] また、ガラスや石英などの絶縁性基板を用いるようにしてもよい。これらの構造とすることによって、加工しやすいガラス基板などへの適用が可能となる。また、金属酸化物層10604は、波長632.8nmで測定したときの屈折率が2.6程度で光学的に透明であるため、透明な基板を用いることで、本実施の形態における三端子素子のディスプレイへの応用が可能となる。また、金属酸化物層10604を、10~200nmの間で干渉色を発する厚さに形成することで、着色した状態の視覚効果が得られる。
- [0641] また、図106に示す三端子素子も、複数の三端子素子をクロスポイント型に配列させて集積させるようにしてもよい。また、金属酸化物層10604における抵抗値の変化も、電流により制御することも可能である。また、パルス電圧により、金属酸化物層10604の抵抗変化を制御できる。また、図106に示す三端子素子においても、ソース・ドレイン間に流れる電流値に3つの状態(3値)が実現できる。
- [0642] 次に、本発明の他の実施の形態について図を参照して説明する。図110は、本発明の実施の形態におけるメモリ素子の構成例を概略的に示す模式的な断面図である。図110に示すメモリ素子は、例えば、単結晶シリコンからなる基板11001の上に

絶縁層11 002 ,接地電極11 003, BiとTiとOとから構成された膜厚3 0〜2 00nm程度の金属酸化物からなるスノッチ層11 004 ,ビット電極11 005, BiとTiとOとから構成された膜厚3 0〜2 00nm程度の金属酸化物からなるメモリ層11 006 ,ワード電極11 007を備える。本メモリ素子は、接地電極11 003とスノッチ層11 004とメモリ層11 006とワード電極11 007とが、これらの順に直列に接続され、スノッチ層11 004にはビット電極11 005が設けられているようにしたものである。なお、図11 0は、例えば、マトリクス状に配列された複数のビット線と複数のワード線との交点部分に接続されている1つのメモリセル部分を示したものである。

[0643] 基板11 001は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板11 001が絶縁材料から構成されている場合、絶縁層11 002はなくてもよい。また、基板11 001が導電性材料から構成されている場合、絶縁層11 002,接地電極11 003はなくてもよく、この場合、導電性材料から構成された基板11 001が、接地電極となる。接地電極11 003,ビット電極11 005,及びワード電極11 007は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていればよい。また、各電極は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、酸化亜鉛(ZnO)、鉛酸スズ(PbO)、フッビランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

[0644] 図11 0に示したメモリ素子の構成の具体例について説明すると、例えば、接地電極11 003は、膜厚10nmのルテニウム膜であり、ビット電極11 005は、膜厚20nm程度のチタン(Ti)膜の上に膜厚10nmのルテニウム膜が形成された積層膜であり、スノッチ層11 004,メモリ層11 006は、膜厚40nmのBiとTiとからなる金属酸化物から構成されたものであり、ワード電極11 007は、Auから構成されたものである。

[0645] 次に、なお、スノッチ層11 004及びメモリ層11 006は、前述した強誘電体層106 04,強誘電体層3106 04,強誘電体層47 05,強誘電体層62 05,金属酸化物層86 04,金属酸化物層97 04,金属酸化物層102 04,及び金属酸化物層106 04と全く同様である。

[0646] このような金属酸化物の層(メモリ層11 006)を用いたメモリ素子によれば、以降に

説明するように、2つの状態(ON及びOFF)が保持される状態が実現できる。上述した構成の金属酸化物層の特性は、図11 0に示すメモリ素子のビット電極11 005とワード電極11 007との間に電圧を印加することで調査されたものである。ビット電極11 005とワード電極11 007との間に電源により電圧を印加し、ビット電極11 005からワード電極11 007へ流れる電流を電流計により観測すると、図33と同様の結果が得られた。なお、ここでは、図33の縦軸は、ビット電極11 005からワード電極11 007へ流れる方向の電流値を正としている。

- [0647] 以下、図33を説明し、あわせて本発明におけるメモリ素子の動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。
- [0648] 図33は、ビット電極11 005に印加する電圧をゼロから負の方向に減少させた後にゼロに戻し、さらに正の方向に増加させ、最後に再びゼロに戻したときにメモリ層11 006を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、ビット電極11 005により印加される電圧を0Vから負の方向に徐々に印加させた場合、メモリ層11 006を流れる負の電流は比較的少ない(−0.1Vで約−0.12mA程度)。
- [0649] しかし、−0.4Vを超えると負の電流値が増加し始める。さらに−1Vまで電圧を下げた後、逆に負の電圧を小さくしていくと、先ほどよりも絶対値が大きな負の電流が流れる状態が保持されたまま、負の電流値は減少していく。このとき、電流値は−0.1Vで約−0.63mAであり、先ほどよりも5倍程度抵抗値が低く、電流が流れやすい状態である。印加する電圧をゼロに戻すと、電流値もゼロとなる。
- [0650] 次に、ビット電極11 005に正の電圧を印加していく。この状態では、印加される正の電圧が小さいときは、前の履歴を引き継ぎ、比較的大きな正の電流が流れる(0.1Vで約0.63mA)。ところが、0.7V程度まで正の電圧を印加すると、正の電流が突然減少する。最後に、−1Vから0Vに向かって印加する正の電圧を減少させると、正の電流値もこの流れに引き続く状態を保持したまま減少し、ゼロに戻る。このとき、正の電流値は、0.1Vで約0.12mA程度である。
- [0651] 以上に説明したような、メモリ層11 006中を流れる電流のヒステリシスは、メモリ層1

1 006に印加される電圧によりメモリ層11 006の抵抗値が変化することが原因で発現すると解釈できる。ここで、ワード電極11 007に電圧を印加する場合を考えると、ある一定以上の大きさの正の電圧 V_{w1} を印加することにより、メモリ層11 006は電流が流れやすい低抵抗モード(ON状態)に移移する。一方、ある一定の大きさの負の電圧 V_{w0} を印加することにより、メモリ層11 006は電流が流れにくい高抵抗モード(OFF状態)に移移すると考えられる。

[0652] メモリ層11 006には、これらの低抵抗モードと高抵抗モードの2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、ONもしくはOFFの各状態を維持する。なお、上述した V_{w0} の値は約-1V程度であり、 V_{w1} の値+1V程度であり、高抵抗モードと低抵抗モードの抵抗比は約10~100程度である。上記のような、電圧によりスノッチ層11 004及びメモリ層11 006の抵抗がスノッチ(変化する現象を用いることで、図11 0に示すメモリ素子により、不揮発性で非破壊読み出し動作が可能な機能素子を実現できる。

[0653] 次に、上述した2つの状態をDC電圧を用いて制御する場合について説明する。まず、低抵抗遷移電圧 V_{w1} 以上の大きさの正の電圧をワード電極11 007に印加し、メモリ層11 006を低抵抗モードに移移させる。このことにより、電流が流れやすくなるON状態となる。このON状態は、読み出し電圧 V_R における電極間の電流 I_{R1} を観測することで読み出すことができる。読み出し V_R としては、状態が遷移しない程度なるべく小さな値で、かつ抵抗比が十分に現れるような値を選択することが重要となる(下記の例では0.1V程度が適当)。これにより、低抵抗モード、すなわちON状態を破壊することなく、何回も読み出すことが可能となる。

[0654] 一方、高抵抗遷移電圧 V_{w0} 以上の大きさの負の電圧をワード電極11 007に印加することにより、メモリ層11 006を高抵抗モードに移移させることで、電極間に電流が流れ難くなるOFF状態にできる。このOFF状態の読み出しも、読み出し電圧 V_R における電極間の電流 I_{R0} を観測することにより行うことができる(I_{R1}/I_{R0} と10~100)。また、各電極間に通電がない状態では、メモリ層11 006は各状態を保持するため不揮発性を有しており、書き込み時と読み出し時以外には、電圧を印加する必要はない。

[0655] 上述した2つの状態を有する特性は、スノッチ層11 004においても同様であり、こ

れらス不ツチ層11 004とメモリ層11 006とを用いた図11 0に示すメモリ素子の動作について、以下に説明する。はじめに、読み出し動作について説明すると、初期状態では、全てのメモリセルのス不ツチ層11 004が、高抵抗の状態としておく。この状態で、ワード電極11 007(ワード線)がオープンにされた状態で、対応するメモリセルのスイッチ層11 004が低抵抗モードとなるような電気信号が、ビット電極11 005(対応するビット線)に印加され、ス不ツチ層11 004がス不ツチとしてオンにされた状態とする。ついで、ビット電極11 005(ビット線)がオープンにされた状態とし、ワード電極11 007(対応するワード線)に読み出し電圧が印加された状態とし、メモリ層11 006の抵抗値を測定すれば、データの読み出しとなる。最後に、ワード電極11 007(ワード線)がオープンにされた状態とし、ス不ツチ層11 004が高抵抗モードとなるような電気信号が、ビット電極11 005に印加された状態とし、ス不ツチ層11 004がス不ツチとしてオフにされた状態とする。

[0656] 次に、書き込み動作について説明すると、メモリ層11 006が高抵抗モードあるいは低抵抗モードへと遷移するような電気信号が、書き込み対象のメモリセルに対応するワード線とビット線とに印加された状態とする。このとき、ビット線側に印加される信号は、ス不ツチ層11 004の抵抗状態が変化しない程度の電圧までとする。これらのことにより、書き込み対象のメモリセル(メモリ素子)のメモリ層11 006を、所望とする高抵抗モードあるいは低抵抗モードへと遷移させることで、データの書き込みとする。

[0657] 上述した読み出し及び書き込みの動作は、例えば、図111のフローに示すように行えばよい。まず、ワード電極11 007がオープンとされた状態で、ビット電極11 005に低抵抗遷移電圧 V_{w1} が印加された状態とし、メモリ素子のス不ツチ層11 004を「オン」状態、すなわち読み出し可能状態とする。ついで、ビット電極がオープンとされた状態でワード電極11 007に読み出し電圧 V_R が印加された状態とすることで、メモリ層11 006の状態が読み出せる。この後、ワード電極11 007がオープンとされた状態で、ビット電極11 005に高抵抗遷移電圧 V_{w0} が印加された状態とし、メモリ素子のス不ツチ層11 004を「オフ」状態、すなわち読み出し不能状態とする。

[0658] この後、例えば、ワード電極11 007に、低抵抗遷移電圧 V_{w1} の半分程度の電圧の書き込みワード信号が印加され、ビット電極11 005に、上述と反対の極性で低抵抗

遷移電圧 V_{w1} の半分程度の電圧の書き込みビット信号が印加された状態とすれば、「1」の「書き込み状態」となる。上述したようにワード電極11 007及びビット電極11 005に信号が印加された状態とすることで、メモリ層11 006には、低抵抗遷移電圧 V_{w1} に等しい電圧が印加された状態となり、メモリ層11 006は低抵抗モードとなる。従って、この「書き込み状態」は、「1」が書き込まれたことになる。これに対し、ワード電極11 007に、高抵抗遷移電圧 V_{w0} の半分程度の電圧の書き込みワード信号が印加され、ビット電極11 005に、上述と反対の極性で高抵抗遷移電圧 V_{w0} の半分程度の電圧の書き込みビット信号が印加された状態とすれば、メモリ層11 006に「0」の「書き込み状態」となる。一方、いずれの「書き込み状態」においても、スノッチ層11 004には、各遷移電圧の半分程度の電圧しか印加されないため、抵抗の状態は変化しない。

[0659] 以上に説明したように、図11 0に示すメモリ素子によれば、スノッチ層11 004を用いることでメモリセルの「オン」状態と「オフ」とを切り替えるようにしたので、メモリ層11 006の抵抗状態にかかわらず、スノッチ層11 004を「オフ」状態とすることにより、非選択メモリセルからのリーク電流（干渉電流）が抑制できるようになる。また、図11 0に示す素子によれば、上述した「オン」と「オフ」との切り替えを、メモリ層11 006と同様の金属酸化物から構成されたスノッチ層11 004により行うようにした。このように、シリコンなどの半導体を用いたMOSトランジスタなど、他の材料から構成された素子を用いる必要がないため、基板11 001に適用可能な材料に制限がない。

[0660] また、以上の実施の形態では、印加した電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。なお、図11 0に示したメモリ素子におけるON及びOFFの各状態保持特性も、前述した各素子と同様に、少なくとも1 000分の保持時間を有している。

[0661] 次に、図11 0に示したメモリ素子の製造方法例について説明する。なお、以降では、ECRプラズマスパッタ法を例に各薄膜の形成方法を説明しているが、これに限るものではなく、他の成膜技術や方法を用いるようにしてもよいことは、いづまでもない。

[0662] まず、図11 2Aに示すように、主表面が面方位(1 00)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板11 001を用意し、基板11 001の表面を硫酸と過酸化水素水の混合液と純水と希フッ酸水素水とにより洗浄し、このあと乾燥させる。ついで、洗浄

・乾燥した基板11001の上に、絶縁層11002が形成された状態とする。絶縁層11002の形成では、例えばECRスパッタ装置を用い、ターゲットとして純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスを用いたECRスパッタ法により、シリコンからなる基板11001の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層11002を形成する。

[0663] 例えば、 1.0×10^{-3} Pa程度の内部圧力に設定されているプラズマ生成室内に流量 2.0×10^{-3} ccmm程度でArガスを導入し、内部圧力を $1.0 \times 10^{-3} \sim 1.0 \times 10^{-2}$ Pa程度にし、ここに、 0.0875 Tの磁場と 2.45 GHzのマイクロ波(500 W程度)とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内にArのプラズマが生成された状態とする。なお、sccmmは流量の単位あり、 $0^\circ\text{C} \cdot 1$ 気圧の流体が1分間に 1 cm^3 流れることを示す。また、T(テスラ)は、磁束密度の単位であり、 $1 \text{ T} = 10000$ ガウスである。

[0664] 上述したことにより生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたシリコンターゲットに、高周波電源より 13.56 MHzの高周波電力(例えば 500 W)を供給する。このことにより、シリコンターゲットにArイオンが衝突してスパッタリング現象が起これ、Si粒子が飛び出す。シリコンターゲットより飛び出したSi粒子は、プラズマ生成室より放出されたプラズマ、及び導入されてプラズマにより活性化された酸素ガスと共にシリコンからなる基板11001の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。以上のことにより、基板11001上に二酸化シリコンからなる例えば 100 nm程度の膜厚の絶縁層11002が形成された状態とすることができる(図112A)。

[0665] なお、絶縁層11002は、この後に形成する各電極に電圧を印加した時に、基板11001に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸法により酸化することで形成した酸化シリコン膜を絶縁層11002として用いるようにしてもよい。絶縁層11002は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層11002の膜厚は、 100 nmに限らず、これより薄くてもよく厚くてもよい。絶縁層11002は、上述したECRスパッタによる膜の形成では、基板11001に対して加熱はして

いないが、基板11 001を加熱しながら膜の形成を行ってもよい。

- [0666] 以上のようにして絶縁層11 002を形成した後、今度は、ターゲットとして純ルテニウム(Ru)を用いた同様のECRスパッタ法により、絶縁層11 002の上にルテニウム膜を形成することで、図112Bに示すように、接地電極11 003が形成された状態とする。Ru膜の形成について詳述すると、Ruからなるターゲットを用いたECRスパッタ装置において、例えば、まず、絶縁層を形成したシリコン基板を4 00Cに加熱し、また、プラズマ生成室内に、例えば流量7sccmで希ガスであるArガスを導入し、加えて、例えば流量5sccmでXeガスを導入し、プラズマ生成室の内部を、例えば $1.0^2 \sim 1.0^3$ Pa台の圧力に設定する。
- [0667] ついで、プラズマ生成室内に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば5 00W)をプラズマ生成室内に導入し、プラズマ生成室にArとXeのECRプラズマが生成した状態とする。生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置されたルテニウムターゲットに、13.56MHzの高周波電力(例えば5 00W)を供給する。このことにより、スパッタリング現象が起き、ルテニウムターゲットよりRu粒子が飛び出す。ルテニウムターゲットより飛び出したRu粒子は、基板11 001の絶縁層11 002表面に到達して堆積する。
- [0668] 以上のことにより、絶縁層11 002の上に、例えば10nm程度の膜厚の接地電極11 003が形成された状態が得られる(図112B)。接地電極11 003は、この役に形成するビット電極11 005に電圧を印加した時に、スイッチ層11 004に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外から接地電極11 003を構成してもよく、例えば、白金から接地電極11 003を構成してもよい。ただし、二酸化シリコンの上に白金膜を形成すると剥離しやすいことが知られているが、これを防ぐためには、チタン層や窒化チタン層もしくはルテニウム層などを介して白金層を形成する積層構造とすればよい。また、接地電極11 003の膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。
- [0669] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板11 001を4 00Cに加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテ

ニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。

- [0670] 以上のようにして接地電極11003を形成した後、BiとTiの割合が4:3の酸化物焼結体(Bi-Ti-O)からなるターゲットを用い、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図112Cに示すように、接地電極11003の上に、表面を覆う程度に、スイッチ層11004が形成された状態とする。
- [0671] スイッチ層11004の形成について詳述すると、まず、300℃～700℃の範囲に基板11001が加熱されている状態とする。また、プラズマ生成室内に、例えば流量20ccmで希ガスであるArガスを導入し、例えば 1.0^{-3} Pa～ 1.0^{-2} Pa台の圧力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室に導入し、このマイクロ波の導入により、プラズマ生成室にECRプラズマが生成された状態とする。
- [0672] 生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。
- [0673] 焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化された酸素ガスと共に、加熱されている接地電極11003の表面に到達し、活性化された酸素により酸化される。なお、反応ガスとしての酸素(O_2)ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度のスイッチ層11004が形成された状態が得られる(図112C)。
- [0674] なお、形成したスイッチ層11004に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層11002の形成にも適用可能である。また、基板温度を300℃以下のより低い温度

条件としてスイッチ層11 004を形成した後に、酸素雰囲気中などの適当なガス雰囲気中で、形成したスイッチ層11 004をアニール(加熱処理)し、膜質の特性を大きく改善するようにしてもよい。

[0675] 以上のようにしてスイッチ層11 004を形成した後、まず、ECRスパッタ法により、膜厚20nm程度のTi膜が形成された状態とする。次に、再度、ターゲットとして純ルテニウム(Ru)を用いた前述同様のECRスパッタ法により、膜厚10nm程度のルテニウム膜が形成された状態とすることで、図112Dに示すように、スイッチ層11 004の上に、積層構造のビット電極11 005が形成された状態とする。ルテニウム膜の形成は、前述した接地電極11 003の形成と同様である。次に、BiとTiの割合が4:3の酸化物焼結体(Bi-Ti-O)からなるターゲットを用い、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図112Eに示すように、ビット電極11 005の上に、表面を覆う程度に、メモリ層11 006が形成された状態とする。メモリ層11 006の形成は、前述したスイッチ層11 004の形成と同様である。

[0676] 以上のようにして、メモリ層11 006が形成された後、メモリ層11 006の上に、Auからなるワード電極11 007が形成された状態とすることで、図11 0に示すメモリ素子が得られる。ワード電極11 007は、抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、ワード電極11 007は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、Ti-Pt-Auなどの剥離し難い構造とする必要がある。なお、スイッチ層11 004、ビット電極11 005、メモリ層11 006、ワード電極11 007は、これらの積層構造が形成された後、よく知られたフォトリソグラフィ技術とエッチング技術とによりパターンニングすることで、メモリセルの構造に形成すればよい。

[0677] 以上に説明したECRスパッタによる各層の形成は、図112に示したECRスパッタ装置を用いればよい。

[0678] ところで、本実施の形態に係るメモリ素子の構成例は、図11 0に示した素子に限るものではない。例えば、図113Aに例示するように、1つのメモリセル内で、基板11 001の平面方向に、スイッチ層11 014及びメモリ層11 016が配列されていてもよい。図113Aに示すメモリ素子では、絶縁層11 002の上に接地電極11 013及びこれに離

間して接続電極11 015bが配置され、接地電極11 013と接続電極11 015bとにまたがるように、ス不ツチ層11 014が形成され、接続電極11 015bに接してメモリ層11 016が形成されている。また、ス不ツチ層11 014の上にはビット電極11 015aが形成され、メモリ層11 016の上には、ワード電極11 017が形成されている。

[0679] 上述したように、まず、ス不ツチ層11 014の第1方向の面に接続された接続電極11 015bを新たに設け、メモリ層11 016の第1方向の面に接続電極11 015bが接続された状態とする。また、接地電極11 013は、ス不ツチ層11 014の第1方向の面に接続電極11 015bと絶縁分離されて接続された状態とする。また、ビット電極11 015aは、ス不ツチ層11 014の第1方向とは異なる第2方向の面に接続された状態とする。また、ワード電極11 017は、メモリ層11 016の第2方向の面に接続された状態とする。これらのように構成しても、図110に示した素子と同様に、接地電極11 013、ス不ツチ層11 014、メモリ層11 016、及びワード電極11 017が、これらの順に直列に接続された状態となる。従って、図113Aの紙面上で、基板11 001の上において、各構成を上下反転させて配置させることも可能である。

[0680] 図113Aに示すメモリ素子の動作例について説明すると、まず、読み出しでは、スイッチ層11 014が高抵抗の「オフ」状態とし、この初期状態で、接続電極11 015bが接地された状態とし、対応するメモリセルのビット電極11 015aに低抵抗遷移電圧（例えばパルス電圧）が印加された状態とし、ス不ツチ層11 014を「オン」状態とする。ついで、接続電極11 015bとビット電極11 015a（対応するビット線）がオープンにされた状態とし、ワード電極11 017（対応するワード線）に読み出し電圧が印加された状態とし、メモリ層11 016の抵抗値を測定すれば、データの読み出しとなる。最後に、接続電極11 015bが接地された状態とし、ス不ツチ層11 014が高抵抗モードとなるような電気信号（例えばパルス電圧）が、ビット電極11 015aに印加された状態とし、スイッチ層11 014がス不ツチとしてオフにされた状態とする。

[0681] 一方、図113Aに示すメモリ素子の書き込み動作は、接続電極11 015bが接地された状態とし、書き込み対象のメモリセルに対応するワード線に書き込み電圧を印加すればよい。例えば、「1」の「書き込み状態」とするためには、ワード電極11 017に低抵抗遷移電圧が印加された状態とすればよい。また、「0」の「書き込み状態」とするため

には、ワード電極11 017に高抵抗遷移電圧が印加された状態とすればよい。

- [0682] また、本発明のメモリ素子は、図113Bに示すように構成されていてもよい。図113Bに示すメモリ素子では、絶縁層11 002の上にビット電極11 025aが配置され、ビット電極11 025aの上にスイッチ層11 024が形成されている。また、スイッチ層11 024の上に、接地電極11 023及びこれに離間して接続電極11 025bが配置され、接続電極11 025bの上に、メモリ層11 026が形成されている。なお、メモリ層11 026の上には、ワード電極11 027が形成されている。
- [0683] 上述したように、まず、スイッチ層11 024の第1方向の面に接続された接続電極11 025bを新たに備え、メモリ層11 026の第1方向とは異なる第2方向の面に、接続電極11 025bが接続されているようにする。また、接地電極11 023は、スイッチ層11 024の第1方向の面に接続され、ビット電極11 025aは、スイッチ層11 024の第2方向の面に接続され、ワード電極11 027は、メモリ層11 026の第1方向の面に接続されているようにする。これらのように構成しても、図11 0に示した素子と同様に、接地電極11 023、スイッチ層11 024、メモリ層11 026、及びワード電極11 027が、これらの順に直列に接続された状態となる。従って、図113Bの紙面上で、基板11 001の上において、各構成を上下反転させて配置させることも可能である。
- [0684] また、本発明のメモリ素子は、図114に示すように、電極と金属酸化物物の層との間に、絶縁層が挟まれていてもよい。図114Aに例示するメモリ素子は、ビット電極11 005とメモリ層11 006との間に、絶縁層11 008を備える。また、図114Bに例示するメモリ素子は、接地電極11 003とスイッチ層11 004との間に、絶縁層11 009を備える。また、図114Cに例示するメモリ素子では、絶縁層11 008と絶縁層11 009の両方を備える。
- [0685] 絶縁層11 008、絶縁層11 009により、メモリ層11 006、スイッチ層11 004に電圧を印加した時に、各層に印加される電圧が制御できるようになる。また、絶縁層が形成されている状態で、この上にスイッチ層11 004やメモリ層11 006を形成することで、前述したECRスパッタ法による形成で、下層の金属膜の表面や金属酸化物物の表面のモフォロジを劣化させることなく、スイッチ層11 004やメモリ層11 006が形成できるようになる。例えば、下層が金属材料などのように酸化される状態であると、スイッチ

層11 004の形成で、下層の表面が部分的に酸化され、モフォロジが劣化する場合がある。これに対し、絶縁層を介在させることで、下層の表面のモフォロジがよい状態で、スイッチ層11 004が形成でき、より品質の高いス不ッチ層11 004が得られる。

- [0686] また、図115に示すように、絶縁層11 018、絶縁層11 019、絶縁層11 028、及び絶縁層11 029を備えるようにしてもよい。図115Aに示すメモリ素子では、接続電極11 015bとメモリ層11 016との間に、絶縁層11 018を備える。図115Bに示すメモリ素子では、スイッチ層11 014とビット電極11 015aとの間に、絶縁層11 019を備える。図115Cに示すメモリ素子では、接続電極11 015bとメモリ層11 016との間に、絶縁層11 018を備え、ス不ッチ層11 014とビット電極11 015aとの間に、絶縁層11 019を備える。また、図115Dに示すメモリ素子では、スイッチ層11 024と接続電極11 025bとの間に絶縁層11 028を備える。図115Eに示すメモリ素子では、ビット電極11 025aとスイッチ層11 024との間に、絶縁層11 029を備える。図115Fに示すメモリ素子では、スイッチ層11 024と接続電極11 025bとの間に絶縁層11 028を備え、ビット電極11 025aとスイッチ層11 024との間に、絶縁層11 029を備える。

- [0687] なお、図114及び図115は絶縁層を設ける形態の一例を示したものであり、これに限るものではない。上述した絶縁層は、スイッチ層及びメモリ層に接して設けられていればよい。従って、スイッチ層及びメモリ層の一方の面に絶縁層が接して設けられていてもよく、スイッチ層及びメモリ層の両方の面に、各々絶縁層が接して設けられていてもよい。ス不ッチ層及びメモリ層を構成している金属酸化物層と、これに接続する電極とのいずれかの間に絶縁層が設けられているようにすればよい。

- [0688] ところで、スイッチ層11 004、メモリ層11 006を構成する金属酸化物層は、膜厚が厚くなるほど電流が流れ難くなり抵抗が大きくなる。抵抗値の変化を利用してメモリ素子を実現する場合、低抵抗モードと高抵抗モードの各々の抵抗値が問題となる。例えば、金属酸化物層の膜厚が厚くなると、低抵抗モードの抵抗値が大きくなり、S/N比がとり難くなり、ON、OFFの各状態を判断し難くなる。一方、金属酸化物層の膜厚が薄くなり、リーク電流が支配的になると、ON、OFFの各状態の保持し難くなると共に、高抵抗モードの抵抗値が小さくなり、S/N比がとり難くなる。

- [0689] 従って、金属酸化物層は、適宜最適な厚さとした方がよい。例えば、リーク電流の

問題を考慮すれば、金属酸化物物層は、最低10nmの膜厚があればよい。また、低抵抗モードにおける抵抗値を考慮すれば、金属酸化物物層は300nmより薄くした方がよい。発明者らの実験の結果、金属酸化物物層の厚さが30~200nmであれば、メモリ素子の動作が確認されている。

[0690] また、図110に示すメモリ素子によれば、多値の動作も可能である。例えば、ビット電極11005(とワード電極11007との間)に電圧を印加したときのメモリ層11006における電流-電圧特性は、図116に示すように、印加する電圧を変化させると、異なる低抵抗モードに変化する。図116では、-0.5Vまで印加した後の低抵抗モードと、-1.0Vまで印加した後の低抵抗モードと、-1.5Vまで印加した後の低抵抗モードとの、図中に示す読み出し電圧における電流値が異なる。これらの状態は、電極間に読み出し電圧を印加し、電極間に流れる電流を観測することにより読み出すことができる。一定の読み出し電圧により得られた電極間電流に対応し、「0」、「1」、「2」の3つの状態(3値)の動作が実現できる。

[0691] また、図110に示す素子によれば、パルス電圧の値の違いにより、多値の状態を実現することが可能である。図117に示すように、所定のパルス幅の所定のパルス電圧を所定回数印加する毎に、三角で示す時点で0.2Vの読み出し電圧で電極間の電流値を読み出すと、図118に示すように、「0」、「1」、「2」の3つの状態(3値)が得られる。この例では、「2」の状態によりリセットがされていることになる。

[0692] また、例えば、図114Aに例示したように、ビット電極11005とメモリ層11006との間に絶縁層11008を設ける場合のメモリ層11006の電流-電圧特性は、ワード電極11007に印加する電圧を変化させることで、図46に示すように変化する。この場合、例えば、読み出し電圧を0.5V程度とすることで、3値の状態が実現できる。

[0693] ところで、上述したように金属酸化物物からなる薄膜を用いた複数の素子は、多くの場合同一の基板の上にモノリシックに集積して用いられている。このように複数の素子を集積する場合、例えば、図12Dに示したように、隣り合う素子の間を分離している。このような素子の分離構造は、次のようにして製造されている。まず、図118Aに示すように、基板1601の上に絶縁層1602が形成された状態とし、ついで、絶縁層1602の上に、金属膜1623が形成された状態とする。次に、図118Bに示すように、強誘電

体薄膜1614が、金属膜1623の上に形成された状態とする。ついで、図11gCに示すように、金属膜1615が、強誘電体薄膜1614の上に形成された状態とする。

[0694] 次に、図11gDに示すように、金属膜1615の上に、複数のマスクパターン1620が形成された状態とする。次に、マスクパターン1620をマスクとして金属層1615及び強誘電体薄膜1614を選択的にエッチング除去し、図11gEに示すように、強誘電体層1604、及び上部電極1606からなる複数の素子が、下部電極層1613の上に形成された状態とする。この後、マスクパターン1620を除去し、各素子の間に絶縁材料を堆積することなどにより、図11gFに示すように、各素子間に、素子分離絶縁層1605が形成された状態とする。

[0695] 上述したように、従来の素子分離では、強誘電体層となる薄膜を形成し、この薄膜を加工して複数の素子部分を形成し、この後、各素子間に素子分離のための絶縁層を形成している。従って、従来では、素子分離の構造を得るために、多くの薄膜の形成工程及び薄膜の加工工程が必要となり、工程数の増大を招いていた。特に、加工の工程では、一般には、フォトリソグラフィーとエッチング技術とが用いられているため、一回のパターン形成のために、非常に多くの工程が必要となる。

以上に説明した状態に対し、以降に説明するように素子を分離することで、素子の分離構造が、多くの工程を必要とせずに形成できるようになる。

[0696] 以下、素子分離について図を参照して説明する。図120は、本発明の実施の形態における素子分離構造の構成例を概略的に示す模式的な断面図である。図120に示すように、図120に示す素子分離構造は、基板101の上に絶縁層102を備え、この上に形成された下部電極103、膜厚30～200nm程度の強誘電体層104、上部電極106からなる複数の素子が、分離層135により絶縁分離されているようにしたものである。強誘電体層104は、結晶性材料から構成された下部電極103の上に形成され、分離層135は、非品質材料から構成された絶縁層102の上に形成されている。

[0697] 強誘電体層104と分離層135とは、例えば、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成の結晶からなる粒径3～15nm程度の複数の微結晶粒を含む。また、強誘電体層104は、上記微結晶粒に加え、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成の柱状結

品が共存している。上述した構成とされた分離層135は、強誘電体層104に比較して電気抵抗が大きく、絶縁破壊する耐圧が大きい。一方、強誘電体層104は、後述するように、低抵抗状態と高抵抗状態の2つの安定状態が存在し、強誘電体層104による素子は、2つの状態が保持される機能素子である。

[0698] 次に、図120に示す素子分離構造の製造方法例について説明する。まず、図121Aに示すように、主表面が面方位(100)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板101を用意し、基板101の表面を硫酸と過酸化水素水の混合液と純水と希フッ化水素水とにより洗浄し、このあと乾燥させる。ついで、洗浄・乾燥した基板101の上に、絶縁層102が形成された状態とする。絶縁層102の形成では、例えば、ECRスパッタ装置を用い、ターゲットとして純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスを用いたECRスパッタ法により行えばよい。ECRスパッタ法により、シリコンからなる基板101の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層102を形成する。

[0699] 例えば、 10^{-5} Pa台の内部圧力に設定されているプラズマ生成室内に流量 20 sccm 程度でArガスを導入し、内部圧力を $10^{-3} \sim 10^{-2}$ Pa程度にし、ここに、 0.0875 T の磁場と 2.45 GHz のマイクロ波(500 W 程度)とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内にArのプラズマが生成された状態とする。なお、 sccm は流量の単位あり、 $0^\circ\text{C} \cdot 1$ 気圧の流体が1分間に 1 cm^3 流れることを示す。また、T(テスラ)は、磁束密度の単位であり、 $1 \text{ T} = 10000$ ガウスである。

[0700] 上述したことにより生成されたプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室の側に放出される。また、プラズマ生成室の出口に配置されたシリコンターゲットに、高周波電源より 13.56 MHz の高周波電力(例えば 500 W)を供給する。このことにより、シリコンターゲットにArイオンが衝突してスパッタリング現象が起これ、Si粒子が飛び出す。シリコンターゲットより飛び出したSi粒子は、プラズマ生成室より放出されたプラズマ、及び導入されてプラズマにより活性化された酸素ガスと共にシリコンからなる基板101の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。以上のことにより、基板101上に二酸化シリコンからなる例えば 100 nm 程度の膜厚の絶縁層102が形成された状態とすることができる。

- [07 01] なお、絶縁層1 02は、この後に形成する各電極に電圧を印加した時に、基板1 01に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。例えば、シリコン基板の表面を熱酸法により酸化することで形成した酸化シリコン膜を絶縁層1 02として用いるようにしてもよい。絶縁層1 02は、絶縁性が保てればよく、酸化シリコン以外の他の絶縁材料から構成してもよく、また、絶縁層1 02の膜厚は、100nmに限らず、これより薄くてもよく厚くてもよい。絶縁層1 02は、上述したECRスパッタによる膜の形成では、基板1 01に対して加熱はしていないが、基板1 01を加熱しながら膜の形成を行ってもよい。
- [07 02] 以上のようにして絶縁層1 02を形成した後、今度は、ターゲットとして純ルテニウム(Ru)を用いた同様のECRスパッタ法により、絶縁層1 02の上にルテニウム膜を形成する。Ru膜の形成について詳述すると、Ruからなるターゲットを用いたECRスパッタ装置において、例えば、まず、絶縁層を形成したシリコン基板を400°Cに加熱し、また、プラズマ生成室内に、例えば流量7sccmで希ガスであるArガスを導入し、加えて、例えば流量5sccmでXeガスを導入し、プラズマ生成室の内部を、例えば $1.0^2 \sim 1.0^3$ Paの圧力に設定する。
- [07 03] ついで、プラズマ生成室内に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波(例えば500W)をプラズマ生成室内に導入し、プラズマ生成室にArとXeのECRプラズマが生成した状態とする。生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置されたルテニウムターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、スパッタリング現象が起き、ルテニウムターゲットよりRu粒子が飛び出す。ルテニウムターゲットより飛び出したRu粒子は、基板1 01の絶縁層1 02表面に到達して堆積する。
- [07 04] 以上のことにより、絶縁層1 02の上に、例えば10nm程度の膜厚のRuからなる金属膜が形成できる。ついで、金属膜を公知のリソグラフィー技術とエッチング技術とによりパターニングすることで、図121Aに示すように、各々が離間して配置された複数の下部電極1 03が形成された状態とする。例えば、ルテニウムは、酸素プラズマ、オゾン、及び酸素ラジカルなどを照射することにより、高い蒸気圧を持つルテニウム酸¹⁴

物 (RuO_2 、 RuO_4 など) を形成することが知られている。この注質を用いることにより、マスクを介した上記照射によりルテニウムを酸化することで、選択的なエッチングが可能である。

- [0705] ただし、酸素プラズマ、オゾン、及び酸素ラジカルを用いるこのドライエッチングでは、等方的なエッチング処理となり、エッチングされた断面の形状に、いわゆるアンダーカットが入る場合がある。これを避けるため、酸素にアルゴンが添加されたガスのプラズマを照射してもよい。このことによりエッチングに異方性を持たせれば、アンダーカットの入らない形状のパターン形成が可能となる。
- [0706] なお、下部電極103は、この役に形成する上部電極136との間に電圧を印加した時に、強誘電体層104に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外から下部電極103を構成してもよく、例えば、白金から下部電極103を構成してもよい。ただし、二酸化シリコンの上に白金膜を形成すると剥離しやすいことが知られているが、これを防ぐためには、チタン層や窒化チタン層もしくはルテニウム層などを介して白金層を形成する積層構造とすればよい。また、白金は、ルテニウムのように酸素プラズマではエッチングされないが、公知のリフトオフ法を用いることにより、電極形成のためのパターニングが可能である。また、下部電極103の膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。
- [0707] ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、基板101を400°Cに加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。
- [0708] 以上のようにして下部電極103を形成した後、BiとTiの割合が4:3の酸化物焼結体 (Bi-Ti-O) からなるターゲットを用い、プラズマガスとしてアルゴン(Aめと酸素ガスとを用いたECRスパッタ法により、図121Bに示すように、下部電極103の上には強誘電体層104が形成され、絶縁層102の上には分離層135が形成された状態とする。強誘電体層104及び分離層135の形成について説明すると、まず、400°C ~ 450°Cの範囲に基板101が加熱されている状態とする。また、プラズマ生成室内に、例えば流量20ccmで希ガスであるArガスを導入し、例えば 1.0^{-3}Pa ~ 1.0^{-2}Pa 台の圧

力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波（例えば500W）をプラズマ生成室に導入し、このマイクロ波の導入により、プラズマ生成室にECRプラズマが生成された状態とする。

[0709] 生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力（例えば500W）を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化された酸素ガスと共に、加熱されている絶縁層102及び下部電極103の表面に到達し、活性化された酸素により酸化される。

[0710] なお、反応ガスとしての酸素(O_2)ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度の強誘電体層104及び分離層135が形成された状態が得られる(図121B)。ここで、非品質(非結晶)状態である絶縁層102の上に形成された分離層135は、 $Bi_4Ti_3O_{12}$ の化学量論的組成の結晶からなる粒径3～15nm程度の複数の微結晶粒を含む状態となる。これに対し、結晶状態である下部電極103の上に形成された強誘電体層104は、上記微結晶粒に加え、 $Bi_4Ti_3O_{12}$ の化学量論的組成の柱状結晶が共存した状態となる。

[0711] 次に、図121Cに示すように、強誘電体層104及び分離層135の上に、例えばAuからなる金属膜146が形成された状態とする。次に、図121Dに示すように、よく知られたリソグラフィ技術により、素子となる部分の上にレジストパターン150が形成された状態とする。次に、レジストパターン150をマスクとしたドライエッチングにより金属膜146をパターニングすることで、図121Eに示すように、強誘電体層104の上に上部電極136が形成された状態とする。この後、レジストパターン150を除去すること

で、図120に示す素子分離構造が得られる。なお、上部電極136は、例えば、Ru、Pt、TiNなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ptを用いた場合、密着性が悪く剥離する可能性があるので、Ti-Pt-Auなどの剥離し難い構造とし、この上でフォトリソグラフィーによるパターンニング処理をして電極として形成する必要がある。

[0712] 以上に説明したECRスパッタによる各層の形成は、図5に示すようなECRスパッタ装置を用いればよい。

ところで、図7B及び図7B'に示したように微結品粒が観察される成膜条件の範囲において、基部層が非品質の状態の場合と柱状結品が観察される場合とが存在するが、いずれにおいても、微結品粒の状態には変化がなく、観察される微結品粒は、寸法が3～15nm程度となっている。この微結品粒が観測される成膜条件の範囲において、図122に示すように、形成する層の下地条件と温度条件とにより、異なる依存性が見られる。まず、「アモルファス」、微結品粒が分散」、分散している微結品粒と柱状結品が混在」、柱状結品もしくは単結品の強誘電体」の状態となる温度が、酸化シリコンなどの非結品材料の上に形成する場合と、ルテニウムなどの結品材料の上に形成する場合とでは異なる。

[0713] 図122に示すように、非結品材料の上では、350℃までの成膜条件では「アモルファス」となり、350～500℃の成膜条件では「微結品粒が分散」となり、500～540℃の成膜条件では「分散している微結品粒と柱状結品が混在」となり、540℃以上の成膜条件では「柱状結品もしくは単結品の強誘電体」となる。これらに対し、結品材料の上では、300℃までの成膜条件では「アモルファス」となり、300～450℃の成膜条件では「微結品粒が分散」となり、450～530℃の成膜条件では「分散している微結品粒と柱状結品が混在」となり、530℃以上の成膜条件では「柱状結品もしくは単結品の強誘電体」となる。

[0714] 従って、図122の温度領域Tに例示する450～500℃の成膜条件とすることで、非結品材料の上には「微結品粒が分散」した膜が形成され、結品材料の上には、「分散している微結品粒と柱状結品が混在」した膜が形成されるようになる。

[0715] 次に、微結品粒が分散」した膜と、分散している微結品粒と柱状結品が混在」し

た膜とについて説明する。まず、ルテニウムからなる下部電極の上に、450°Cより低い温度条件で微結品粒が分散した膜（膜厚50nm程度）を形成し、この上に金からなる上部電極が形成されたサンプル素子Aを用意する。また、ルテニウムからなる下部電極の上に、450～500°Cの温度条件で分散している微結品粒と柱状結品が混在した膜（膜厚50nm程度）を形成し、この上に金からなる上部電極が形成されたサンプル素子Bを用意する。

[0716] 上述したサンプル素子Aとサンプル素子Bにおいて、上部電極と下部電極に電圧を印加し、上部電極と下部電極との間に流れる電流の状態を測定した結果を図123に示す。図123に示すように、サンプル素子Aでは、1.0V程度の電圧が印加されても大きな電流が流れない。これに対し、サンプル素子Bでは、2V程度の電圧が印加されると大きな電流が流れている。このように、微結品粒が分散している膜は、分散している微結品粒と柱状結品が混在している膜に比較して、電気抵抗が大きく絶縁破壊する耐圧が大きい。

[0717] さらに、これらの膜は、成膜初期状態において高電圧を印加するEO処理により、図123に示すように電流が流れる状態となった後に、後述するように、印加する電圧により高抵抗状態と低抵抗状態とを繰り返すような電流電圧特性（抵抗変換特性）を備えるようになる。

[0718] 微結品粒が分散している膜及び分散している微結品粒と柱状結品が混在している膜は、EO処理を行うことで、図124に示すような抵抗変換特性を示すようになる。しかしながら、図123に示すように、微結品粒が分散している膜は、EO処理に1.0V以上の電圧印加が必要となるが、分散している微結品粒と柱状結品が混在している膜は、2V程度の電圧印加でEO処理が行える。従って、2V程度の印加により分散している微結品粒と柱状結品が混在している膜をEO処理して抵抗変換特性を示す状態としても、同様の電圧印加では、微結品粒が分散している膜は、EO処理されず、抵抗変換特性を示す状態とならない。

[0719] 従って、分散している微結品粒と柱状結品が混在している膜を強誘電体層104とし、微結品粒が分散している膜を分離層135として用いれば、抵抗変換特性を備える強誘電体層104による複数の素子が、高抵抗な分離層135により分離された

素子分離構造が得られる。また、前述したように、下層の条件を異なる状態としておくことで、同一の温度領域Tとした条件で、強誘電体層104と分離層135とが同一のスパッタ成膜条件により同時に形成された状態が得られる。

[0720] 次に、前述した抵抗変位特性について説明する。この特性は、下部電極103と上部電極136との間に電圧を印加することで調査されたものである。前述したEO処理をした後、下部電極103と上部電極136との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図124に示す結果が得られた。図124において、縦軸は、電流値を面積で除した電流密度である。以下、図124を説明し、あわせて図120に示す素子分離構造により分離された各素子の動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。

[0721] 図124は上部電極136に印加する電圧をゼロから正の方向に増加させた後にゼロに戻し、さらに負の方向に減少させ、最後に再びゼロに戻したときに強誘電体層104中を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、上部電極136に電圧を0Vから正の方向に徐々に印加させた場合、強誘電体層104を流れる正の電流は比較的少ない V_0 (0.1Vで約0.4 μ A程度)。

[0722] しかし、0.5Vを超えると急激に正の電流値が増加し始める。さらに約1Vまで電圧を上げた後、逆に正の電圧を減少させていくと、1Vから約0.7Vまでは電圧値の減少にも拘わらず、正の電流値はさらに増加する。電圧値が約0.7V以下になると、電流値も減少に転じるが、このときの正の電流は先と比べて流れやすい状態であり、電流値は0.1Vで約4 μ A程度である(先の約10倍)。印加電圧をゼロに戻すと、電流値もゼロとなる。

[0723] 次に上部電極136に負の電圧を印加していく。この状態では、負の電圧が小さいときは、前の履歴を引き継ぎ、比較的大きな負の電流が流れる。ところが、-0.5V程度まで負の電圧を印加すると、負の電流が突然減少し始め、この後、約-1V程度まで負の電圧を印加しても負の電流値は減少し続ける。最後に、-1Vから50Vに向かって印加する負の電圧を減少させると、負の電流値も共にさらに減少し、ゼロに戻る

。この場合のときは、負の電流は流れ難く、 $-Q$ 1Vで約 $-Q$ 5 μ A程度である。

[0724] 以上に説明したような、強誘電体層104中を流れる電流のヒステリシスは、前述したように、上部電極136に印加する電圧により強誘電体層104の抵抗値が変化することが原因で発現すると解釈できる。ある一定以上の大きさの正の電圧 V_{w1} を印加することにより、強誘電体層104は電流を流しにくい「低抵抗状態」(データ「1」)に移移する。一方、ある一定の大きさの負の電圧 V_{w0} を印加することにより、強誘電体層104は電流が流れにくい「高抵抗状態」(データ「0」)に移移すると考えられる。

[0725] 素子分離構造における強誘電体層104にも、これらの低抵抗状態と高抵抗状態の2つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、各状態を維持する。なお、 V_{w1} の値は約+1V程度であり、 V_{w0} の値-1V程度であり、高抵抗状態と低抵抗状態の抵抗比は約10~100程度である。上記のような、電圧により強誘電体層104の抵抗がスワッチする現象を用いることで、素子分離構造においても、前述した各機能素子と同様に、不揮発性で非破壊読み出し動作が可能なメモリ素子が実現できる。

[0726] 次に、本発明の実施の形態における他の素子分離構造について説明する。図125は、本発明の実施の形態における素子分離構造の他の構成例を概略的に示す模式的な断面図である。図125に示す素子分離構造は、例えば、単結晶シリコンからなる基板101の上に絶縁層102を備え、この上に形成された共通電極層113、下部電極103、膜厚30~200nm程度の強誘電体層104、上部電極136からなる複数の素子が、分離層135により絶縁分離されているようにしたものである。

[0727] 強誘電体層104と分離層135とは、例えば、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成の結晶からなる粒径3~15nm程度の複数の微結晶粒を含む。また、強誘電体層104は、上記微結晶粒に加え、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成の柱状結晶が共存している。上述した構成とされた分離層135は、強誘電体層104に比較して電気抵抗が大きく、絶縁破壊する耐圧が大きい。一方、強誘電体層104は、後述するように、低抵抗状態と高抵抗状態の2つの安定状態が存在し、強誘電体層104による素子は、2つの状態が保持される機能素子である。これらは、図120に示す構成と同様である。

[0728] 図125に示す素子分離構造では、各下部電極103が共通電極層113により接続されている点で、図120に示す素子分離構造と異なっている。また、図125に示す素子分離構造では、共通電極層113が、非結晶状態の導電性材料から構成されている。例えば、共通電極層113は、非晶質状態の窒化チタン、酸化亜鉛、及びITO（インジウムスズ酸化物）などから構成されたものである。従って、図125に示す素子分離構造においても、分離層135は、非晶質状態の層の上に形成されている。

[0729] 次に、図125に示す素子分離構造の製造方法例について説明する。まず、図126Aに示すように、主表面が面方位(100)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板101を用意し、基板101の表面を硫酸と過酸化水素水の混合液と純水と希フッ酸とにより洗浄し、このあと乾燥させる。ついで、洗浄・乾燥した基板101の上に、絶縁層102が形成された状態とする。次に、絶縁層102の上に、例えば窒化チタンからなる共通電極層143が形成された状態とする。ついで、共通電極層143の上に、例えば、Ruからなる膜厚10nm程度の金属膜が形成された状態とし、この金属膜を公知のリソグラフィ技術とエッチング技術とによりパターニングすることで、図126Aに示すように、各々が離間して配置された複数の下部電極103が形成された状態とする。

[0730] 以上のようにして下部電極103を形成した後、BiとTiの割合が4:3の酸化物焼結体(Bi-Ti-O)からなるターゲットを用い、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図126Bに示すように、下部電極103の上には強誘電体層104が形成され、共通電極層143の上には分離層135が形成された状態とする。強誘電体層104及び分離層135の形成について説明すると、まず、400で $\sim 450^\circ\text{C}$ の範囲に基板101が加熱されている状態とする。また、プラズマ生成室内に、例えば流量20ccmで希ガスであるArガスを導入し、例えば $10^{-3}\text{Pa} \sim 10^{-2}\text{Pa}$ の圧力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波（例えば500W）をプラズマ生成室に導入し、このマイクロ波の導入により、プラズマ生成室にECRプラズマが生成された状態とする。

[0731] 生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理

室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力(例えば500W)を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化した酸素ガスと共に、加熱されている共通電極層143及び下部電極103の表面に到達し、活性化された酸素により酸化される。

[0732] なお、反応ガスとしての酸素(O_2)ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度の強誘電体層104及び分離層135が形成された状態が得られる(図126B)。ここで、非品質(非結晶)状態である共通電極層143の上に形成された分離層135は、 $Bi_4Ti_3O_{12}$ の化学量論的組成の結晶からなる粒径3~15nm程度の複数の微結晶粒を含む状態となる。これに対し、結晶状態である下部電極103の上に形成された強誘電体層104は、上記微結晶粒に加え、 $Bi_4Ti_3O_{12}$ の化学量論的組成の柱状結晶が共存した状態となる。

[0733] 次に、図126Cに示すように、強誘電体層104及び分離層135の上に、例えばAuからなる金属膜146が形成された状態とする。次に、図126Dに示すように、よく知られたリソグラフィー技術により、素子となる部分の上にレジストパターン150が形成された状態とする。次に、レジストパターン150をマスクとしたドライエッチングにより金属膜146をパターニングすることで、図126Eに示すように、強誘電体層104の上に上部電極136が形成された状態とする。この後、レジストパターン150を除去することで、図125に示す素子分離構造が得られる。

[0734] なお、基板101は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板101が絶縁材料から構成されている場合、絶縁層102はなくてもよい。また、下部電極103、上部電極136は、例えば、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていけばよい。また、上記電極は、結晶状

態の窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、酸亜鉛(ZnO)、インジウムスズ酸化物(ITO)、フッビランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。一方、共通電極層143は、非品質状態の窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、フッビランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

[0735] なお、図120及び図125では、3つの素子部分を示したが、複数の素子が2次元的に配列されて集積されているようにしてもよい。例えば、基板の上に所定の間隔で配列された島状の金属酸化物層が形成された状態とし、これらを電極で接続することで、高集積化が容易に図れる。

請求の範囲

- [1] 基板の上に形成されて少なくとも2つの金属を含んだ金属酸化物から構成された所定の厚さの第1金属酸化物層と、
この第1金属酸化物層の一方の面に形成された第1電極と、
前記第1金属酸化物層の他方の面に形成された第2電極と
を少なくとも備えることを特徴とする2安定抵抗値取得装置。
- [2] 請求項1記載の2安定抵抗値取得装置において、
前記第1金属酸化物層の他方の面に前記第2電極と離間して形成された第3電極
を備える
ことを特徴とする2安定抵抗値取得装置。
- [3] 請求項2記載の2安定抵抗値取得装置において、
前記第1電極からなるゲート電極と、
前記第2電極からなるソース電極と、
前記第3電極からなるドレイン電極と
を備えることを特徴とする2安定抵抗値取得装置。
- [4] 請求項1記載の2安定抵抗値取得装置において、
前記基板の上に形成されて前記金属酸化物から構成された所定の厚さの第2金属酸化物層と、
この第2金属酸化物層に設けられた第4電極と
を少なくとも備え、
前記第1電極、前記第1金属酸化物層、前記第2金属酸化物層、及び前記第4電極は、これらの順に直列に接続されて、
ことを特徴とする2安定抵抗値取得装置。
- [5] 請求項1記載の2安定抵抗値取得装置において、
前記第1金属酸化物層の一方の面及び他方の面の少なくとも1つの面に接して形成された絶縁層を備える
ことを特徴とする2安定抵抗値取得装置。
- [6] 請求項4記載の2安定抵抗値取得装置において、

前記第2金属酸化物層の一方の面及び他方の面の少なくとも1つの面に接して形成された絶縁層を備える

ことを特徴とする2安定抵抗値取得装置。

- [7] 請求項1記載の2安定抵抗値取得装置において、
前記基板の上に形成された非品質状態の非品質層と、
この非品質層の上に形成されて結晶状態の導電性材料から構成された前記第1電極、この第1電極の上に形成された前記第1金属酸化物層、及びこの第1金属酸化物層の上に形成された前記第2電極より構成された複数の素子と、
これら素子の間の前記非品質層の上に形成されて前記金属酸化物から構成された分離層と
を少なくとも備え、
前記分離層により複数の前記素子が分離されていることを特徴とする2安定抵抗値取得装置。

- [8] 請求項7記載の2安定抵抗値取得装置において、
前記第1金属酸化物層と前記分離層とは、一体に形成されて、巧
ことを特徴とする2安定抵抗値取得装置。

- [9] 請求項1記載の2安定抵抗値取得装置において、
前記金属酸化物は、前記第1電極と前記第2電極との間に印加された電気信号により抵抗値が変化する
ことを特徴とする2安定抵抗値取得装置。

- [10] 請求項9記載の2安定抵抗値取得装置において、
前記金属酸化物は、
第1電圧値以上の電圧印加により第1抵抗値を持つ第1状態となり、
前記第1電圧とは極性の異なる第2電圧値以下の電圧印加により前記第1抵抗値と異なる第2抵抗値を持つ第2状態となる
ことを特徴とする2安定抵抗値取得装置。

- [11] 請求項9記載の2安定抵抗値取得装置において、
前記金属酸化物は、

第1電圧値を超える電圧印加により第1抵抗値を持つ第1状態となり、

前記第1電圧を超えない範囲の第2電圧値を超える電圧印加により前記第1抵抗値より高い第2抵抗値を持つ第2状態となる

ことを特徴とする2安定抵抗値取得装置。

[12] 請求項1記載の2安定抵抗値取得装置において、

前記金属酸化物は、少なくとも第1金属、及び酸素から構成された基部層と、

前記第1金属、第2金属、及び酸素からなり、前記基部層の中に分散された複数の微粒子と

を少なくとも備えることを特徴とする2安定抵抗値取得装置。

[13] 請求項12記載の2安定抵抗値取得装置において、

前記基部層は、前記第1金属、前記第2金属、及び酸素から構成され、化学量的組成に比較して第2金属の組成比が小さい、

ことを特徴とする2安定抵抗値取得装置。

[14] 請求項12記載の2安定抵抗値取得装置において、

前記基部層は、前記第1金属、前記第2金属、及び酸素の柱状結品を含むことを特徴とする2安定抵抗値取得装置。

[15] 請求項12記載の2安定抵抗値取得装置において、

前記金属酸化物は、

前記基部層に接して配置され、少なくとも前記第1金属、及び酸素から構成され、柱状結品及び非品質の少なくとも1つである金属酸化物単一層を備える

ことを特徴とした2安定抵抗値取得装置。

[16] 請求項15記載の2安定抵抗値取得装置において、

前記金属酸化物単一層は、前記第1金属、前記第2金属、及び酸素の化学量的組成に比較して第2金属の組成比が小さいことを特徴とする2安定抵抗値取得装置。

[17] 請求項15記載の2安定抵抗値取得装置において、

前記金属酸化物単一層は、前記微粒子を含まないことを特徴とする2安定抵抗値取得装置。

[18] 請求項12記載の2安定抵抗値取得装置において、

前記第1金属はチタンであり、前記第2金属はビスマスであり、前記基部層は、 HfO_2 量論的組成に比較して過剰なチタンを含む層からなる非品質状態であることを特徴とする2安定抵抗値取得装置。

- [19] 請求項18記載の2安定抵抗値取得装置において、
前記第1電極は、
ルテニウム、白金の少なくとも1つから構成され、
同一材料による単層構造、複数材料による積層構造の少なくとも1つであることを特徴とする2安定抵抗値取得装置。
- [20] 請求項1記載の2安定抵抗値取得装置において、
前記基板は導電性材料から構成されたものである
ことを特徴とする2安定抵抗値取得装置。
- [21] 請求項20記載の2安定抵抗値取得装置において、
前記第1電極と前記基板とは同一である
ことを特徴とする2安定抵抗値取得装置。
- [22] 請求項1記載の2安定抵抗値取得装置において、
前記金属酸化物は、強誘電体であることを特徴とする2安定抵抗値取得装置。
- [23] 基板の上に形成されて少なくとも2つの金属を含んだ金属酸化物から構成された所定の厚さの第1金属酸化物層と、この第1金属酸化物層の一方の面に形成された第1電極と、前記第1金属酸化物層の他方の面に形成された第2電極とを少なくとも備えた2安定抵抗値取得装置の製造方法であって、
所定の組成比で供給された不活性ガスと酸素ガスとからなる第1プラズマを生成し、
少なくとも第1金属及び第2金属から構成されたターゲットに負のバイスを印加して前記第1プラズマより発生した粒子を前記ターゲットに衝突させてスパッタ現象を起こし、
前記ターゲットを構成する材料を堆積することで、前記第1金属、前記第2金属及び酸素から構成された金属酸化物からなる前記第1金属酸化物層を形成する第1工程を備え、
前記第1プラズマは、電子サイクロトロン共鳴により生成されて発散磁界により運動エネルギーが与えられた電子サイクロトロン共鳴プラズマであり、

前記基板は所定温度に加熱された状態とする

を備えることを特徴とする2安定抵抗値取得装置の製造方法。

- [24] 請求項23記載の2安定抵抗値取得装置の製造方法において、

前記金属酸化物からなる層の表面に、所定の組成比で供給された不活性ガスと反応性ガスとからなる第2プラズマを照射する第2工程を備え、

前記第2プラズマは、電子サイクロトロン共鳴により生成されて発散磁界により運動エネルギーが与えられた電子サイクロトロン共鳴プラズマである

ことを特徴とする2安定抵抗値取得装置の製造方法。

- [25] 請求項24記載の2安定抵抗値取得装置の製造方法において、

前記反応性ガスは、酸素ガス、窒素ガス、フッ素ガス、水素ガスの少なくとも1つであることを特徴とする2安定抵抗値取得装置の製造方法。

- [26] 請求項23記載の2安定抵抗値取得装置の製造方法において、

前記第1工程において、前記基板は、金属酸化物のキュリー点温度以下に加熱することを特徴とする2安定抵抗値取得装置の製造方法。

- [27] 請求項23記載の2安定抵抗値取得装置の製造方法において、

前記基板に、前記プラズマにより生成されるイオンエネルギーを制御するための電圧を印加する

ことを特徴とする2安定抵抗値取得装置の製造方法。

- [28] 請求項23記載の2安定抵抗値取得装置の製造方法において、

前記第1金属はチタンであり、前記第2金属はビスマスである

ことを特徴とする2安定抵抗値取得装置の製造方法。

- [29] 請求項23記載の2安定抵抗値取得装置の製造方法において、

前記ターゲットは、少なくとも前記第1金属と前記第2金属と酸素とから構成されたものであることを特徴とする2安定抵抗値取得装置の製造方法。

- [30] 少なくとも第1金属及び酸素から構成された基部層と、

前記第1金属、第2金属、及び酸素よりなり、前記基部層の中に分散された複数の微晶粒と

を少なくとも備えることを特徴とする金属酸化物薄膜。

[31] 所定の組成比で供給された不活性ガスと酸素ガスとからなる第1プラズマを生成し、第1金属と第2金属とから構成されたターゲットに負のバイスを印加して前記第1プラズマより発生した粒子を前記ターゲットに衝突させてスパッタ現象を起こし、前記ターゲットを構成する材料を基板の上に堆積することで、少なくとも前記第1金属及び酸素から構成された基部層と、前記第1金属、第2金属、及び酸素からなり、前記基部層の中に分散された複数の微粒子とを少なくとも備える金属酸化物薄膜を前記基板の上に形成する工程を備え、

前記第1プラズマは、電子サイクロトロン共鳴により生成されて発散磁界により運動エネルギーが与えられた電子サイクロトロン共鳴プラズマであり、

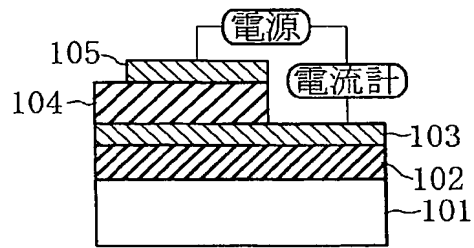
前記基板は所定温度に加熱された状態とする

ことを特徴とする金属酸化物薄膜の形成方法。

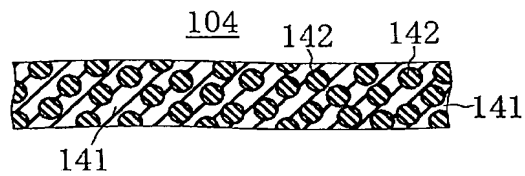
[32] 請求項31記載の金属酸化物薄膜の形成方法において、

前記第1金属はチタンであり、前記第2金属はビスマスであることを特徴とする金属酸化物薄膜の形成方法。

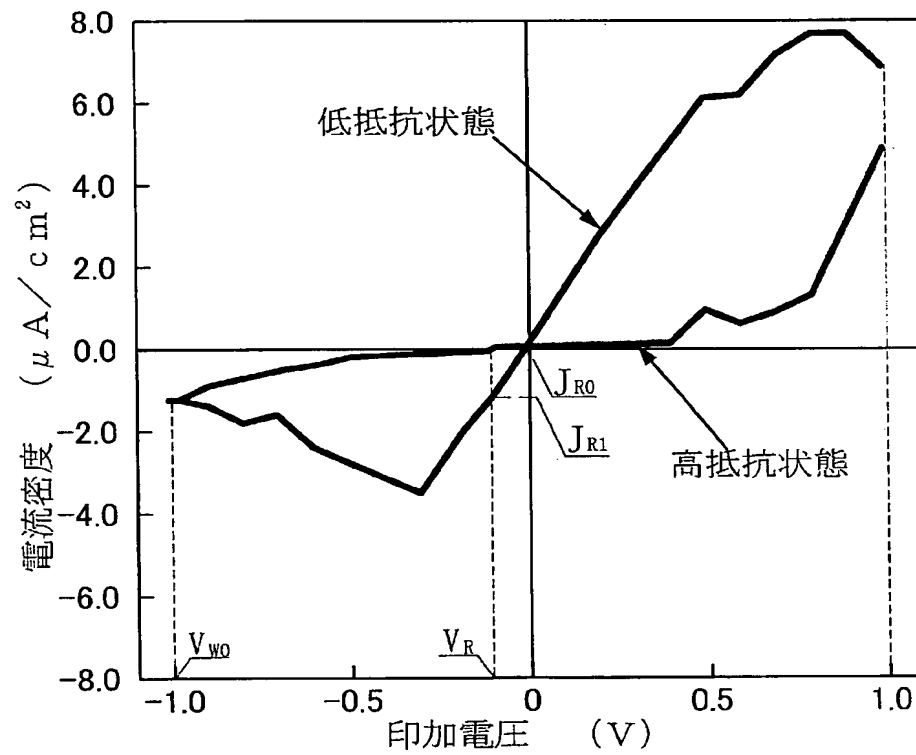
[図1A]



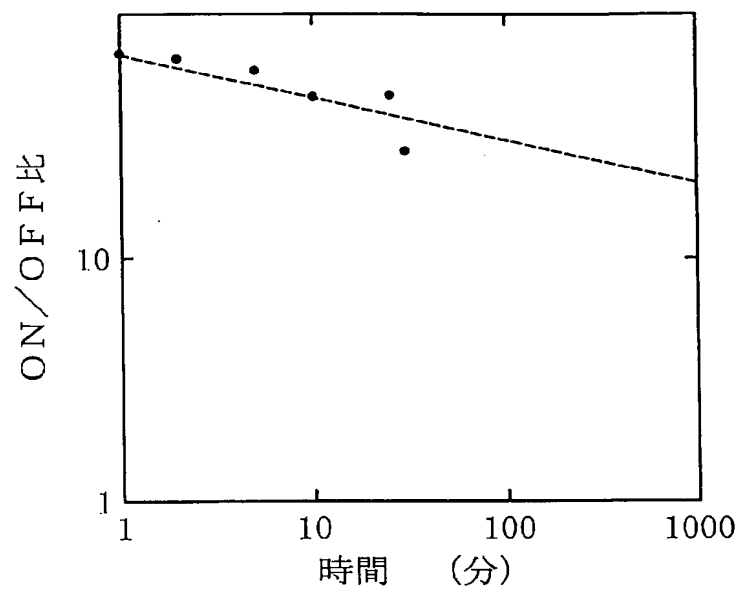
[図1B]



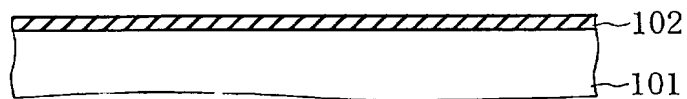
[図2]



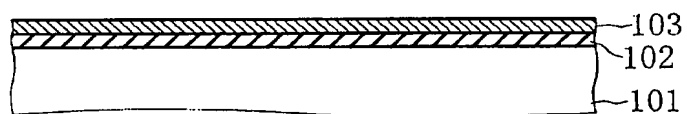
[図3]



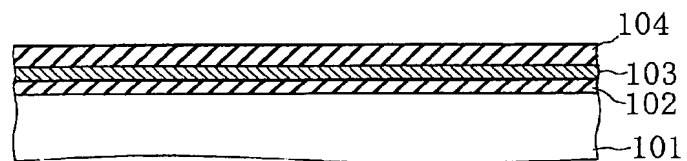
[図4A]



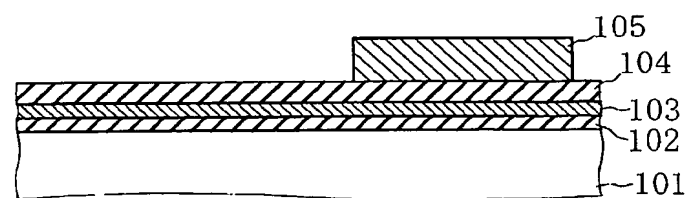
[図4B]



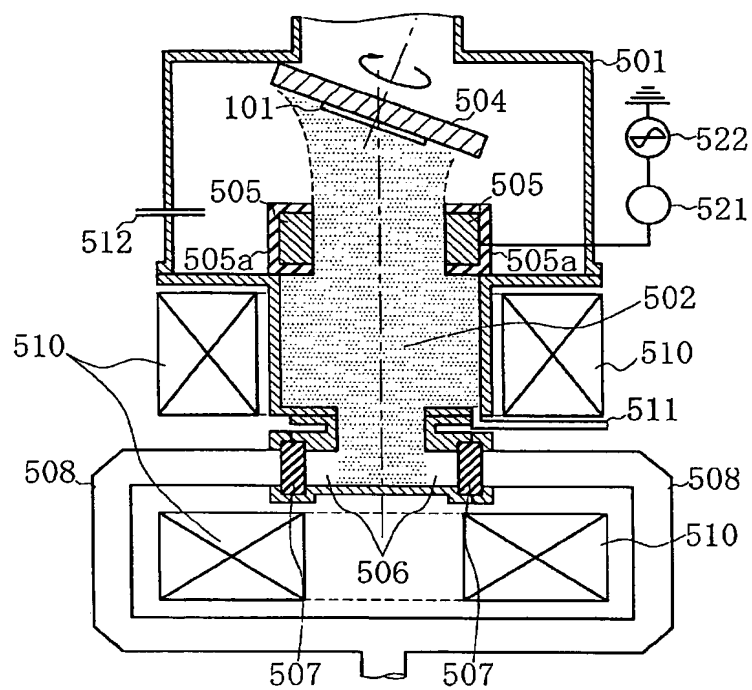
[図4C]



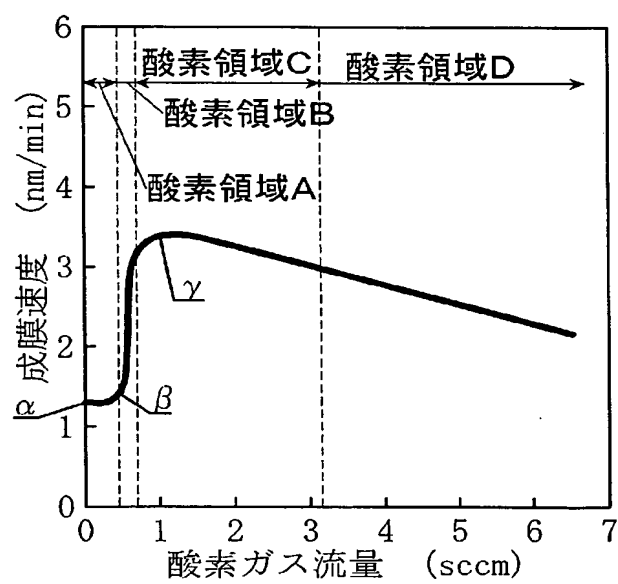
[図4D]



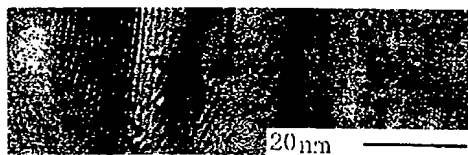
[図5]



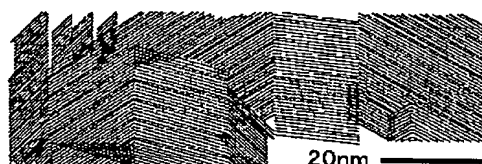
[図6]



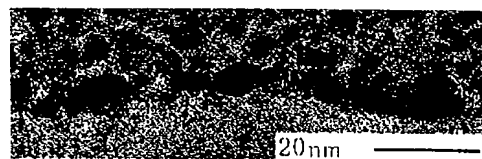
[図7A]



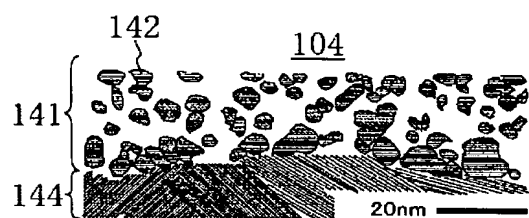
[図7a]



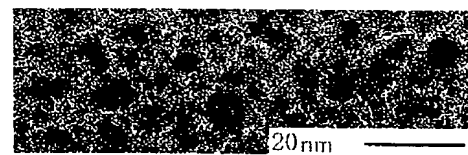
[図7B]



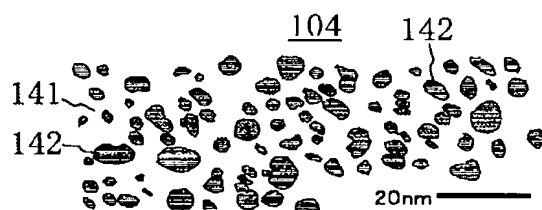
[図7b]



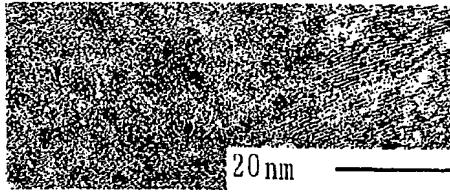
[図7C]



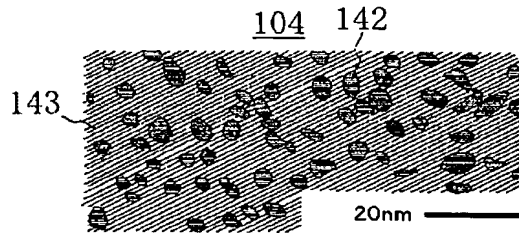
[図7c]



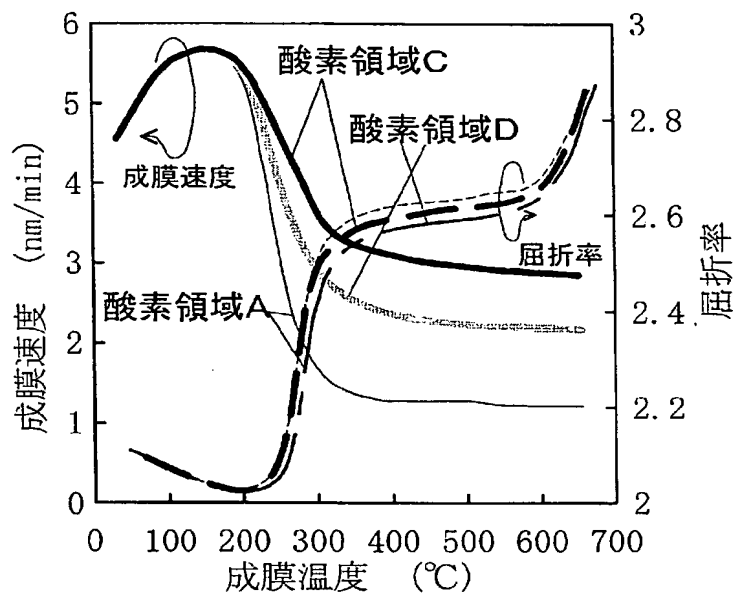
[図7D]



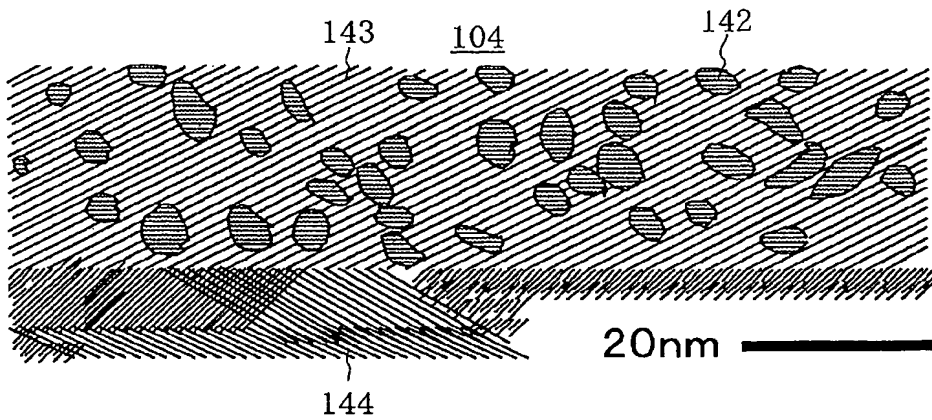
[図7d]



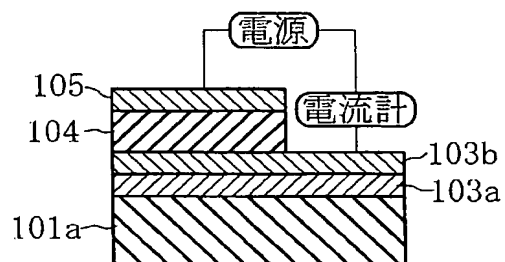
[図8]



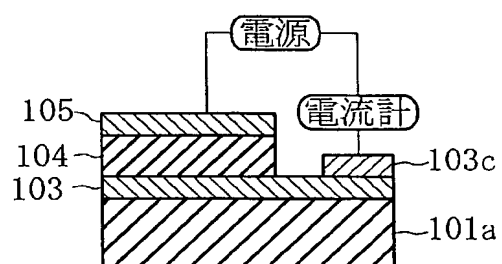
[図9]



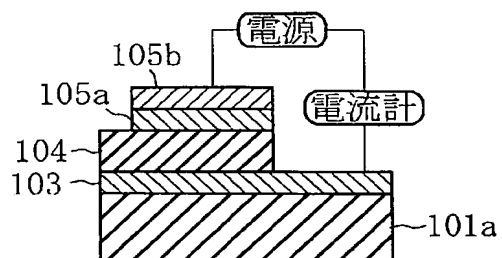
[図10A]



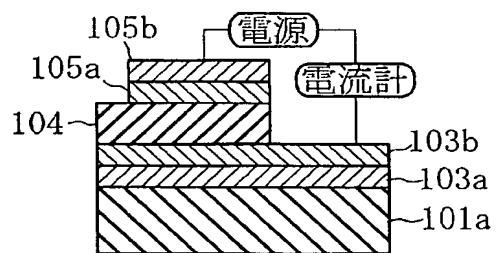
[図10B]



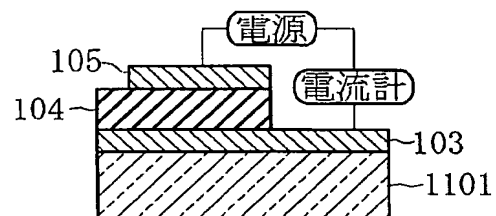
[図10C]



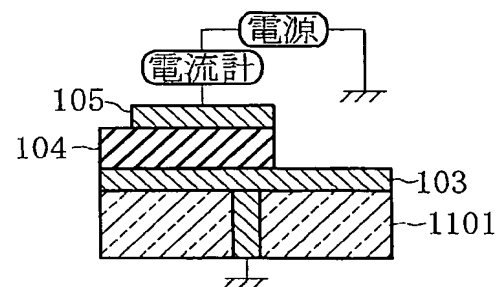
[図10D]



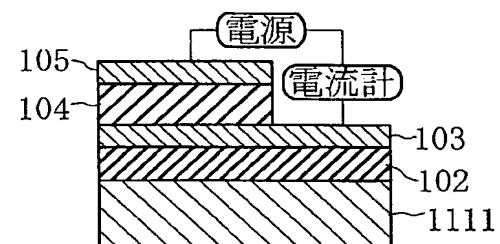
[図11A]



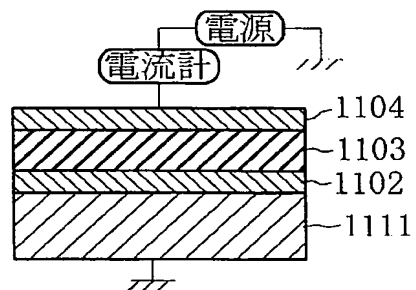
[図11B]



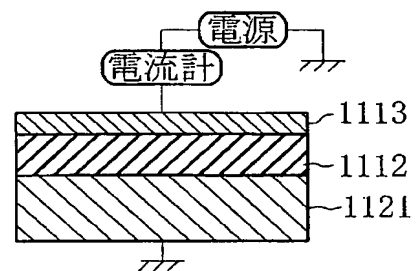
[図11C]



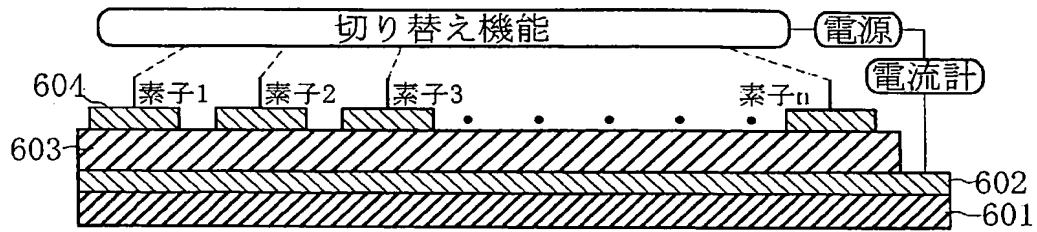
[図11D]



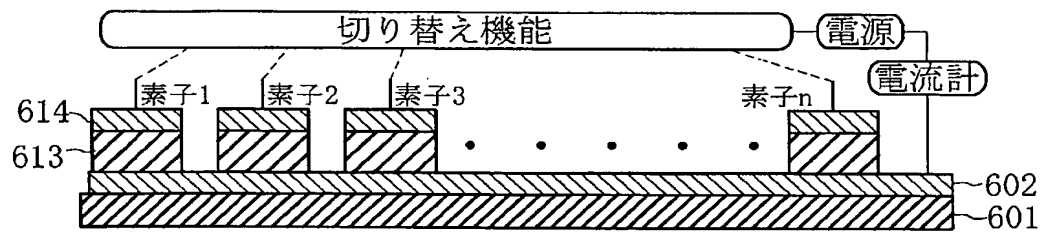
[図11E]



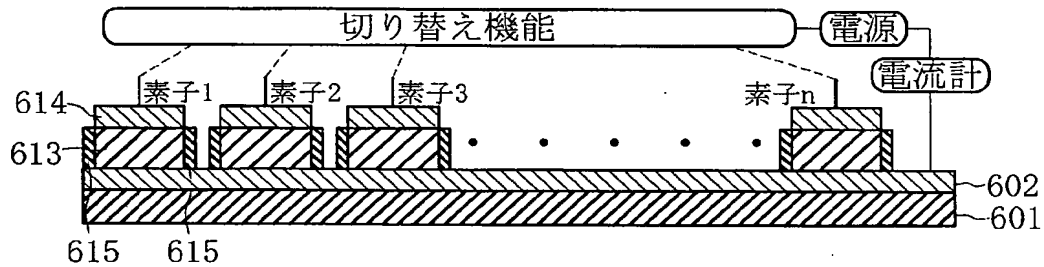
[図12A]



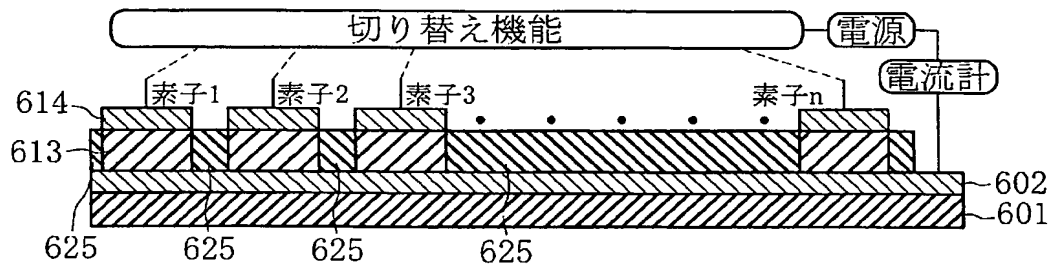
[図12B]



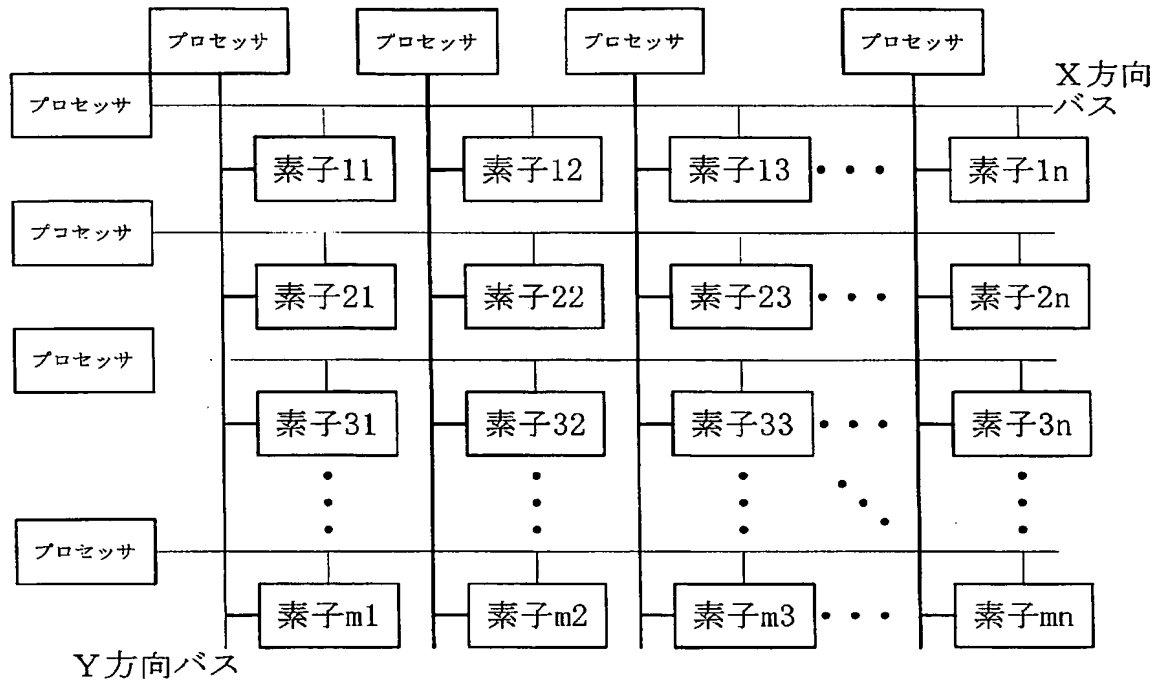
[図12C]



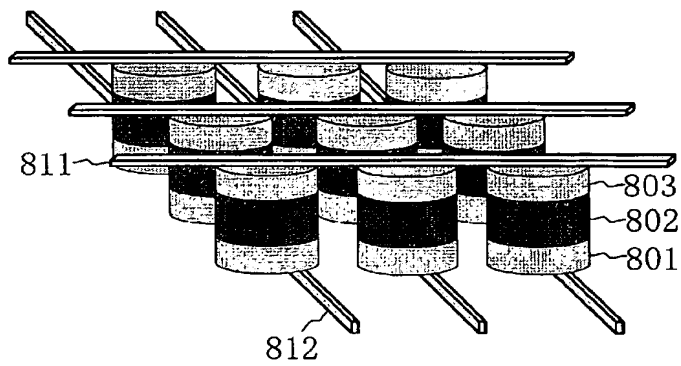
[図12D]



[図13]



[図14]



電流 (A)	0.5V印加時の電流 (mA)
10^{-5}	~0.02
4×10^{-5}	~0.06
8×10^{-5}	~0.04
10^{-4}	~0.05
2×10^{-4}	~0.70
4×10^{-4}	~0.70
10^{-3}	~0.70

パルス印加

正側電圧

負側電圧

測定 (+0.3V) -4V, 10 μ s, 1回

測定 (+0.3V) +5V, 10 μ s, 4回

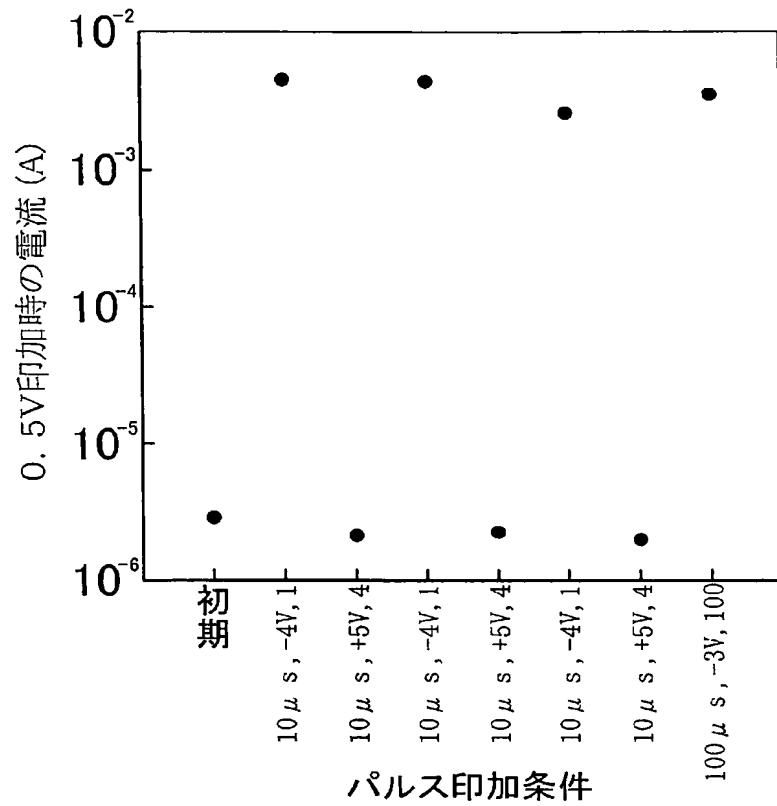
測定 (+0.3V) -4V, 10 μ s, 1回

測定 (+0.3V) +5V, 1 μ s, 10回

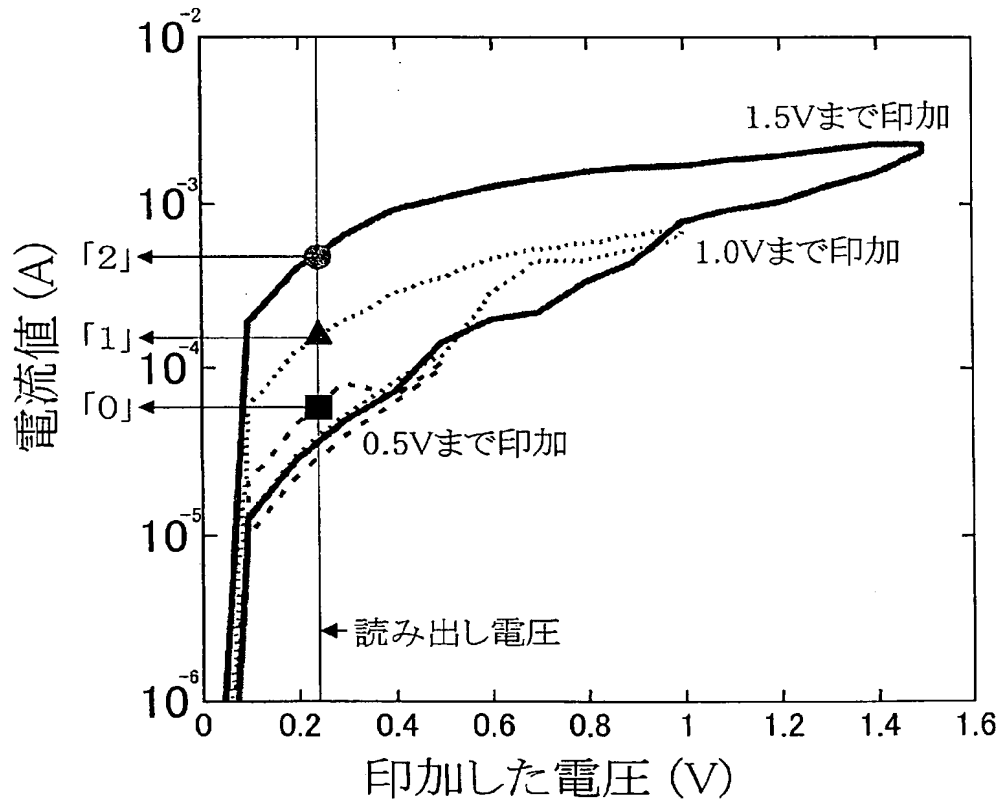
測定 (+0.3V) -3V, 100 μ s, 100回

測定 (+0.3V)

[図17]




[図18]

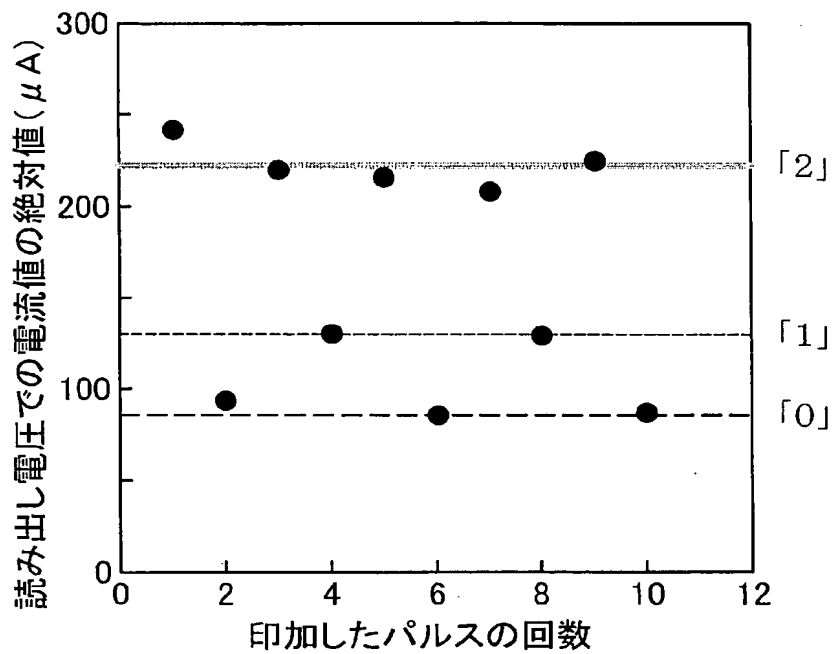


[図19]

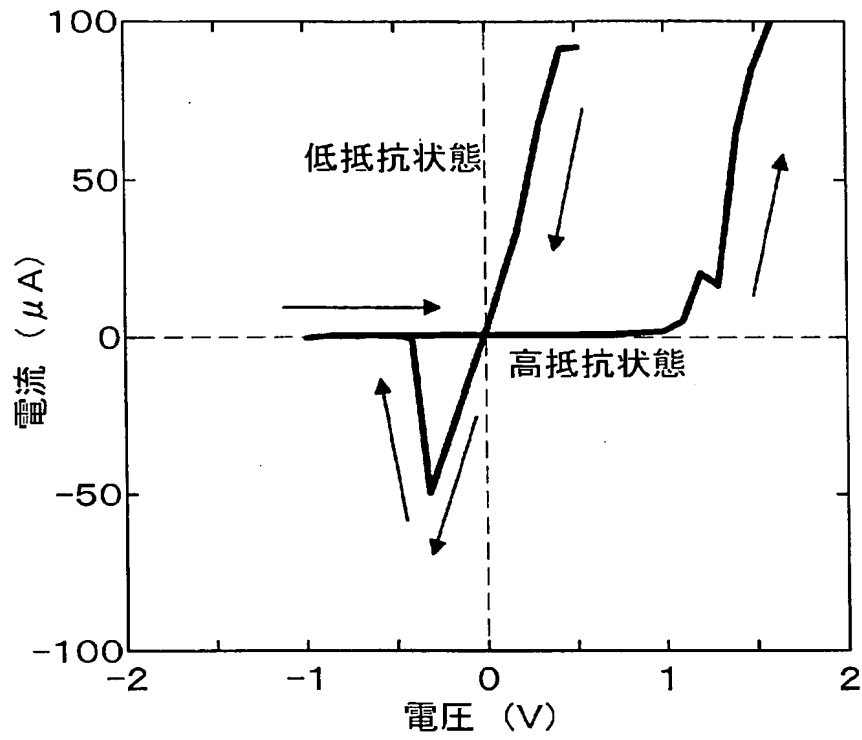
パルス回数	1	2	3	4	5
パルス電圧(V)	+3	-3	+3	+1.5	+3
パルス幅(μsec)	10	10	10	10	10
状態	「1」	「0」	「2」	「1」	「2」



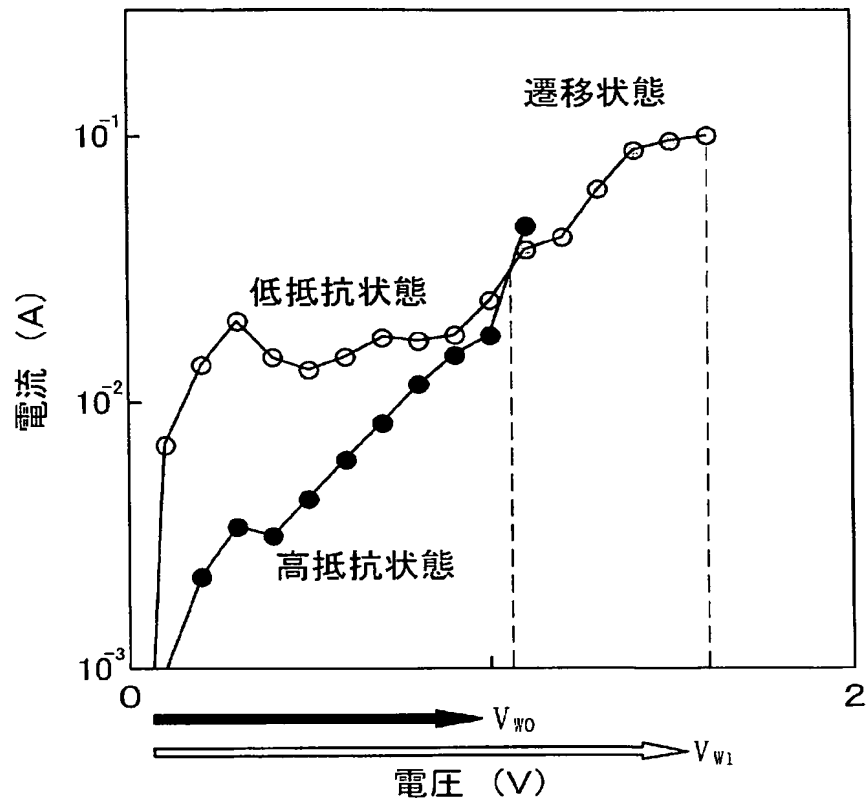
[図20]



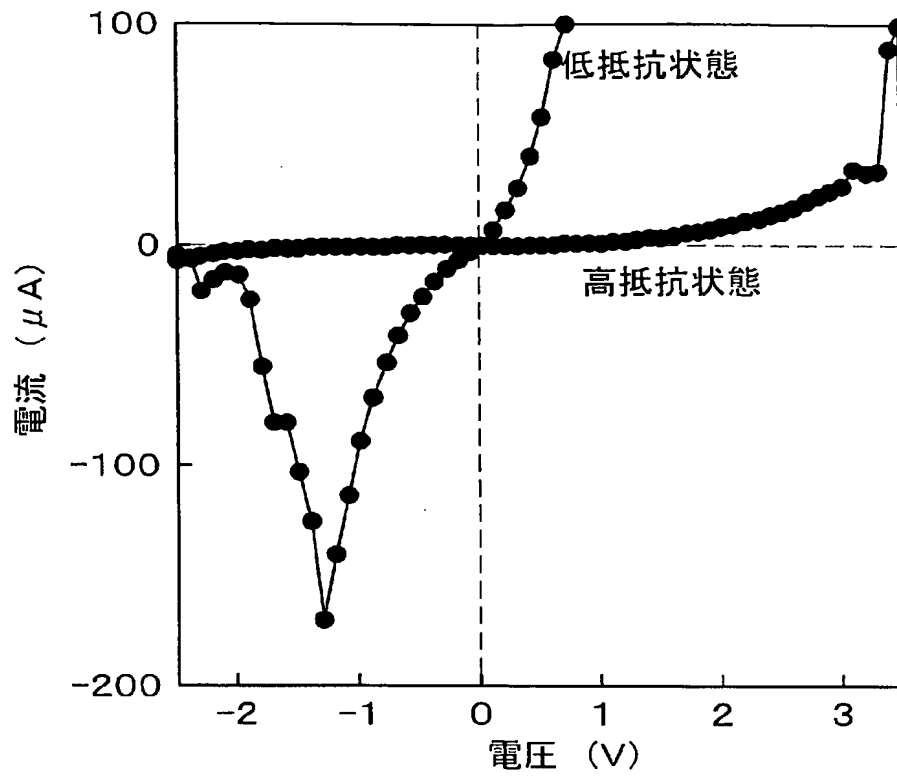
[図21]



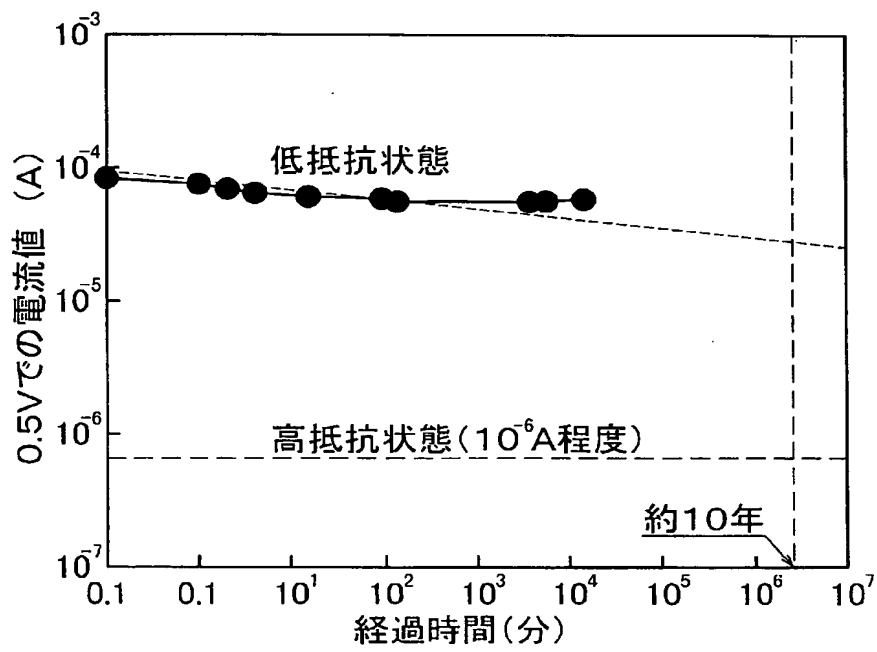
[図22]



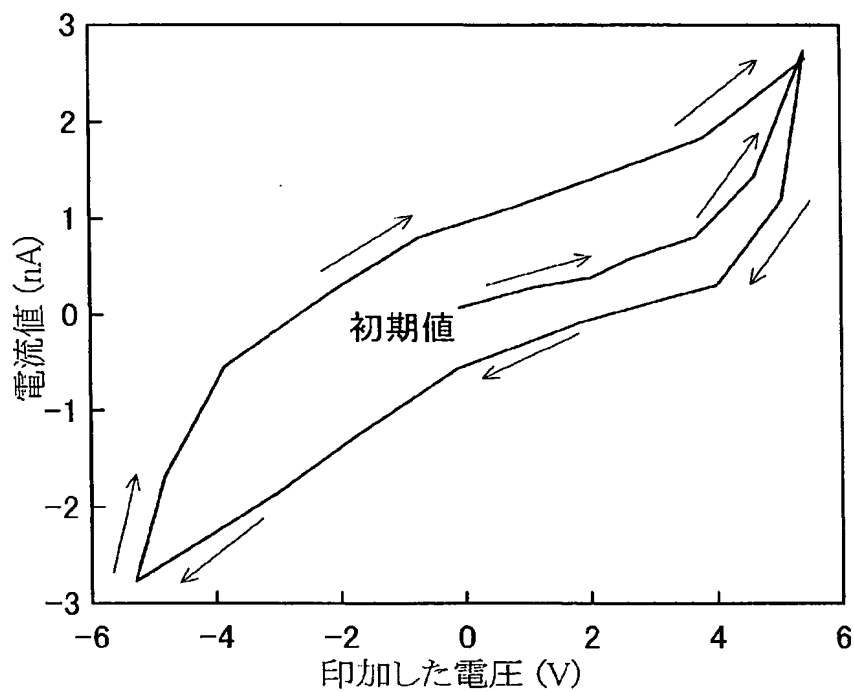
[図23]



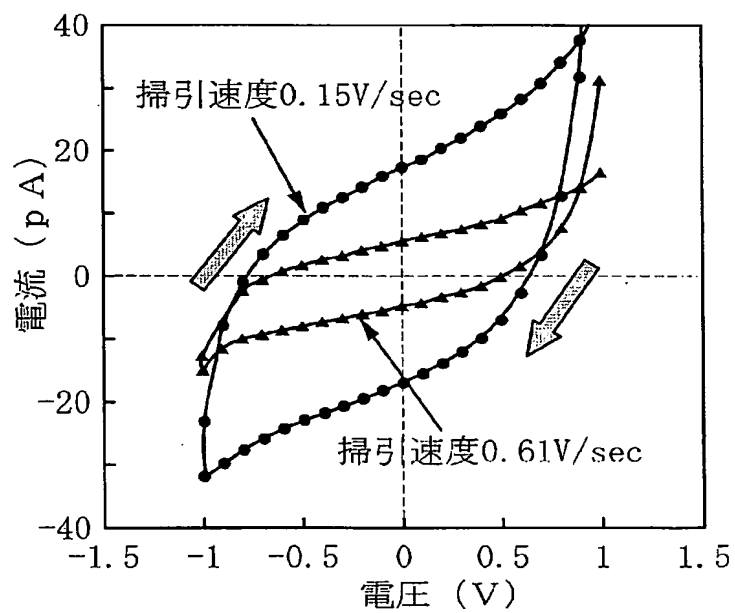
[図24]



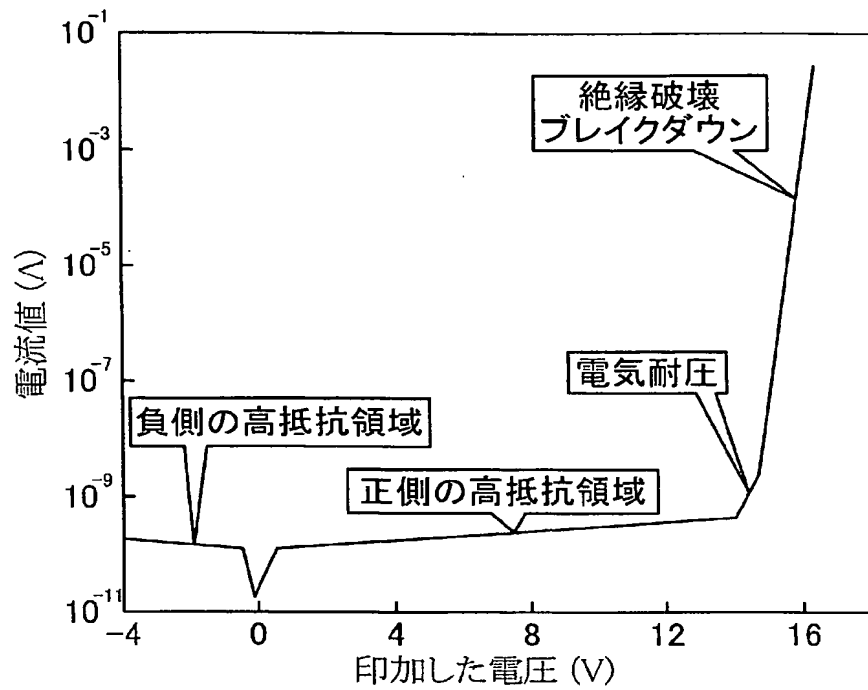
[図25A]



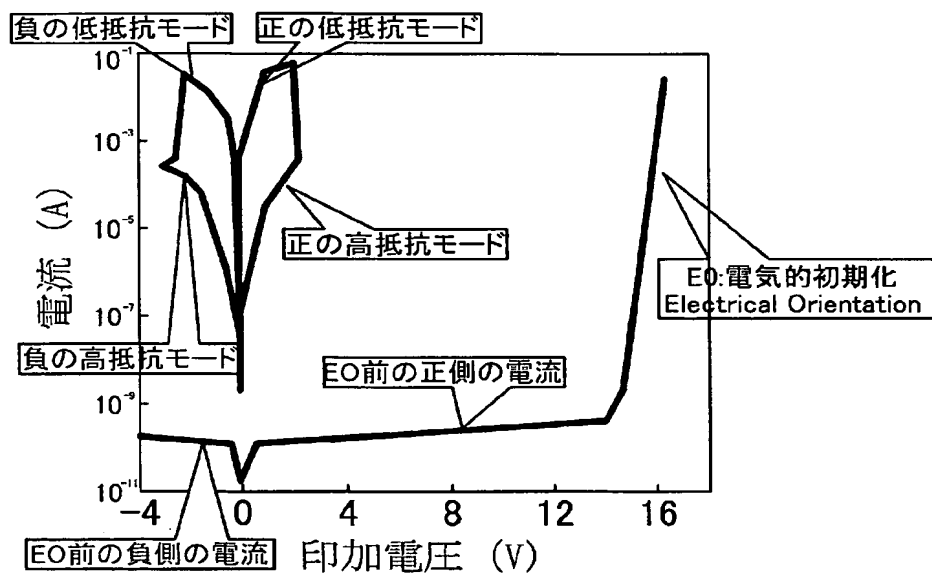
[図25B]



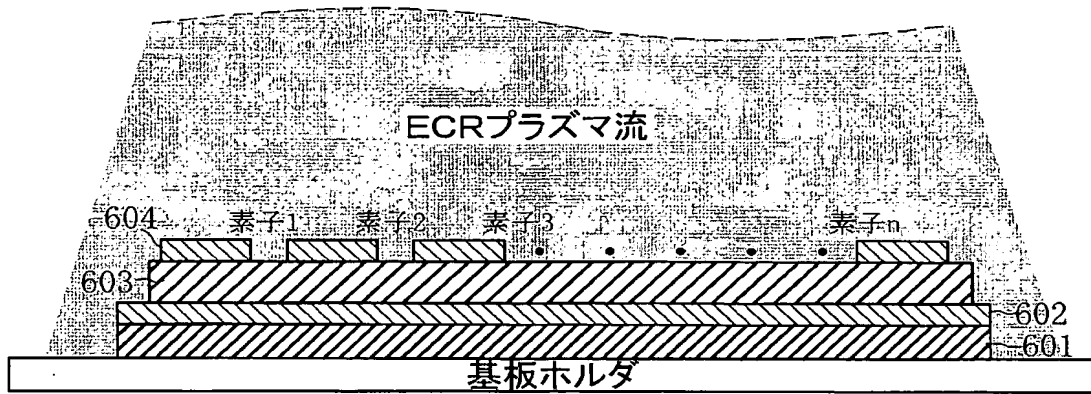
[図26]



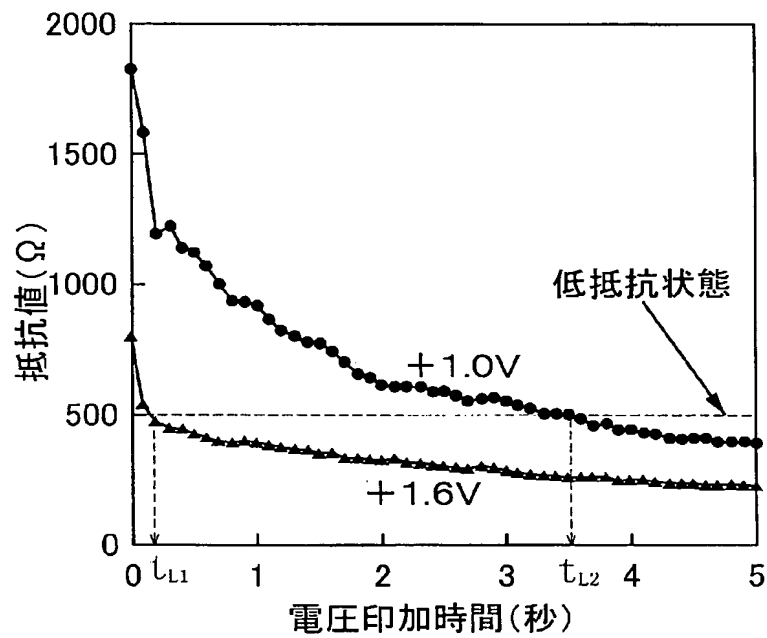
[図27]



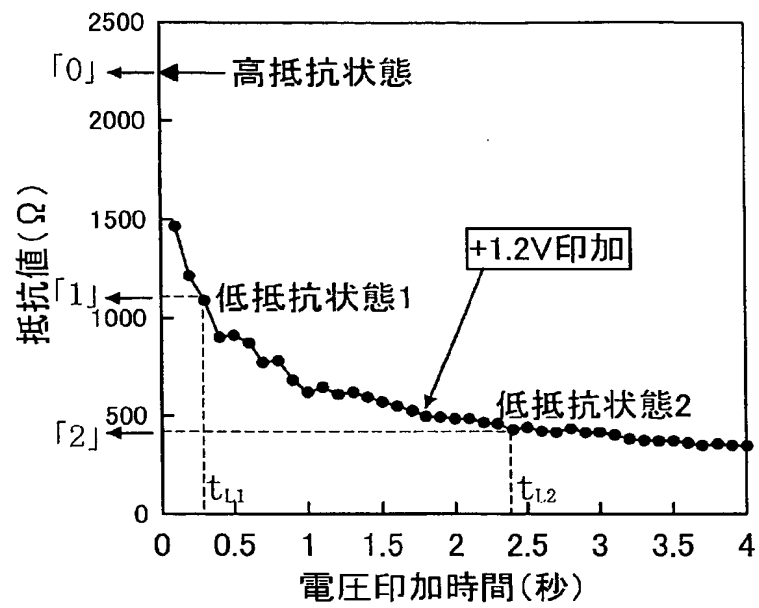
[図28]



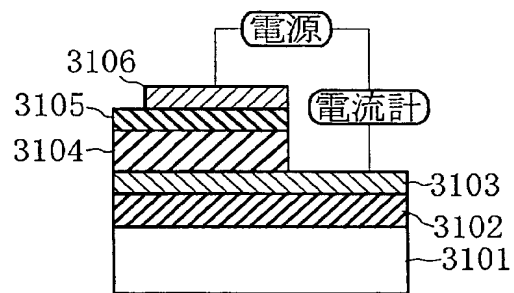
[図29]



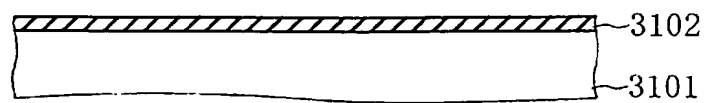
[図30]



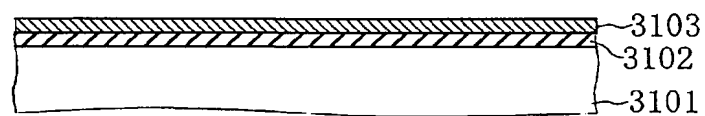
[図31]



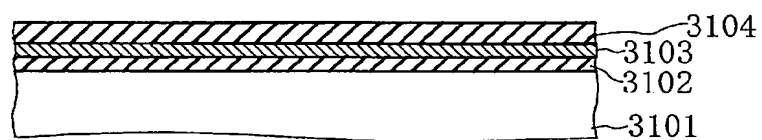
[図32A]



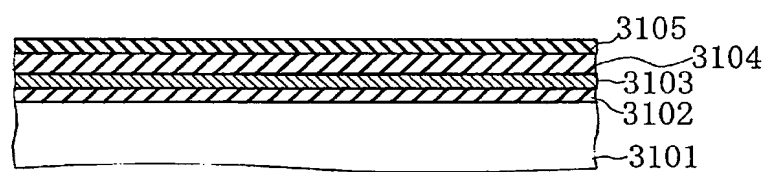
[図32B]



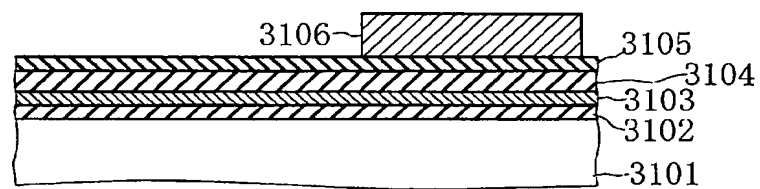
[図32C]



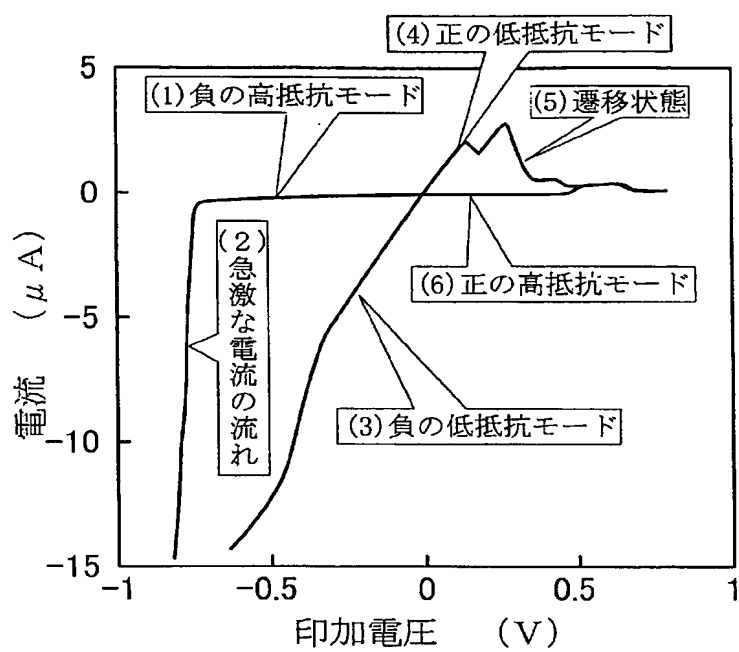
[図32D]



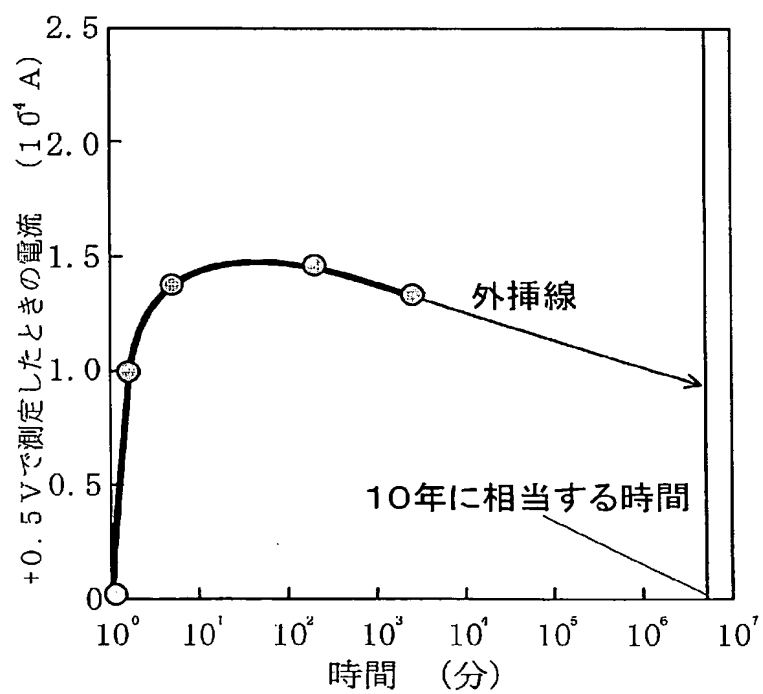
[図32E]



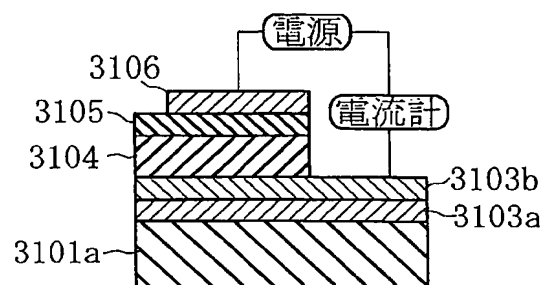
[図33]



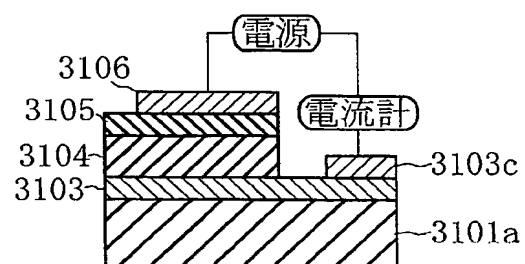
[図34]



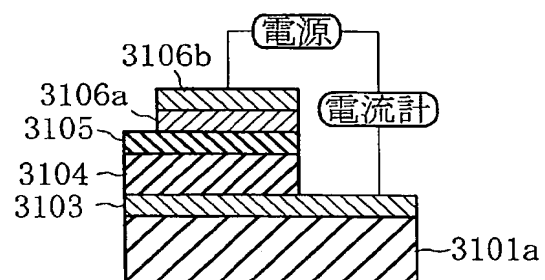
[図35A]



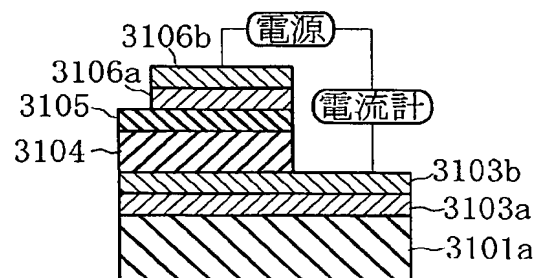
[図35B]



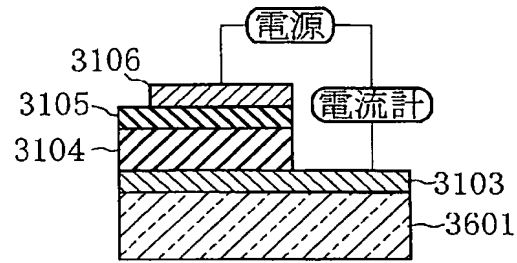
[図35C]



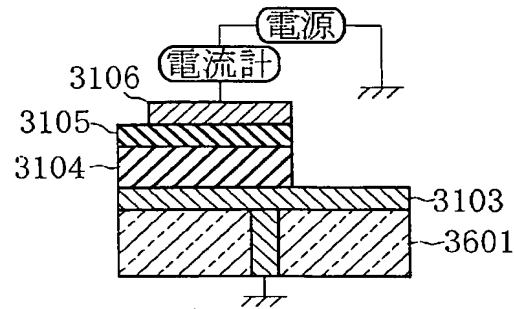
[図35D]



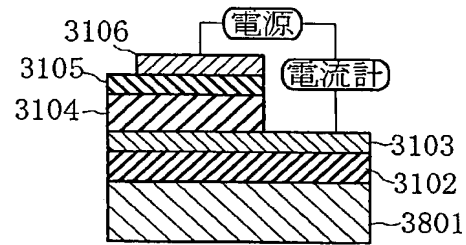
[図36]



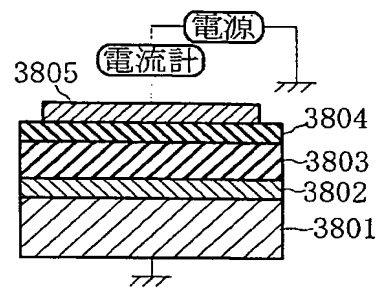
[図37]



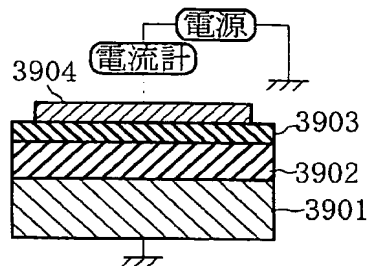
[図38A]



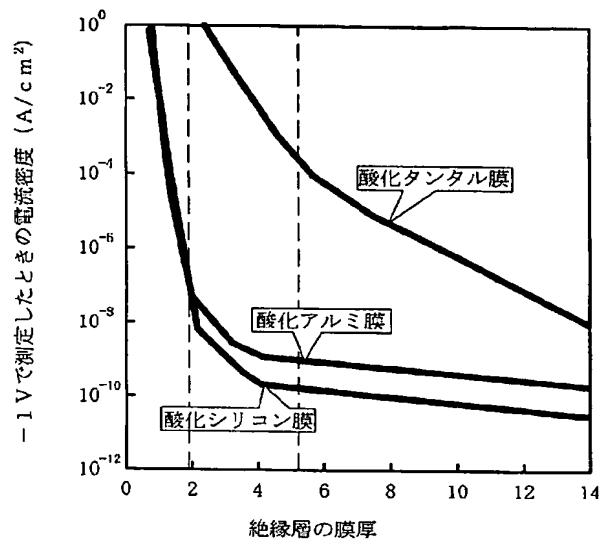
[図38B]



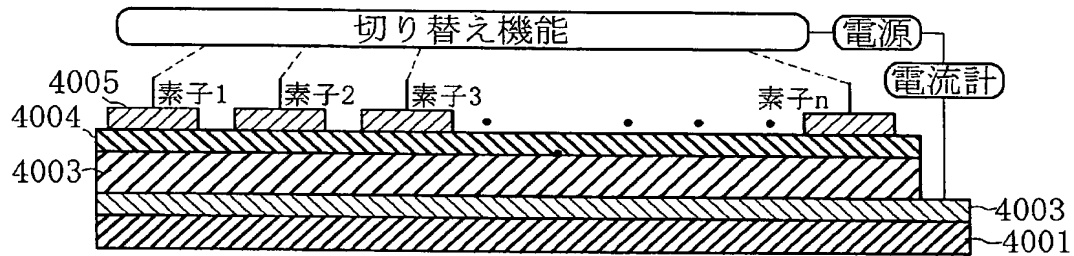
[図38C]



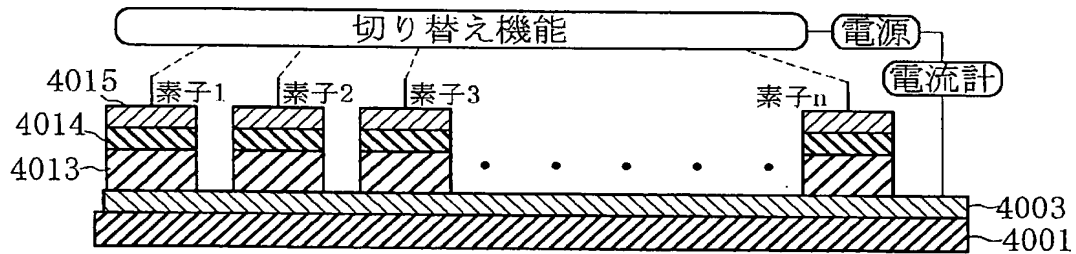
[図39]



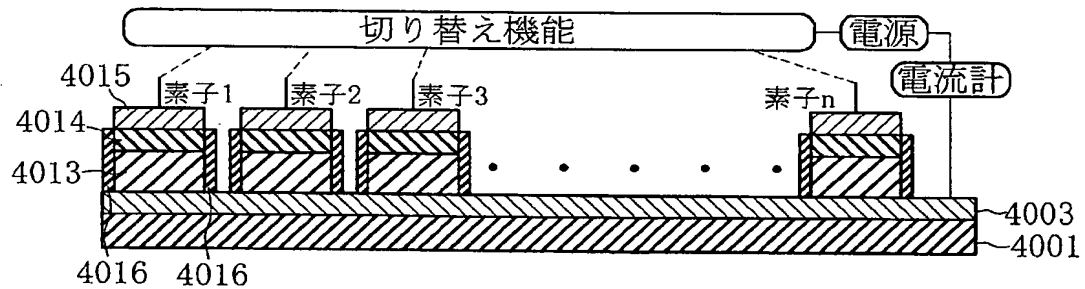
[図40A]



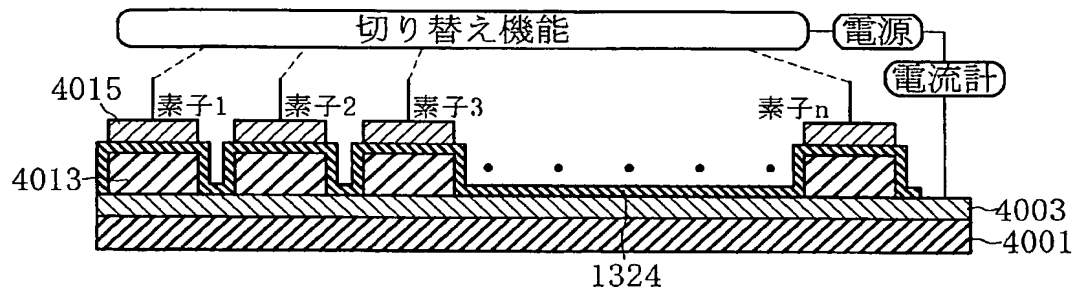
[図40B]



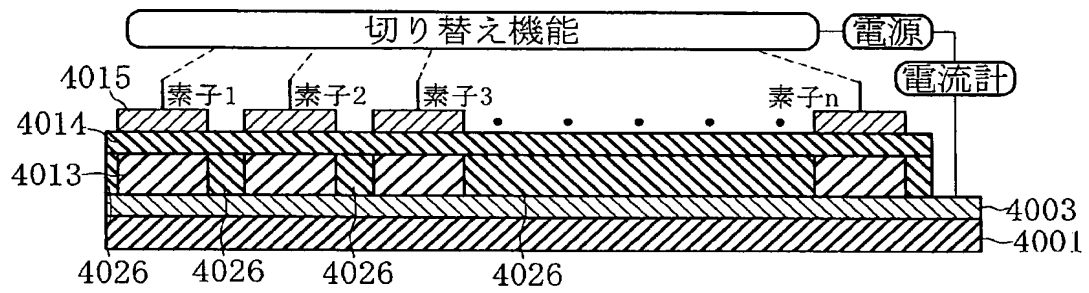
[図40C]



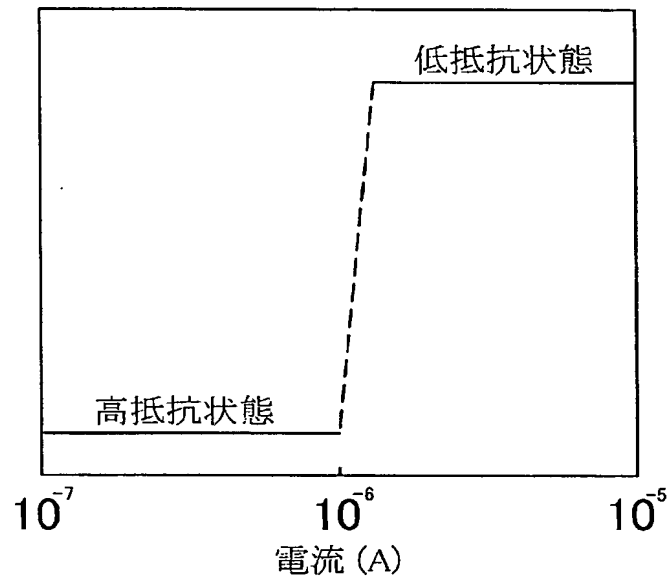
[図40D]



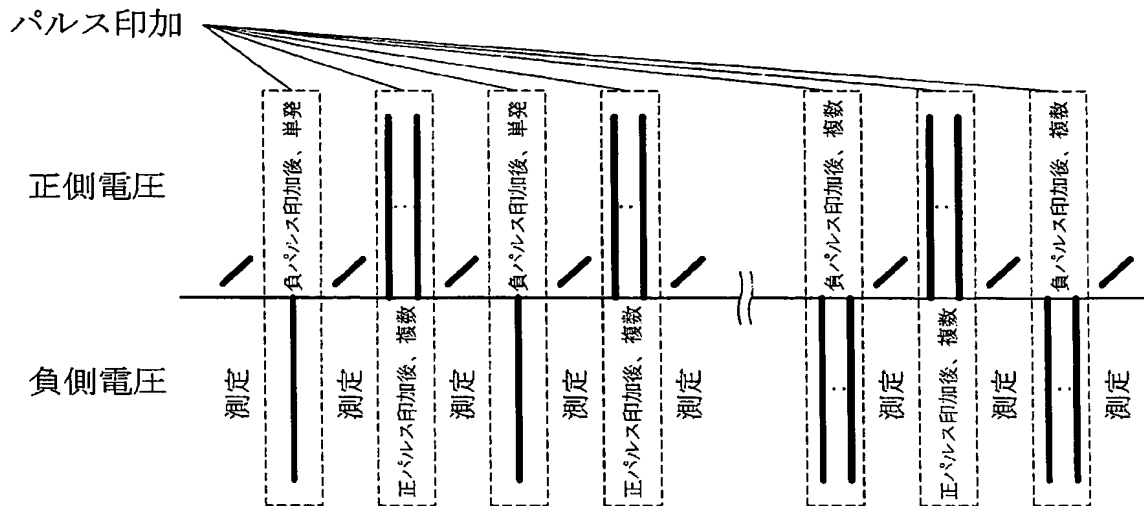
[図40E]



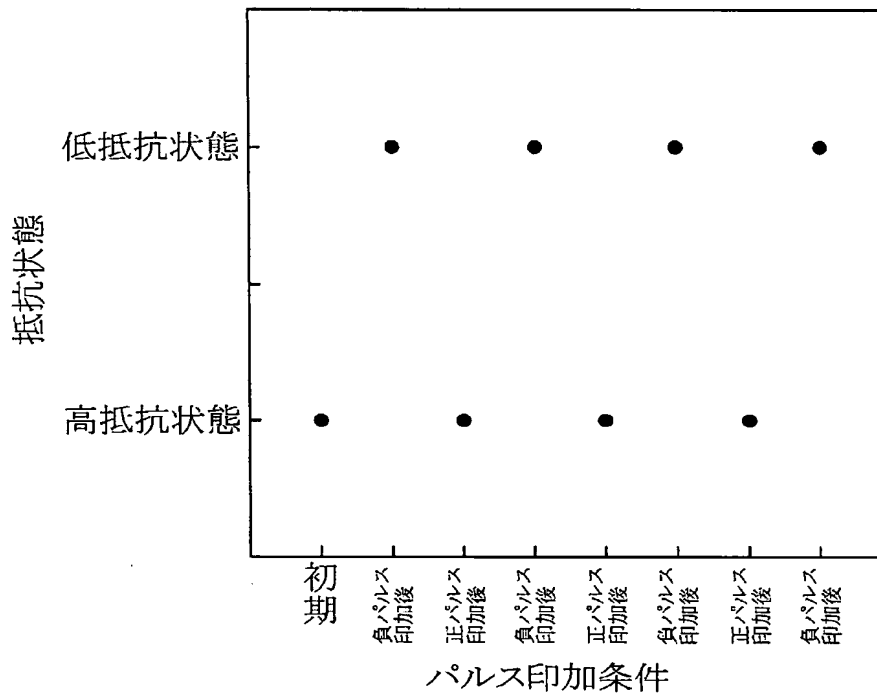
[図41]



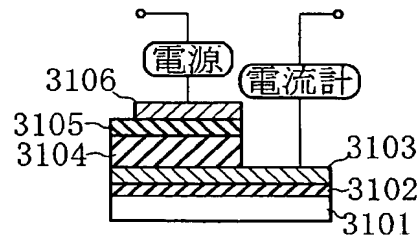
[図42]



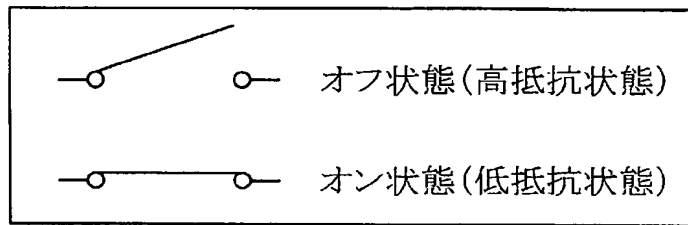
[図43]



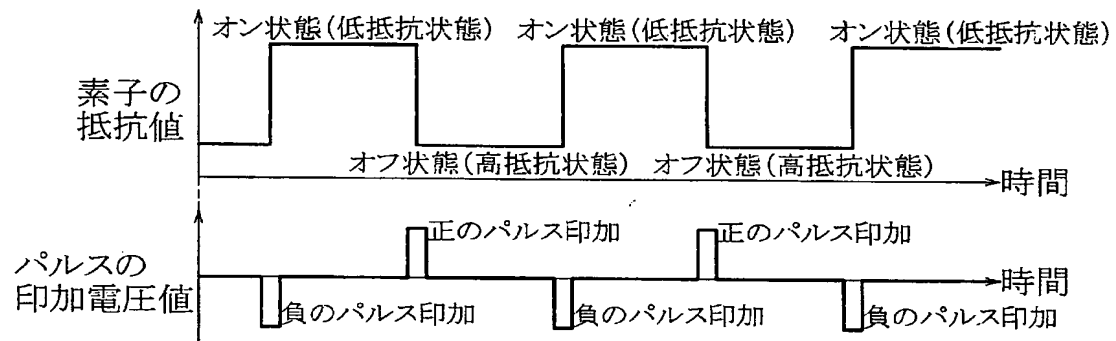
[図44A]



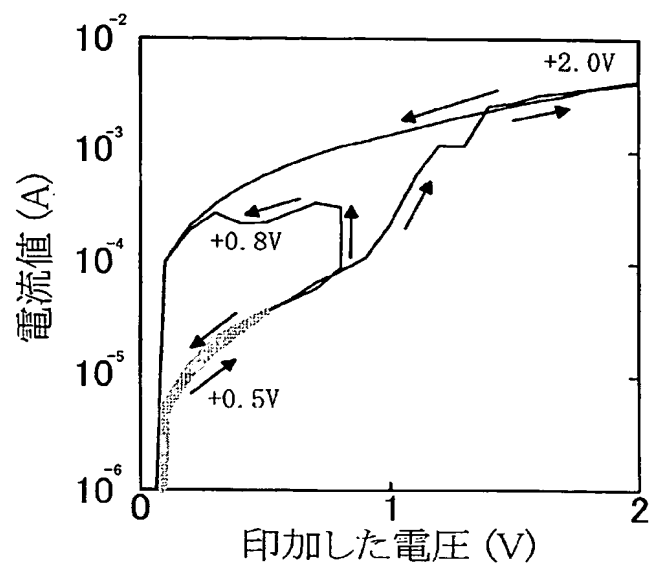
[図44B]



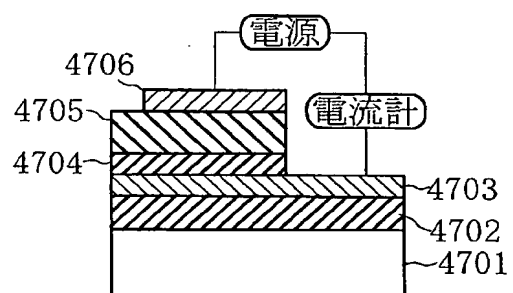
[図45]



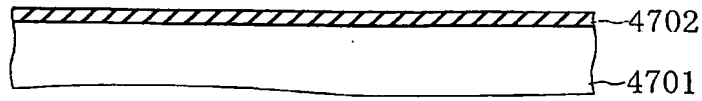
[図46]



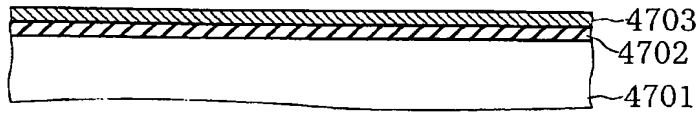
[図47]



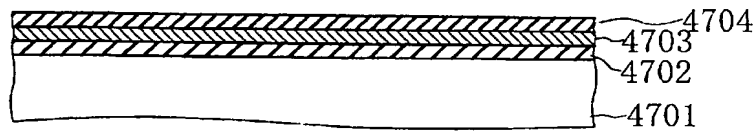
[図48A]



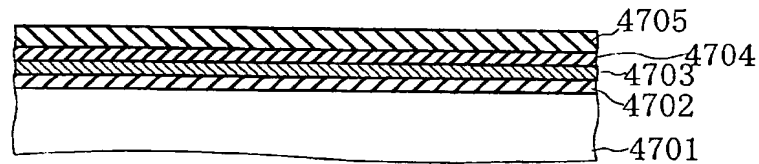
[図48B]



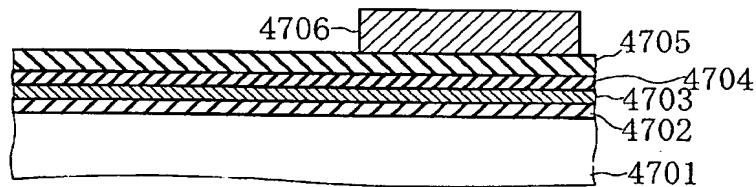
[図48C]



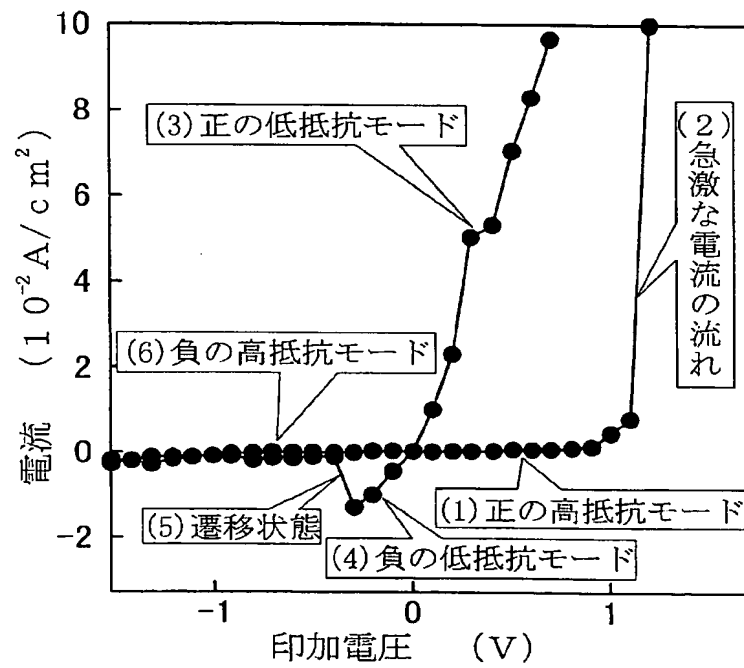
[図48D]



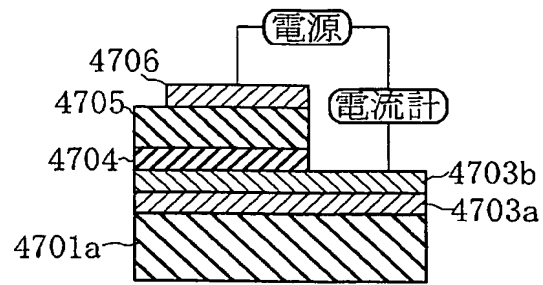
[図48E]



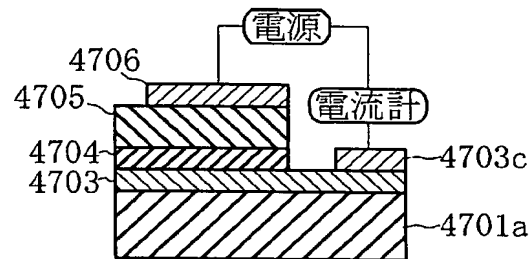
[図49]



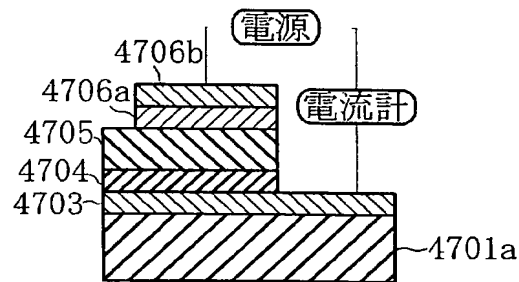
[図50A]



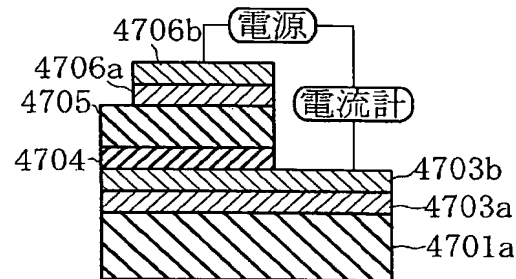
[図50B]



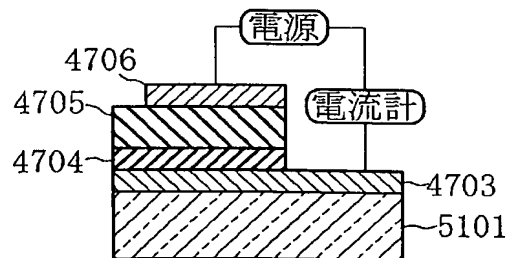
[図50C]



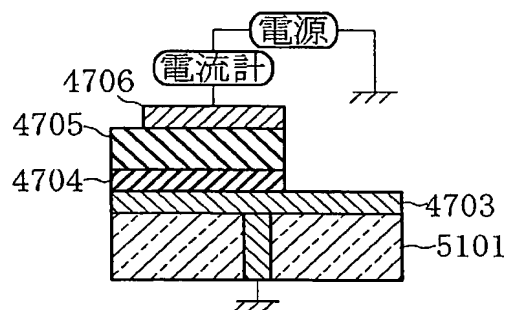
[図50D]



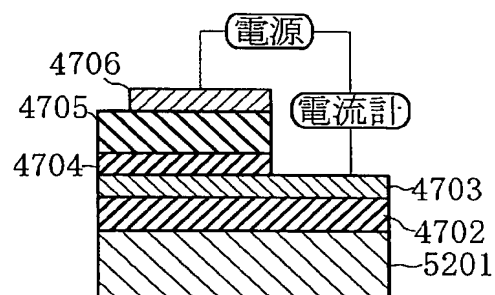
[図51]



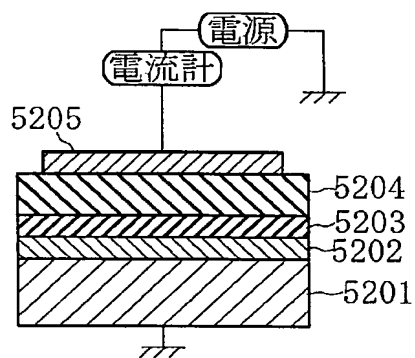
[図52]



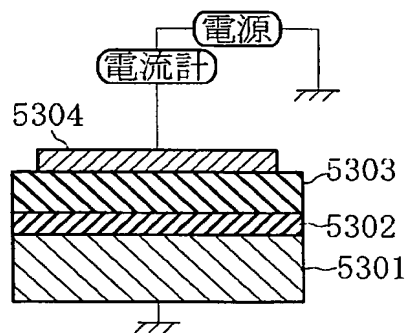
[図53A]



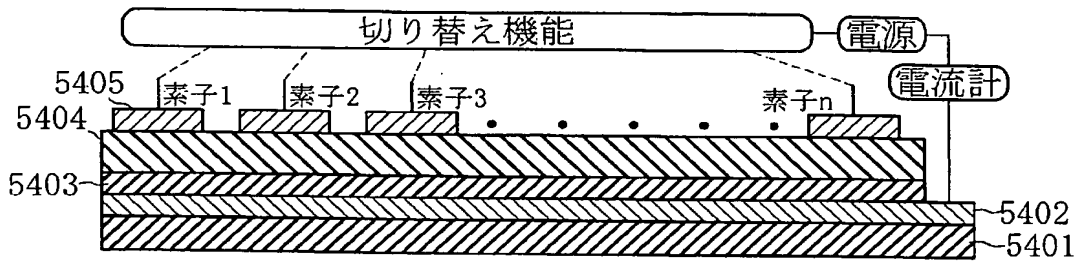
[図53B]



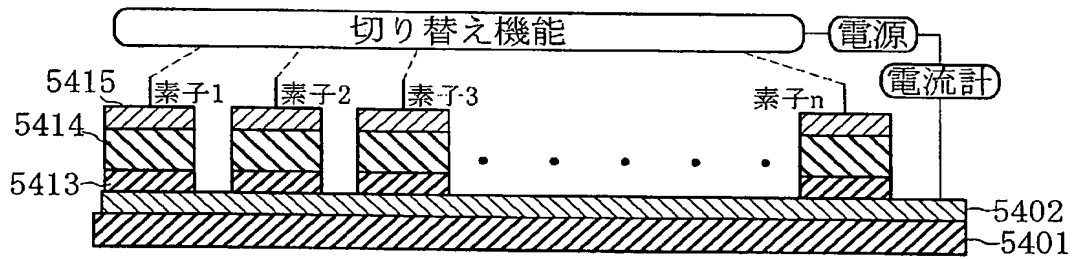
[図53C]



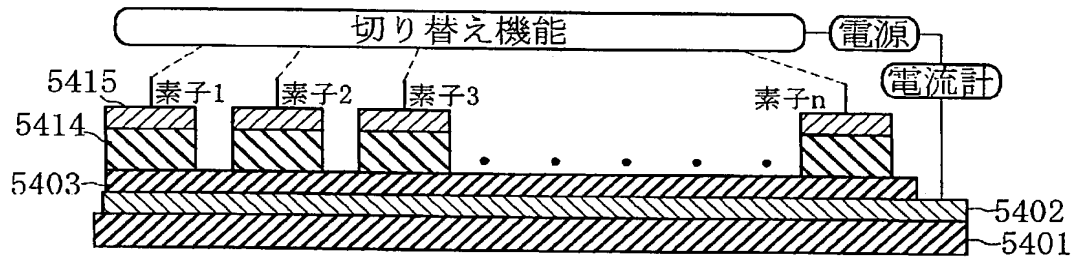
[図54A]



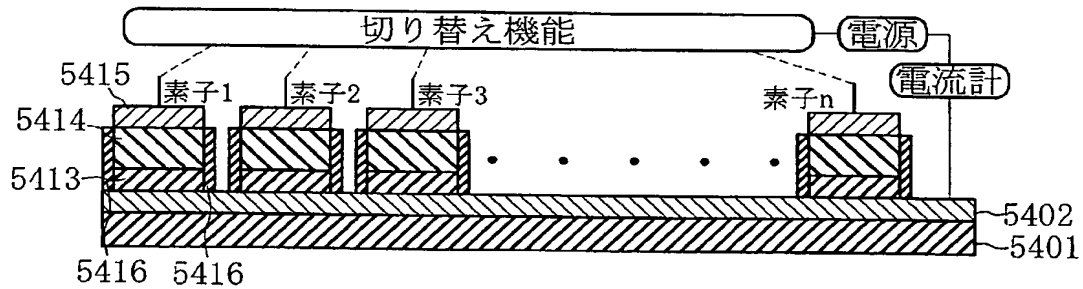
[図54B]



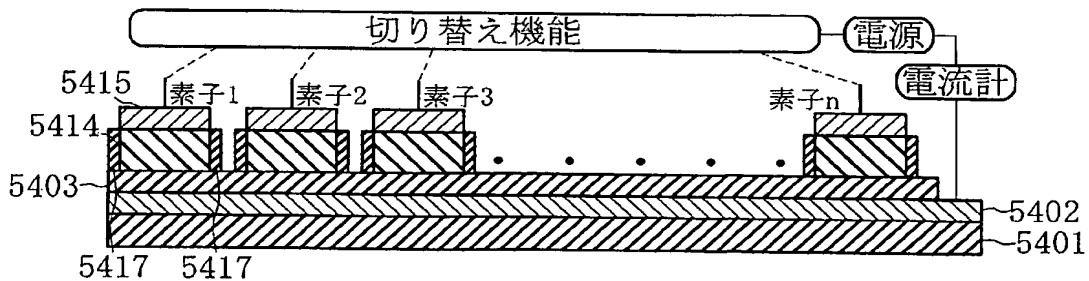
[図54C]



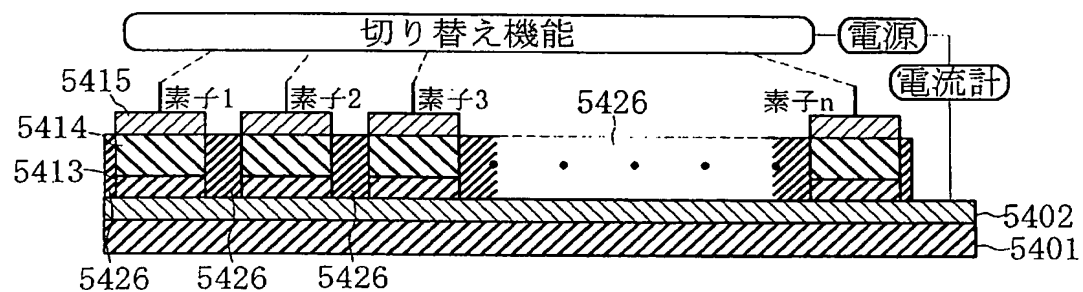
[図54D]



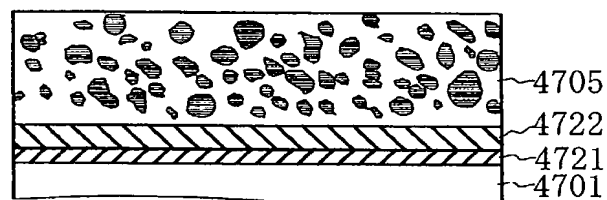
[図54E]



[図55]



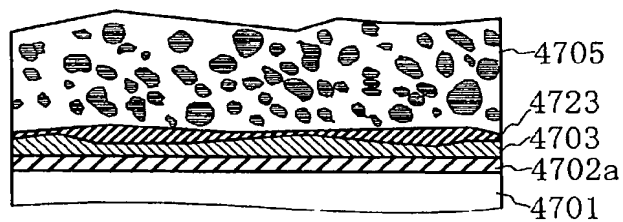
[図56]



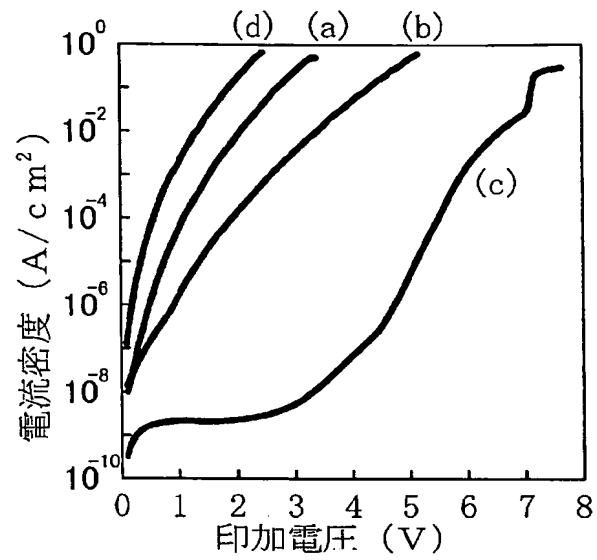
[図57]



[図58]



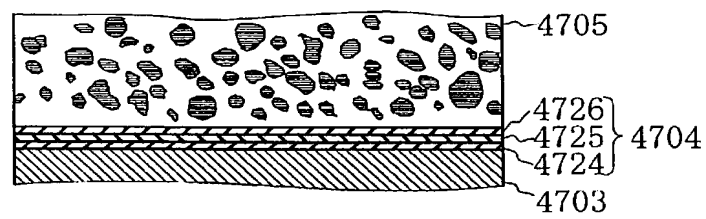
[図59]



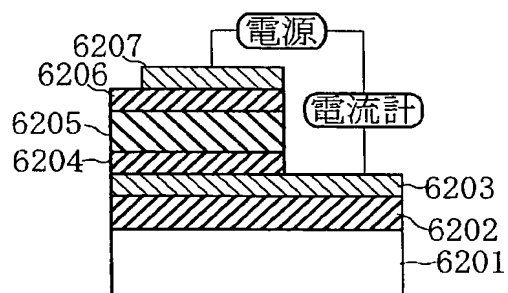
[図60]



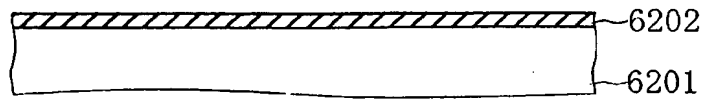
[図61]



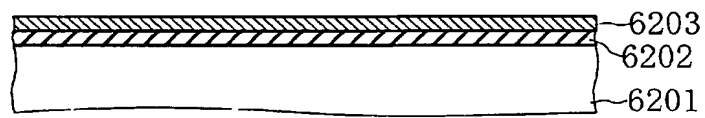
[図62]



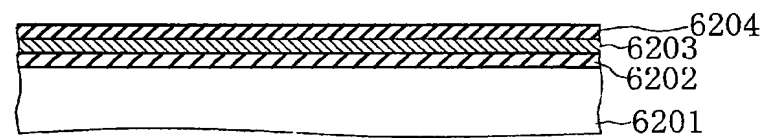
[図63A]



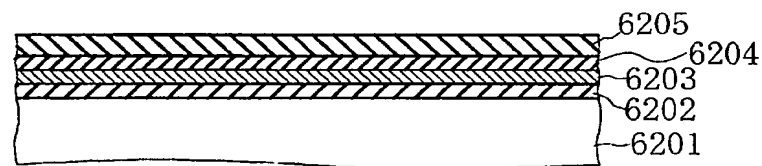
[図63B]



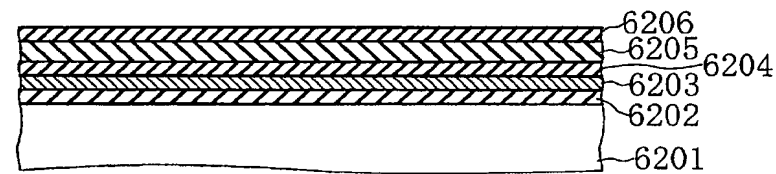
[図63C]



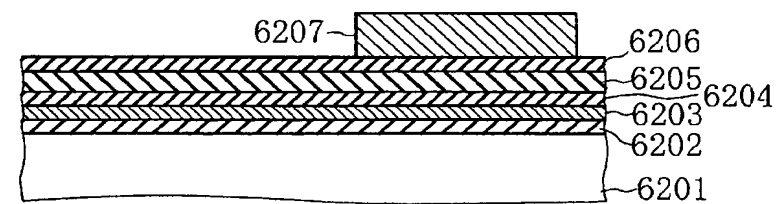
[図63D]



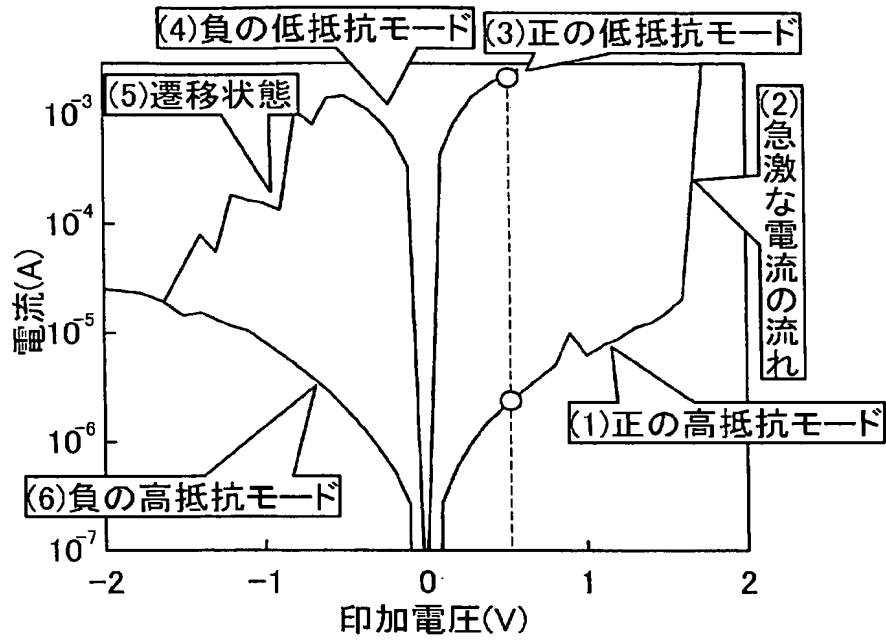
[図63E]



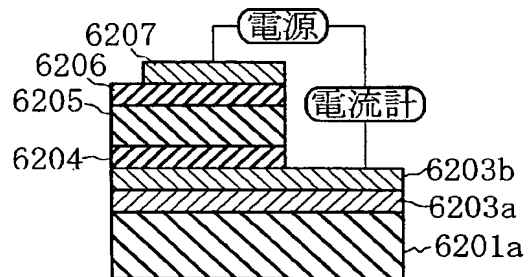
[図63F]



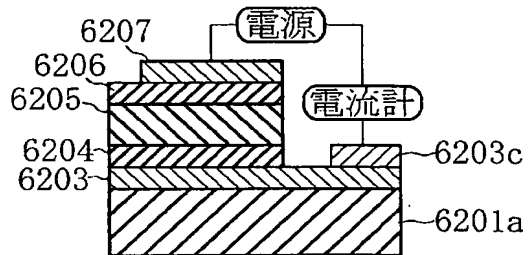
[図64]



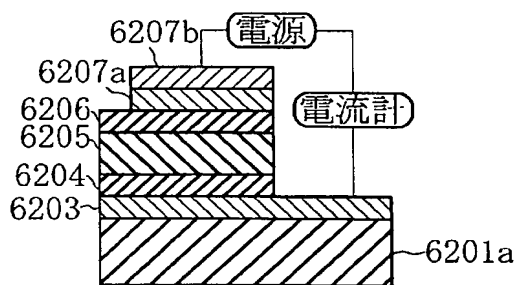
[図65A]



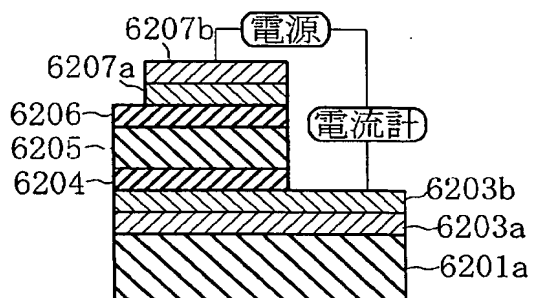
[図65B]



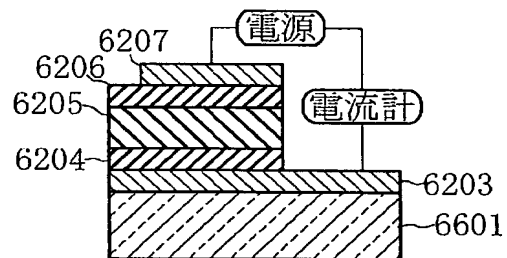
[図65C]



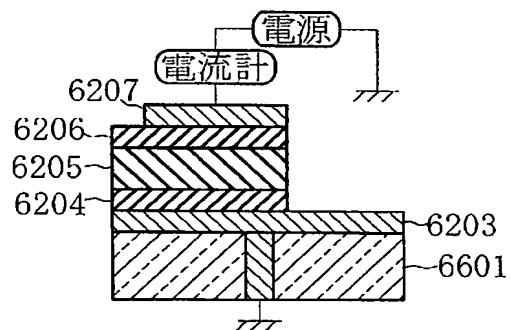
[図65D]



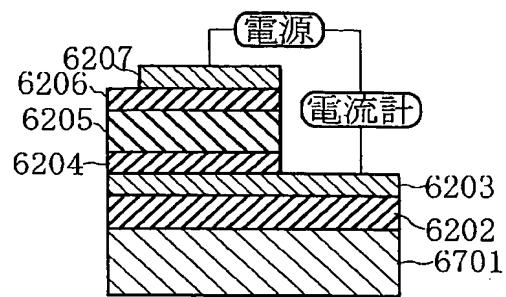
[図66A]



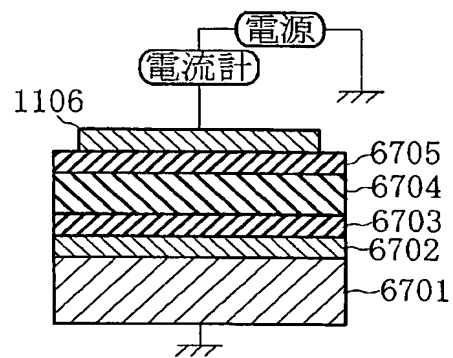
[図66B]



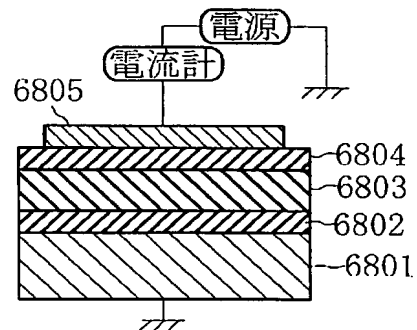
[図67A]



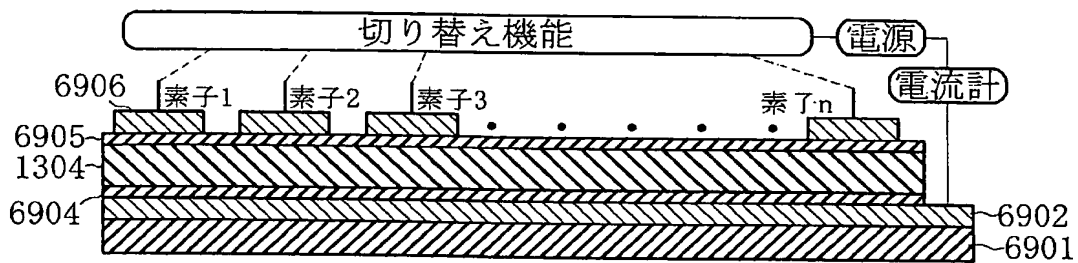
[図67B]



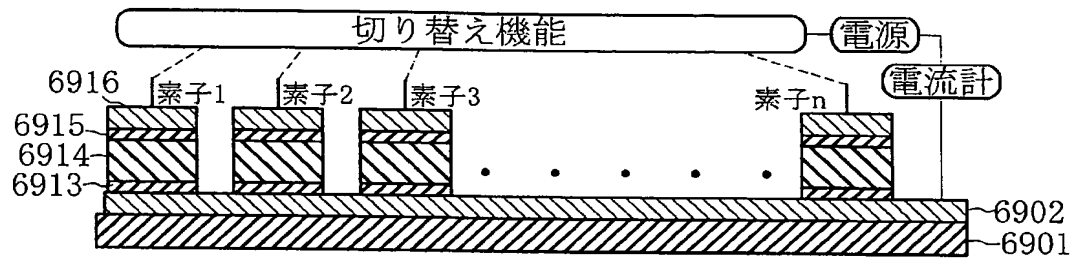
[図68]



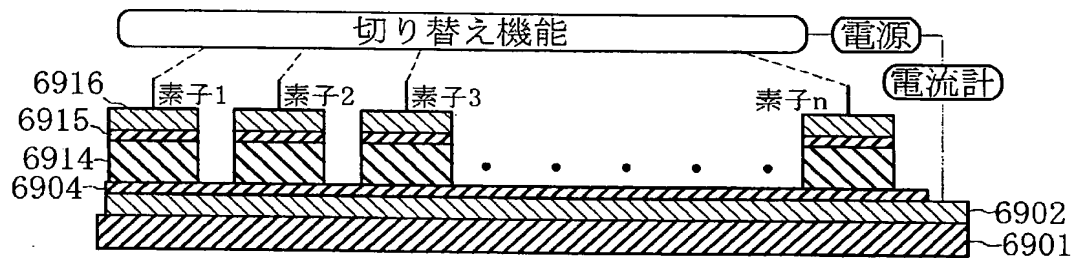
[図69A]



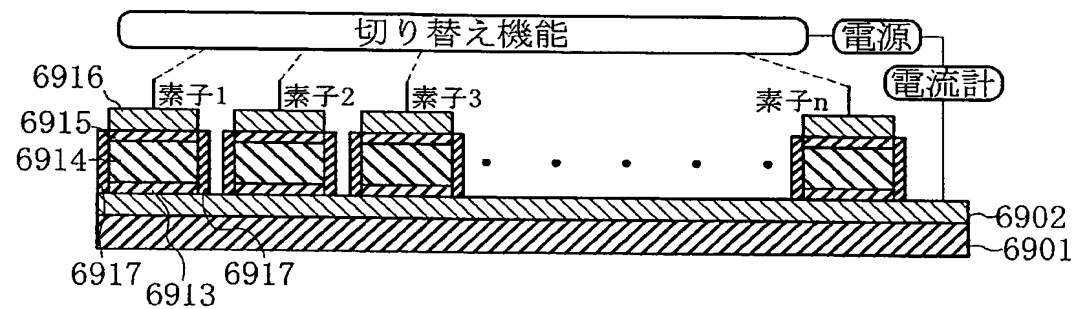
[図69B]



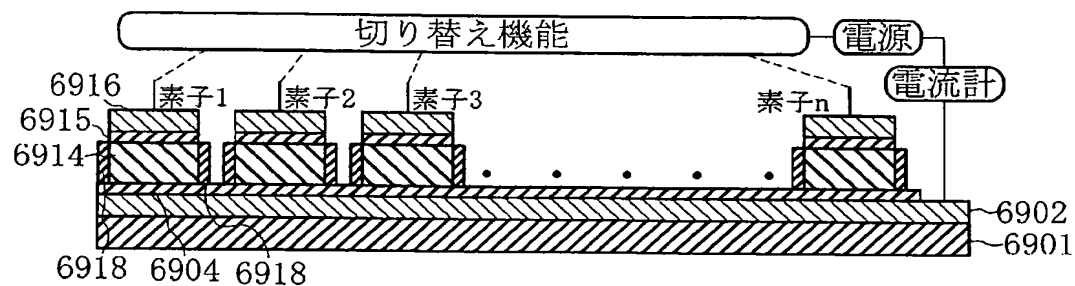
[図69C]



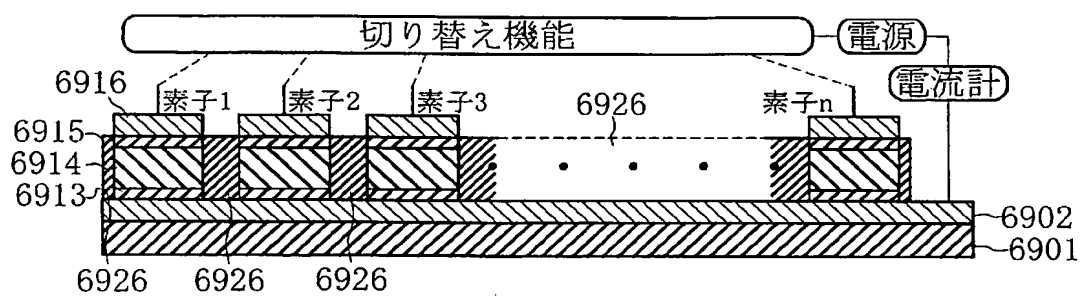
[図69D]



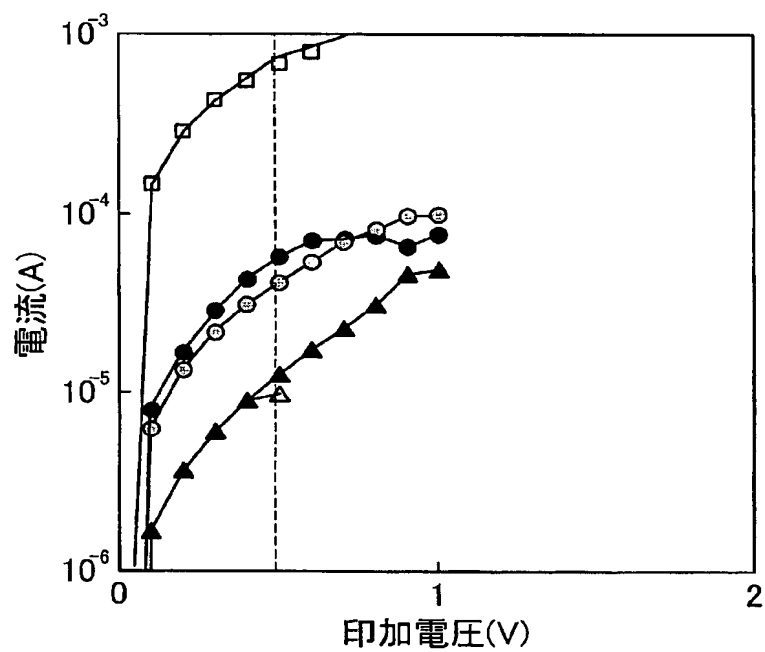
[図69E]



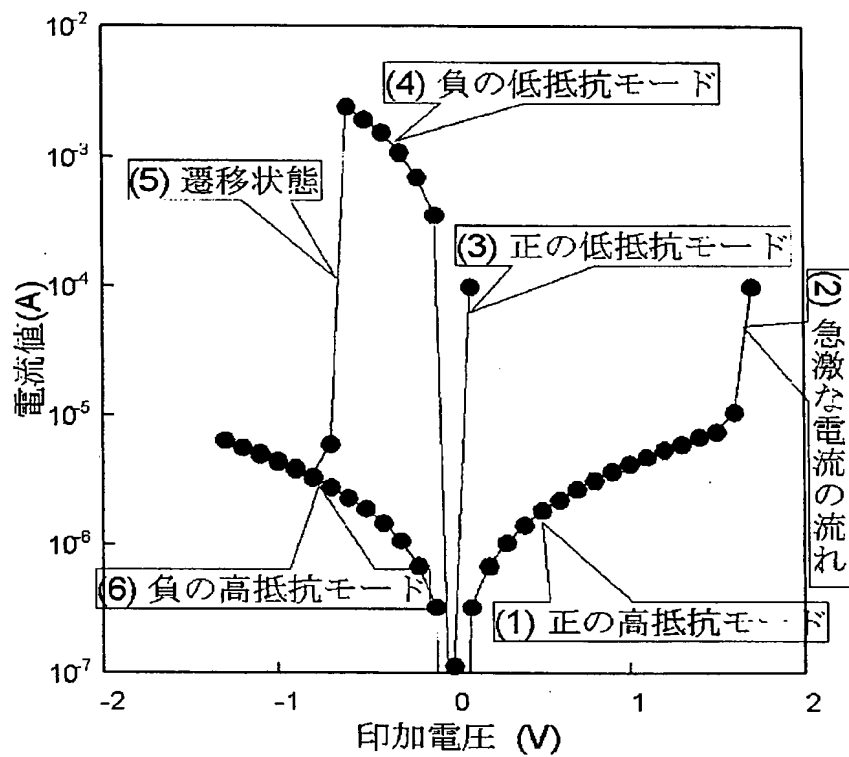
[図70]



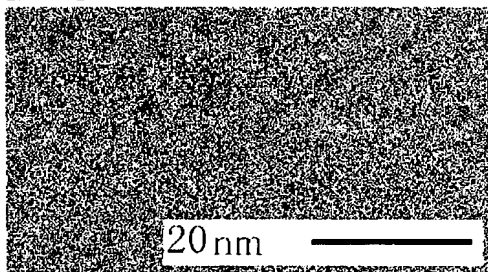
[図71]



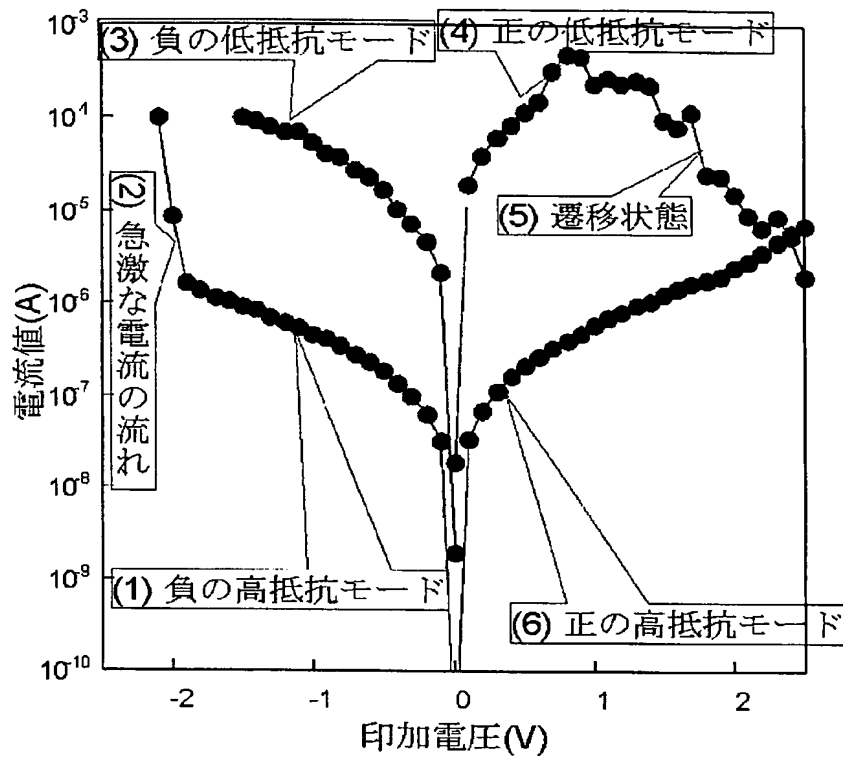
[図72]



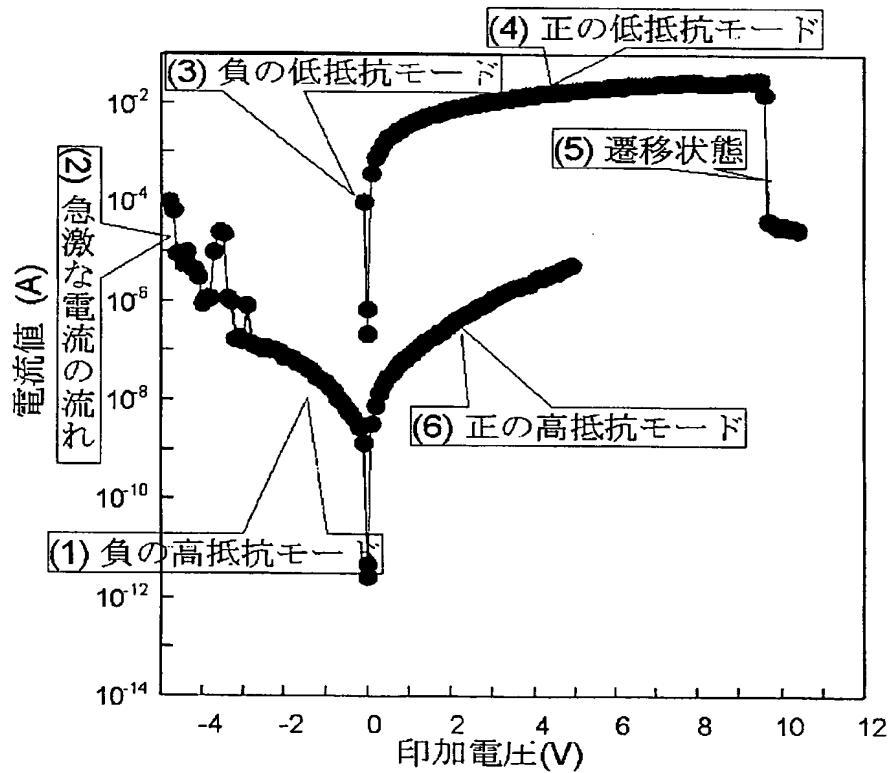
[図73]



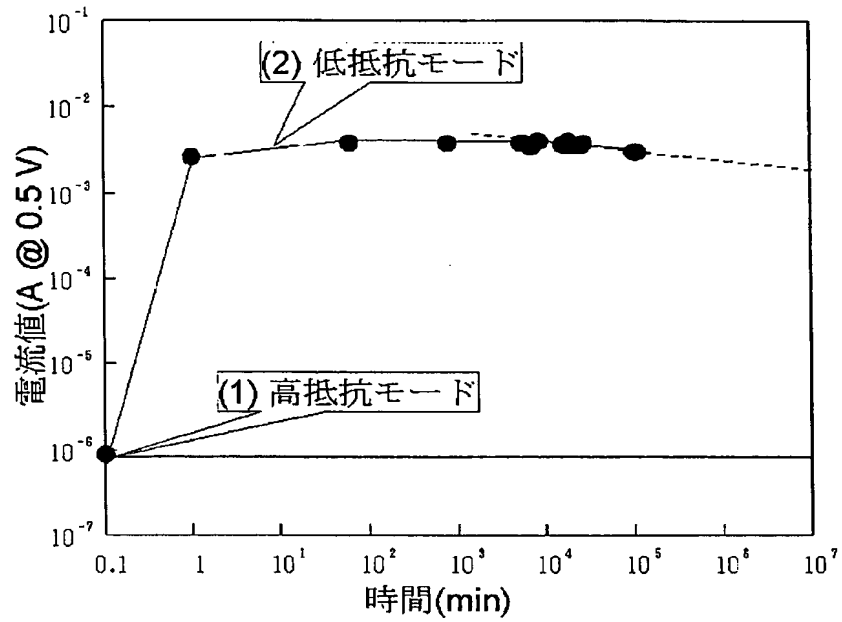
[図74]



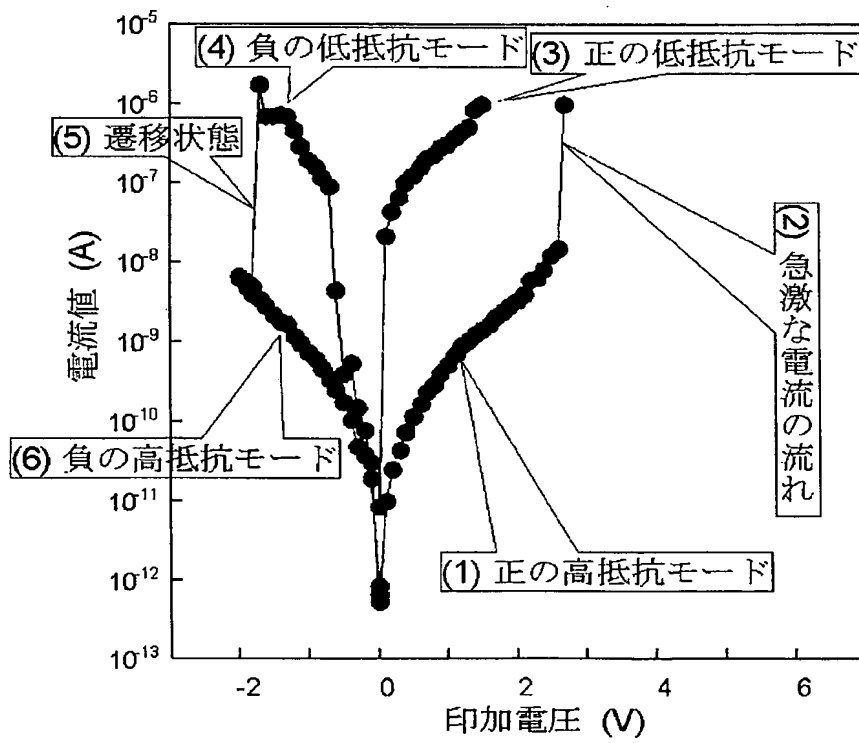
[図75]



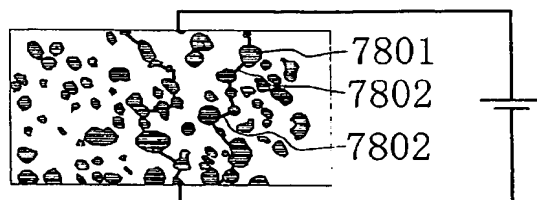
[図76]



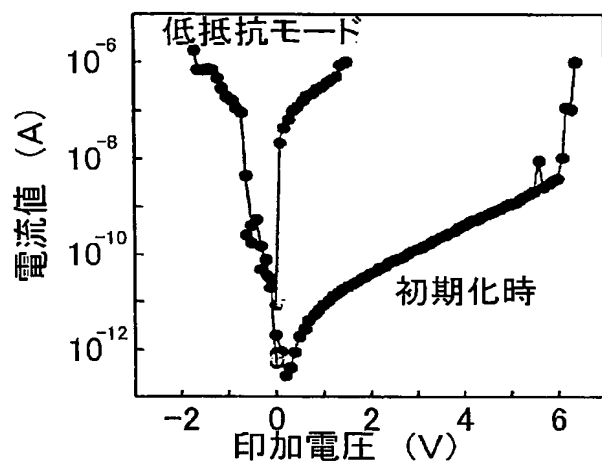
[図77]



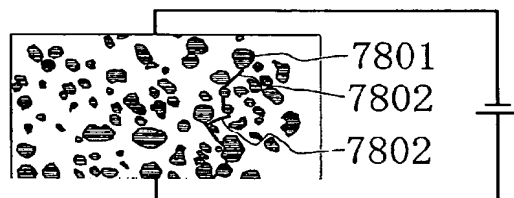
[図78]



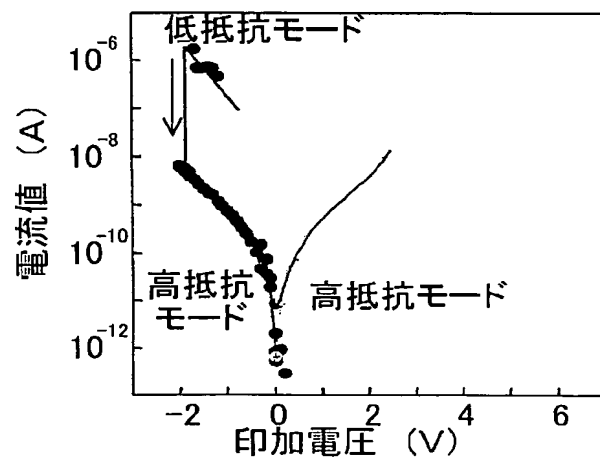
[図79]



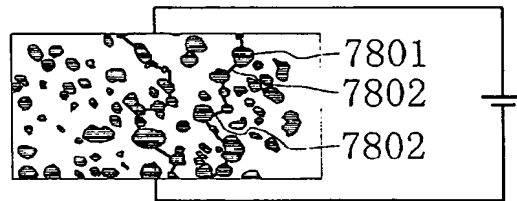
[図80]



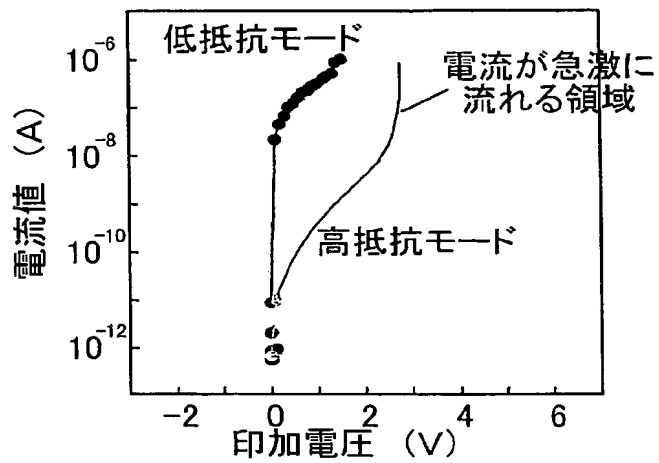
[図81]



[図82]



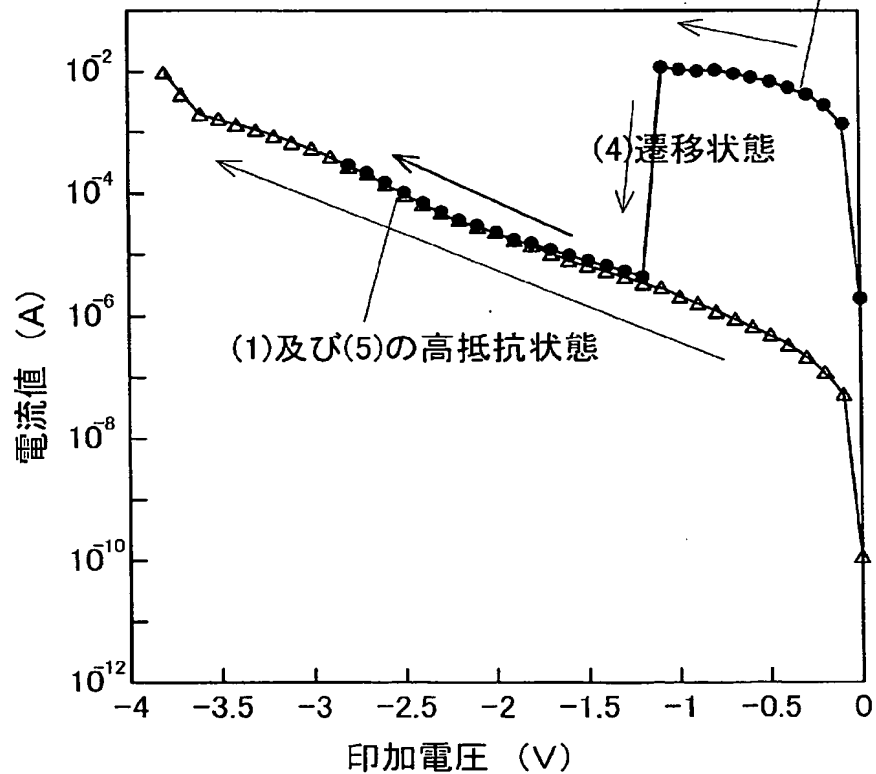
[図83]



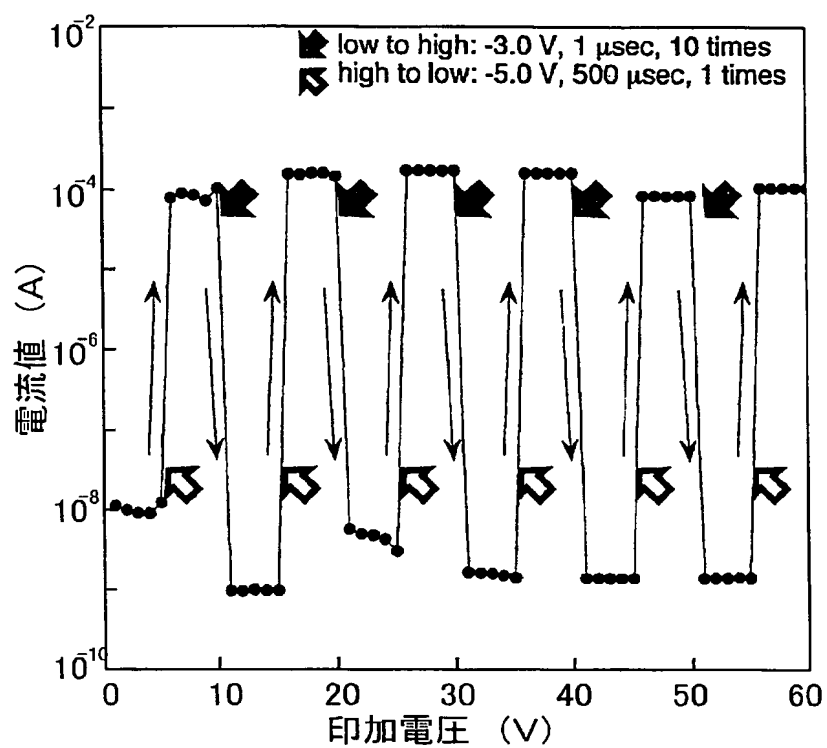
[図84]

(2)及び(6)急激な電流の流れ

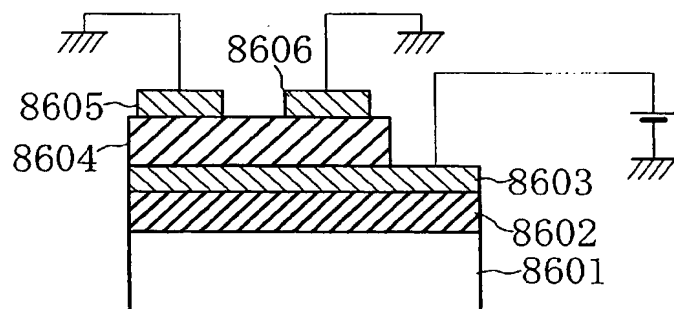
(3)負の低抵抗状態



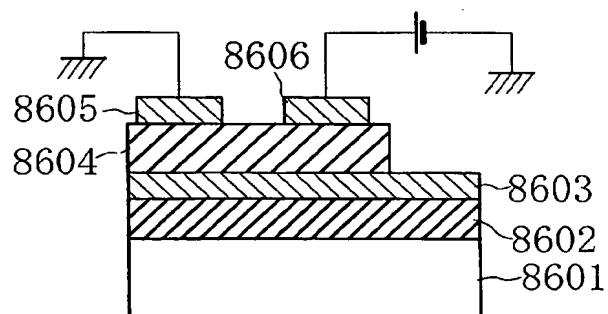
[図85]



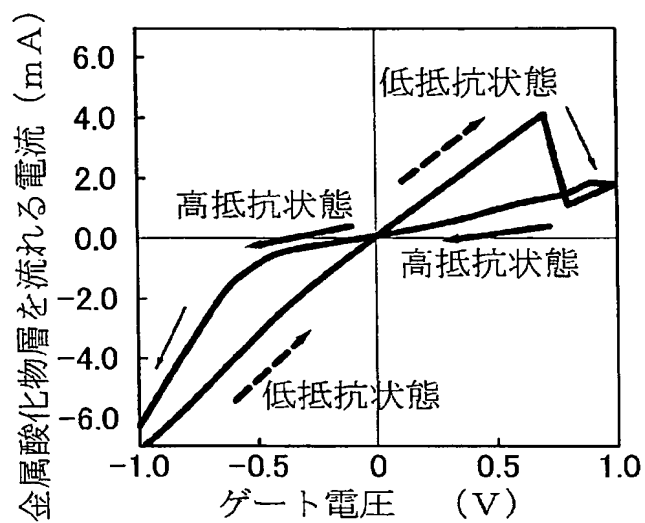
[図86A]



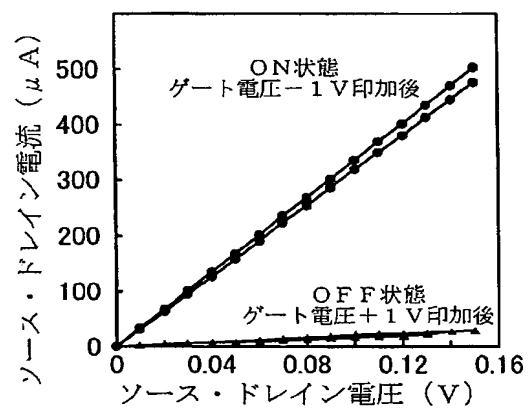
[図86B]



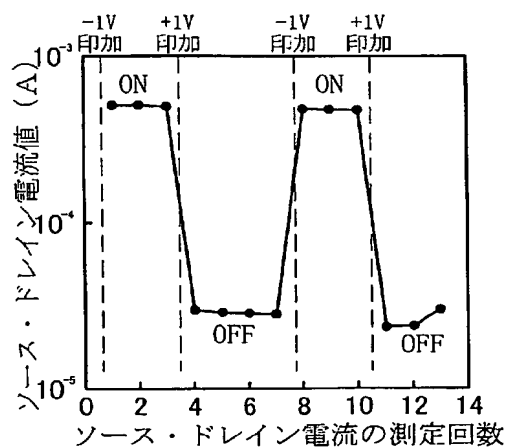
[図86C]



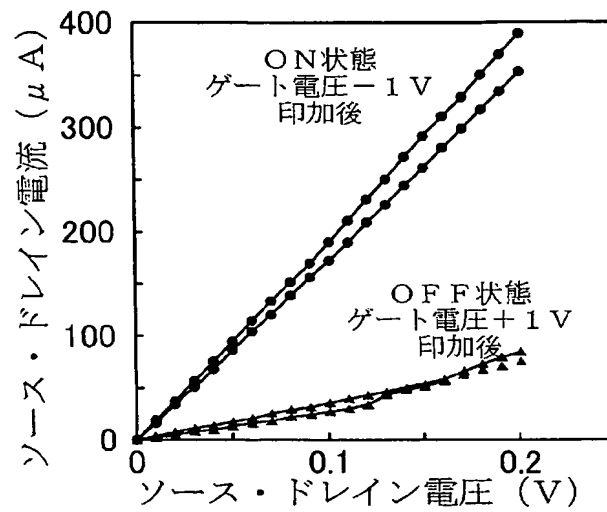
[図87]



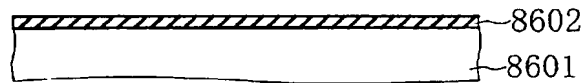
[図88]



[図89]



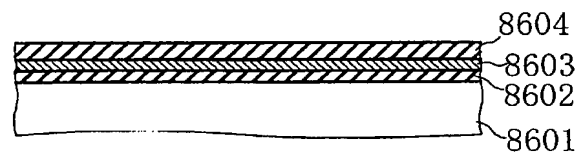
[図90A]



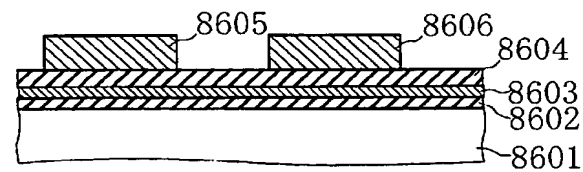
[図90B]



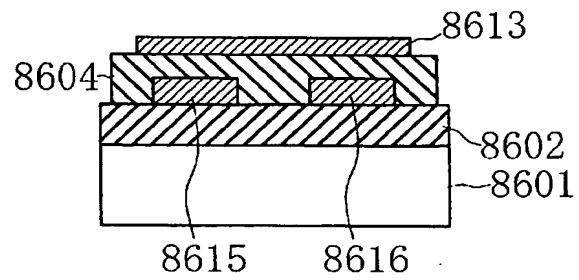
[図90C]



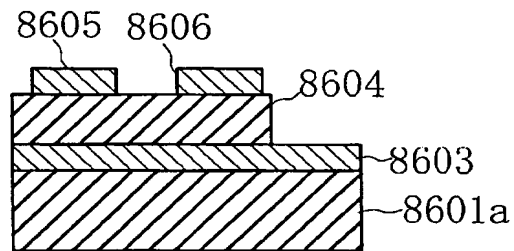
[図90D]



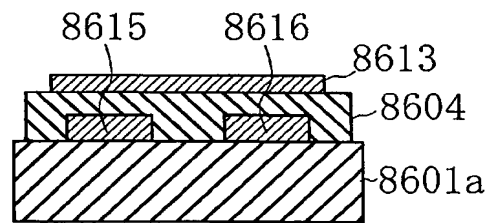
[図91]



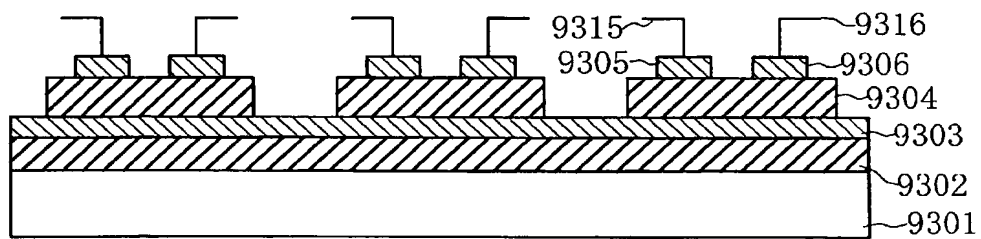
[図92A]



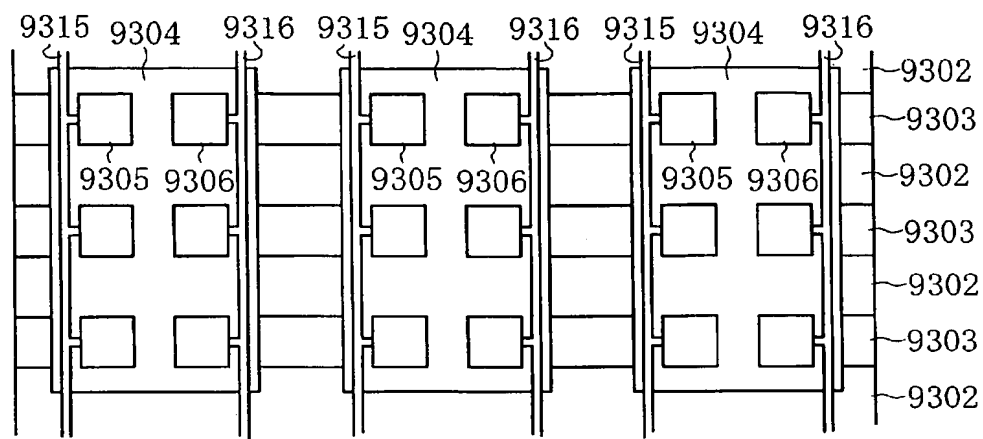
[図92B]



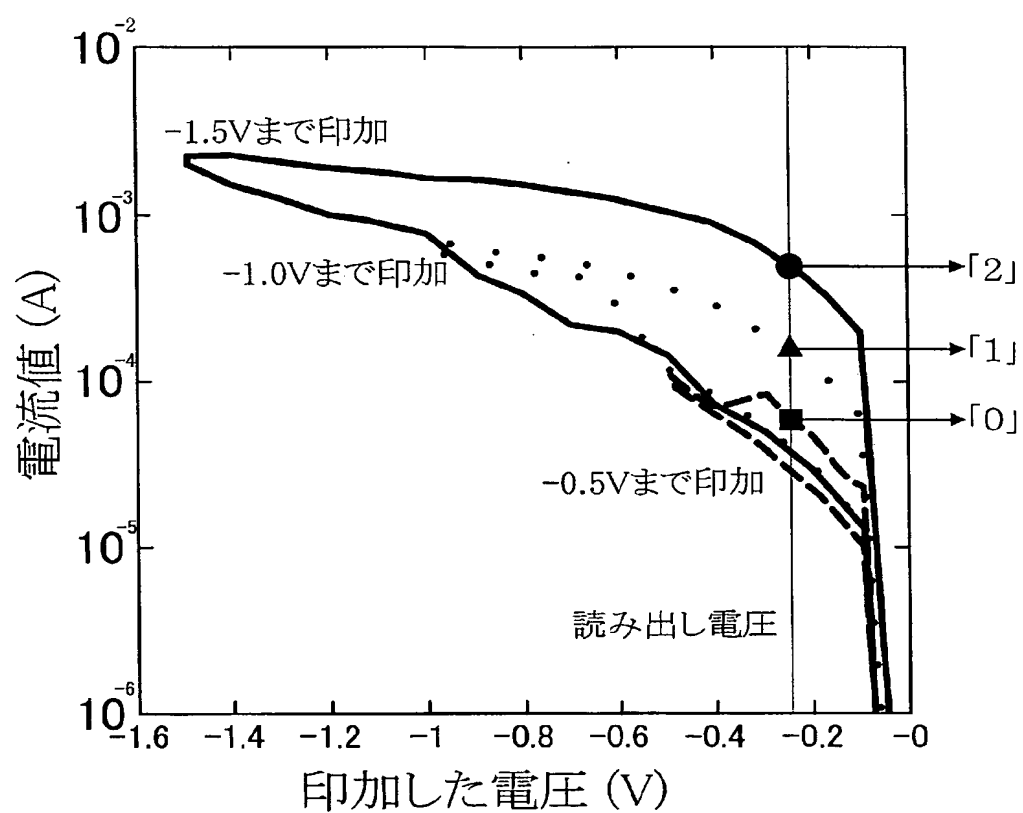
[図93A]



[図93B]



[図94]

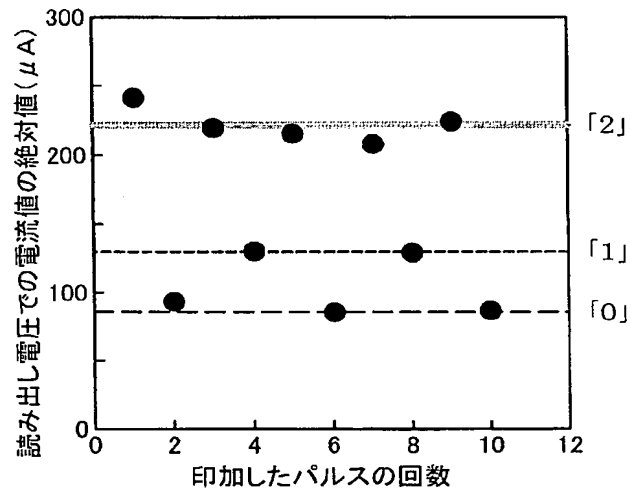


[図95]

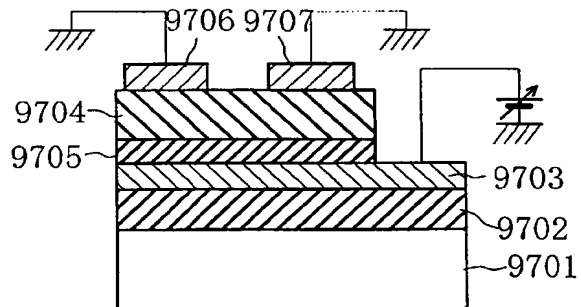
パルス回数	1	2	3	4	5
パルス電圧(V)	-3	+3	-3	-1.5	-3
パルス幅(μ sec)	10	10	10	10	10
状態	「1」	「0」	「2」	「1」	「2」



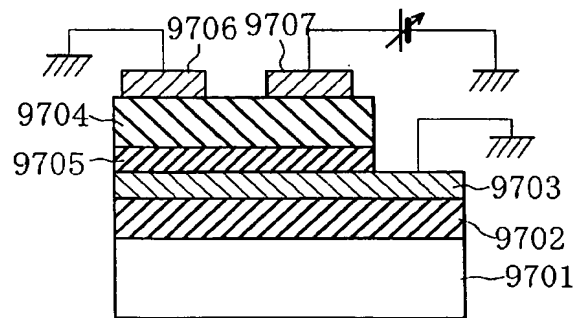
[図96]



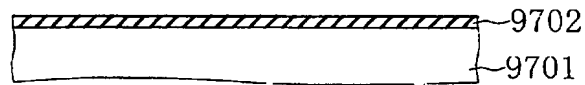
[図97A]



[図97B]



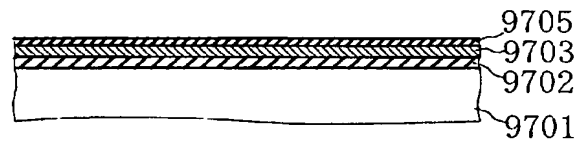
[図98A]



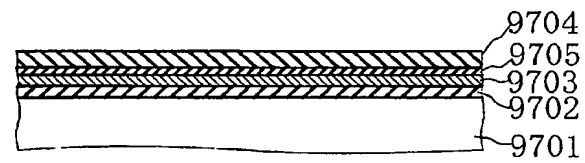
[図98B]



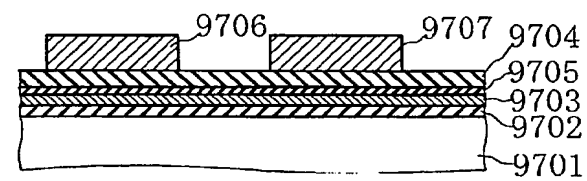
[図98C]



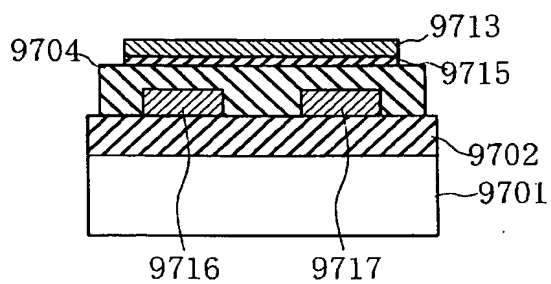
[図98D]



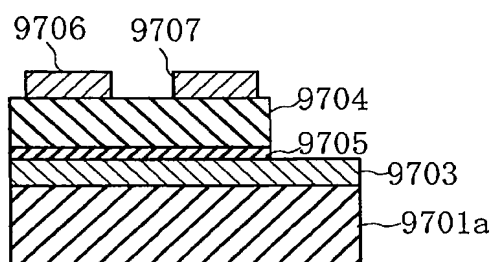
[図98E]



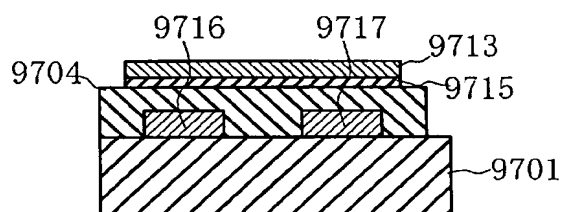
[図99]



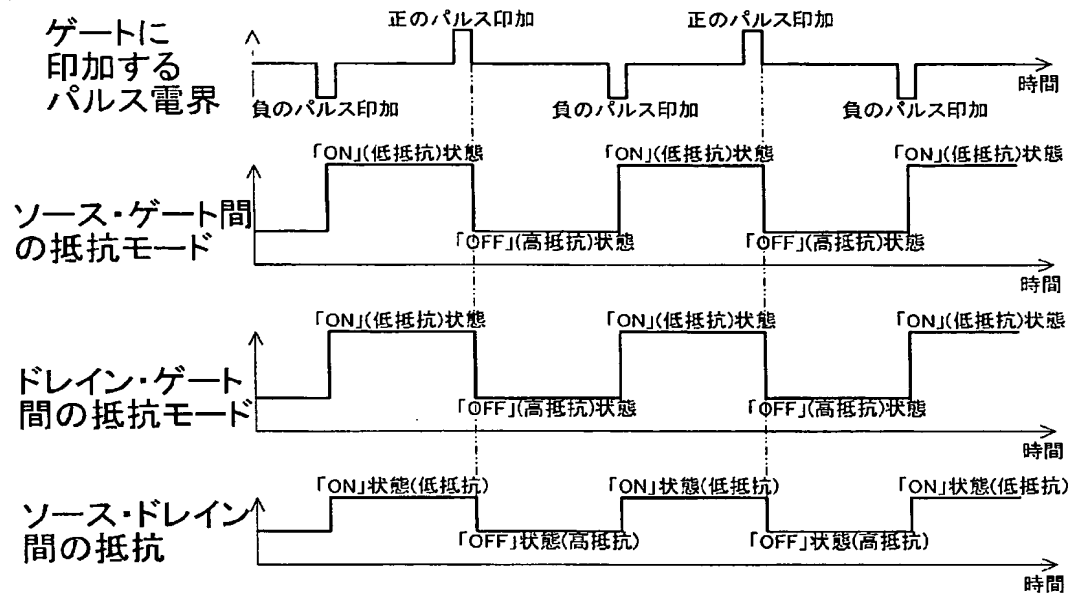
[図100A]



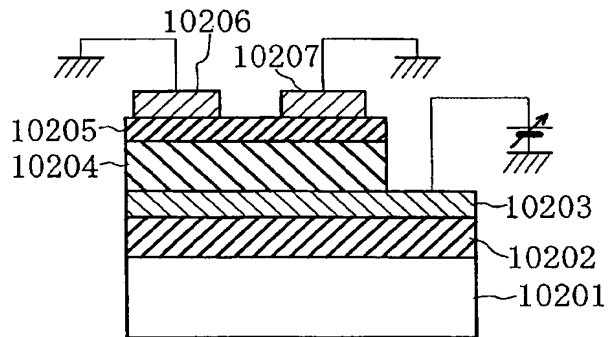
[図100B]



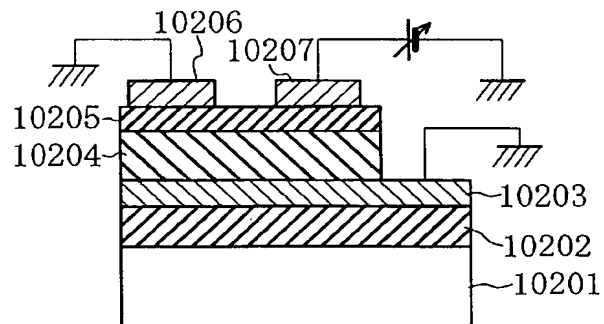
[図101]



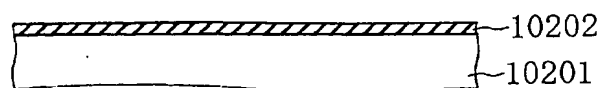
[図102A]



[図102B]



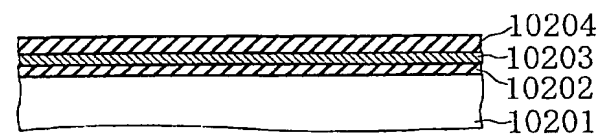
[図103A]



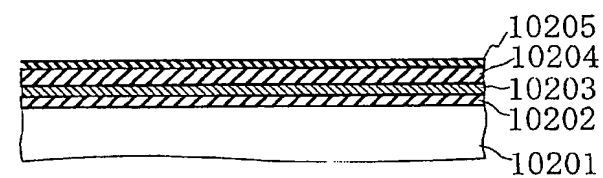
[図103B]



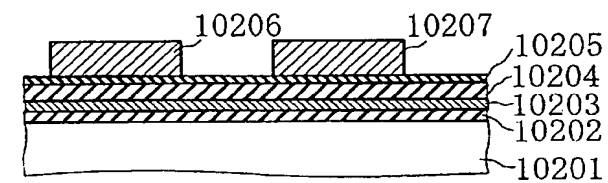
[図103C]



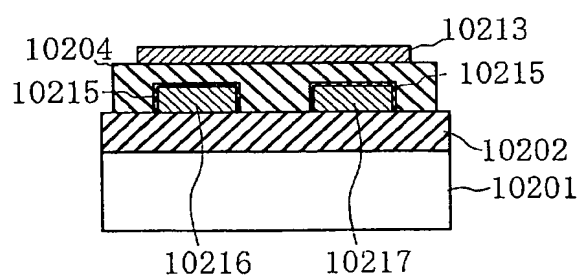
[図103D]



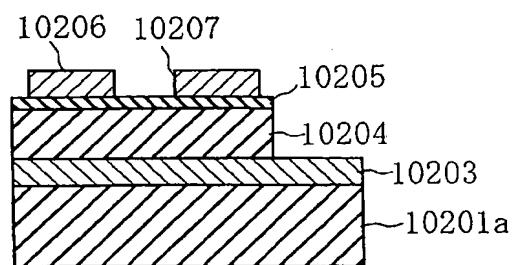
[図103E]



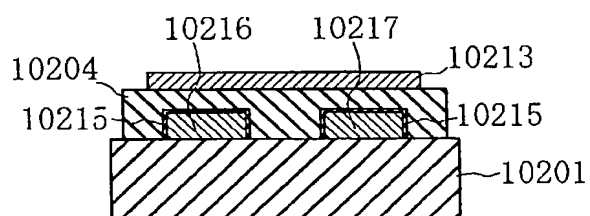
[図104]



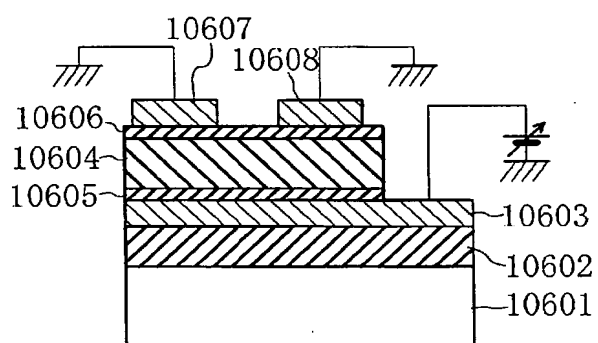
[図105A]



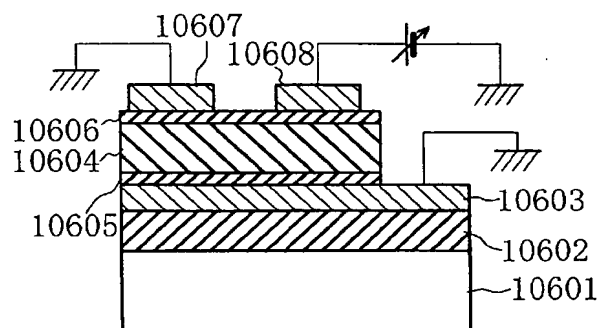
[図105B]



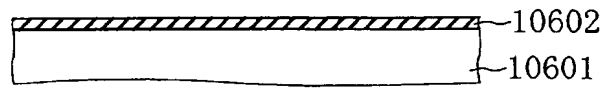
[図106A]



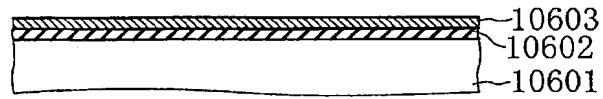
[図106B]



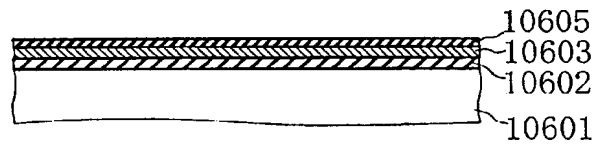
[図107A]



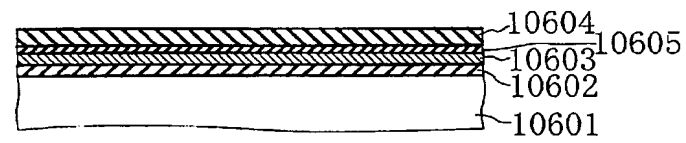
[図107B]



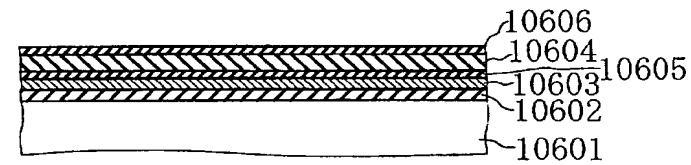
[図107C]



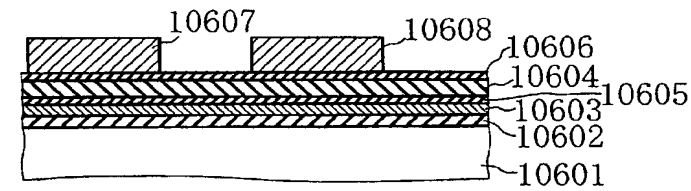
[図107D]



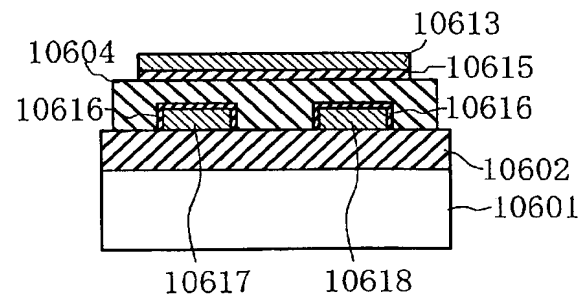
[図107E]



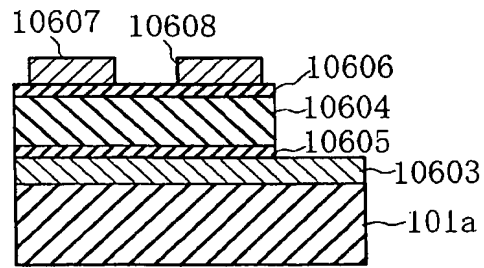
[図107F]



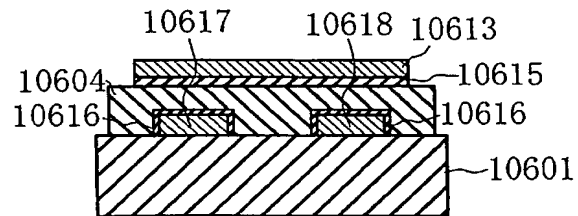
[図108]



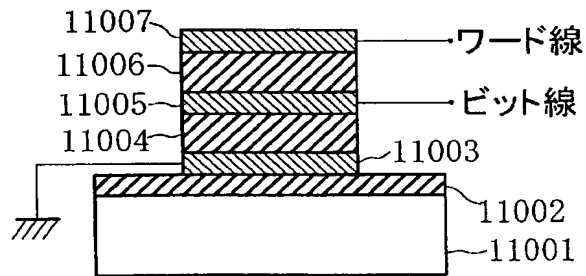
[図109A]



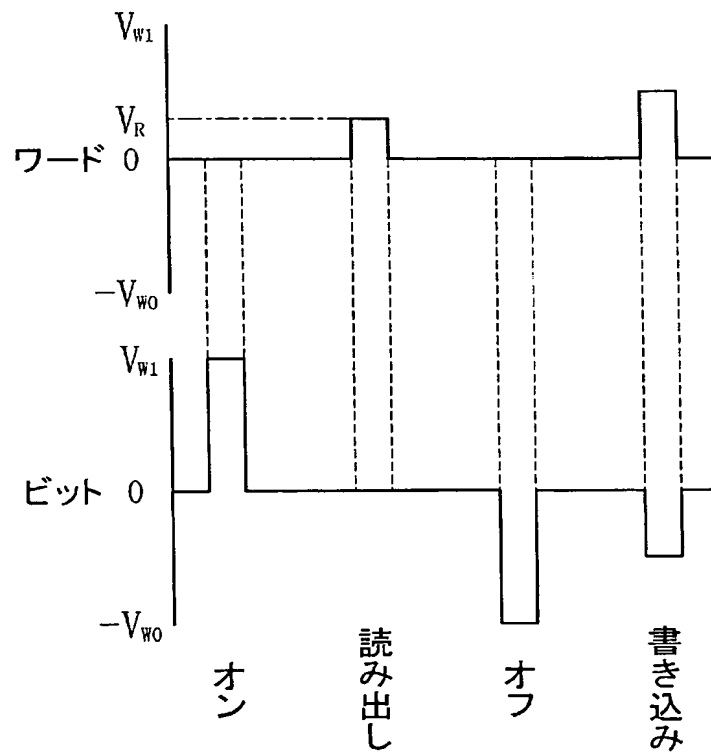
[図109B]



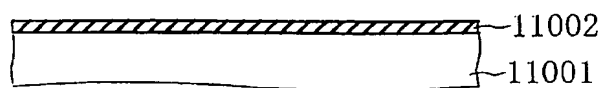
[図110]



[図111]



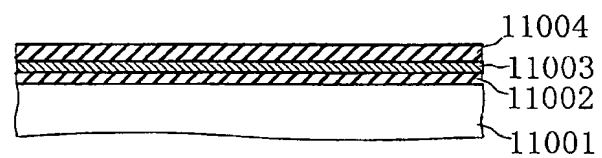
[図112A]



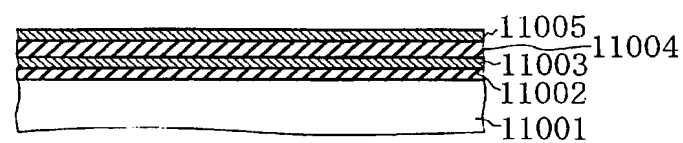
[図112B]



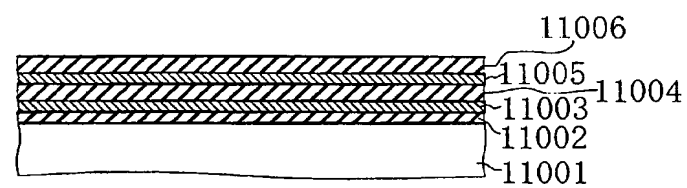
[図112C]



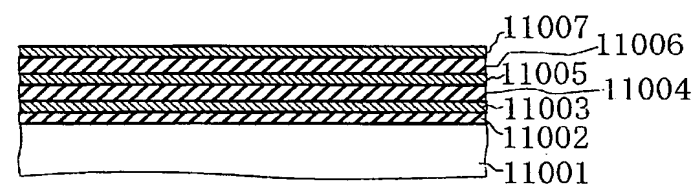
[図112D]



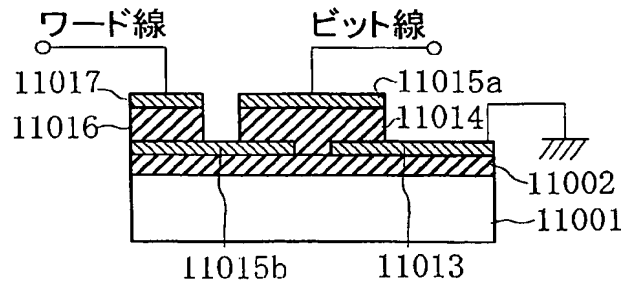
[図112E]



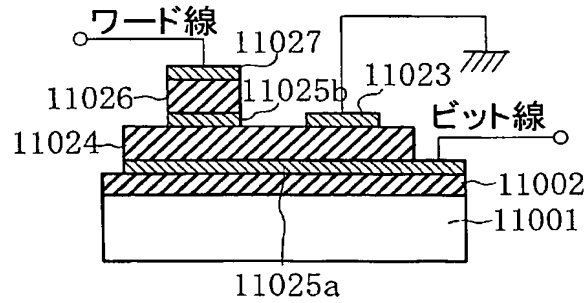
[図112F]



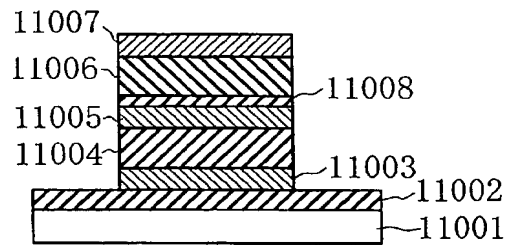
[図113A]



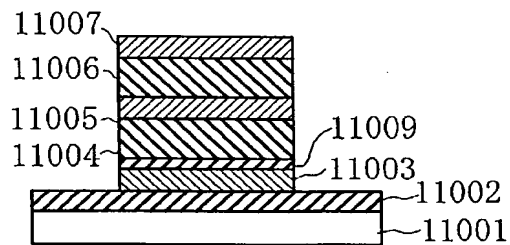
[図113B]



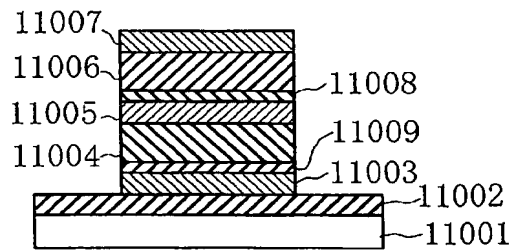
[図114A]



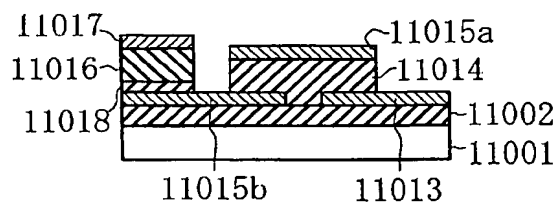
[図114B]



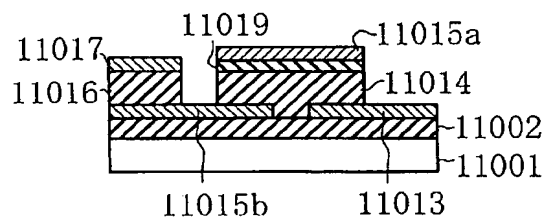
[図114C]



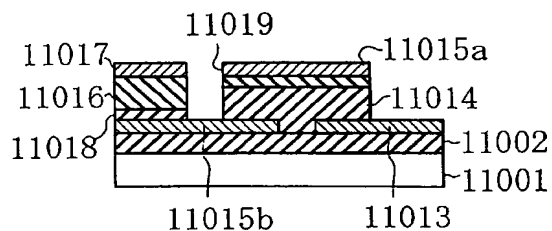
[図115A]



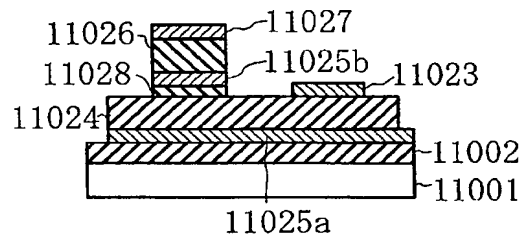
[図115B]



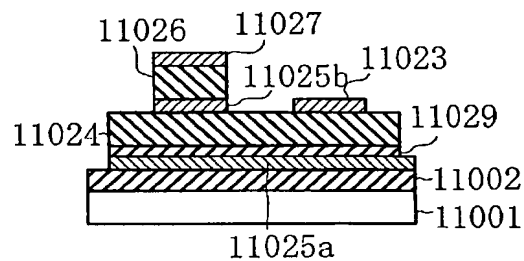
[図115C]



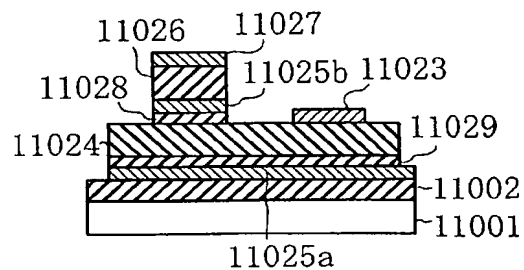
[図115D]



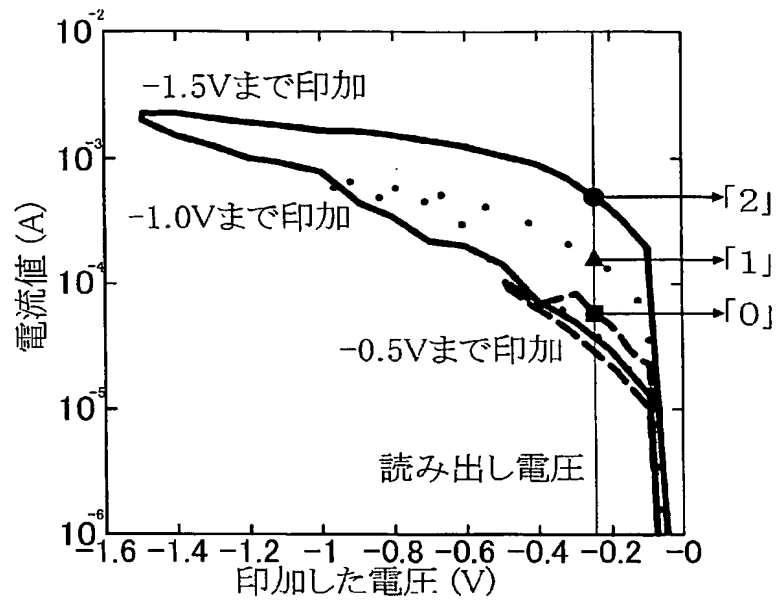
[図115E]



[図115F]



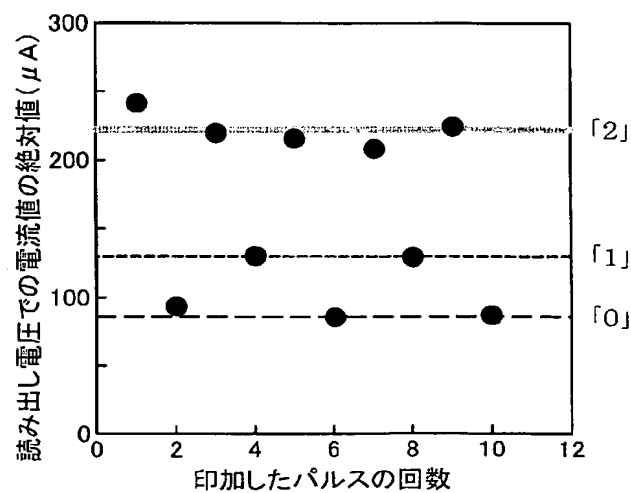
[図116]



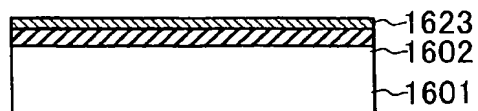
[図117]

パルス回数	1	2	3	4	5
パルス電圧 (V)	-3	+3	-3	-1.5	-3
パルス幅 (μ sec)	10	10	10	10	10
状態	「1」	「0」	「2」	「1」	「2」

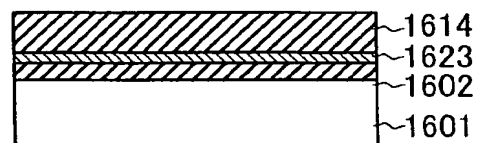
[図118]



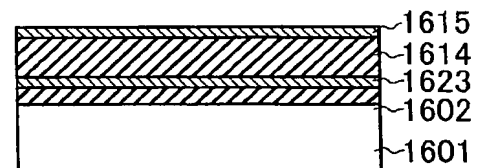
[図119A]



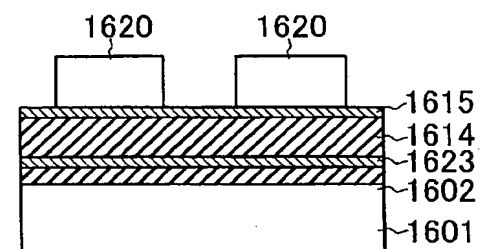
[図119B]



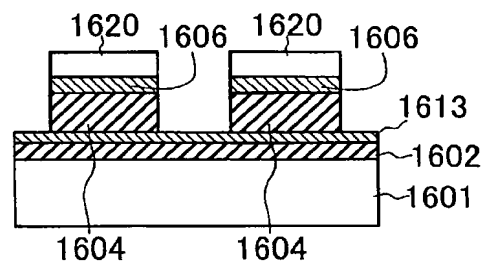
[図119C]



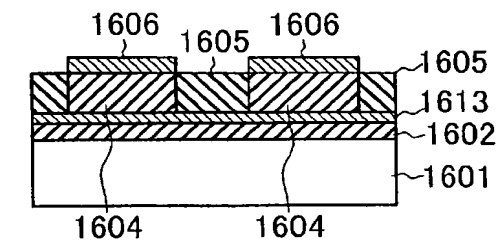
[図119D]



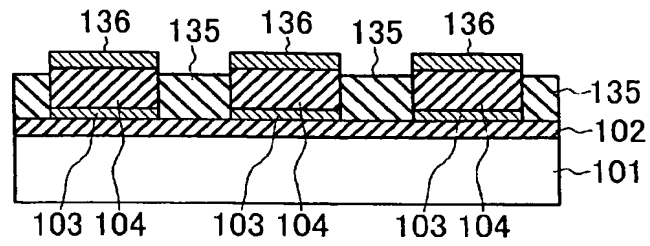
[図119E]



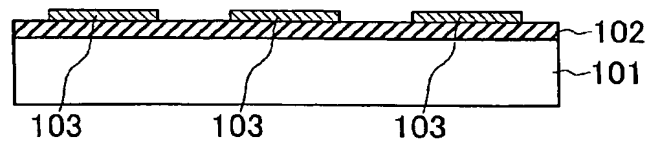
[図119F]



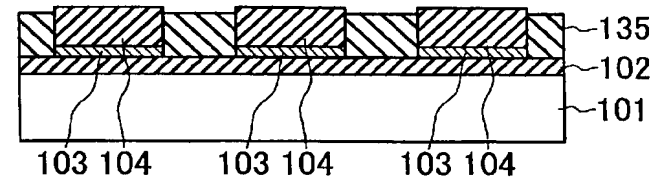
[図120]



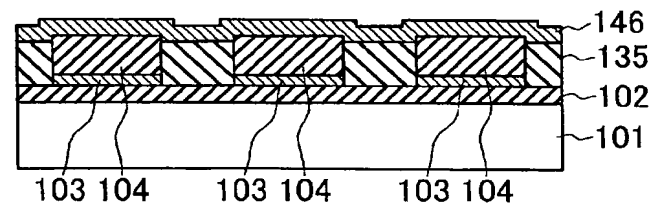
[図121A]



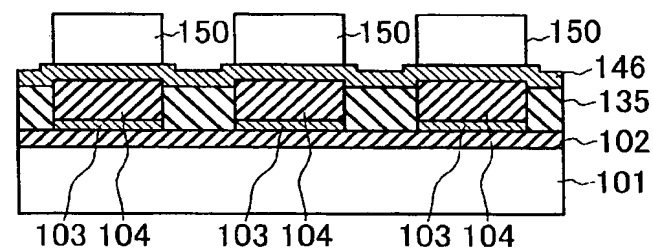
[図121B]



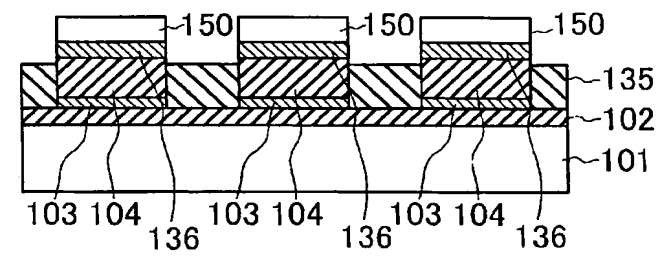
[図121C]



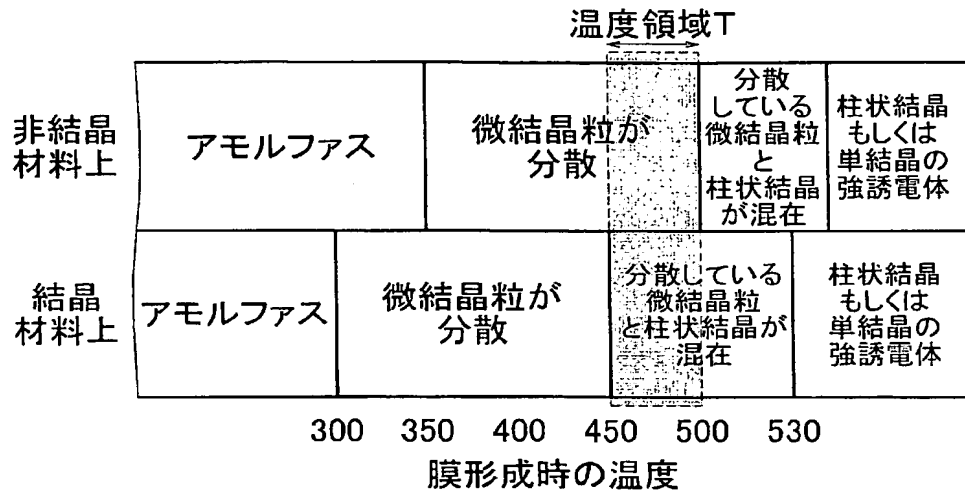
[図121D]



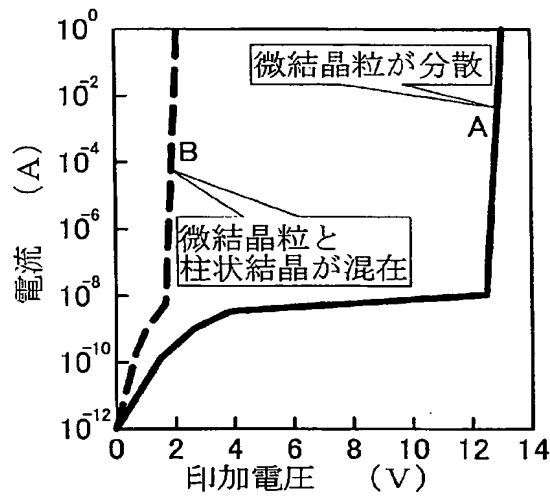
[図121E]



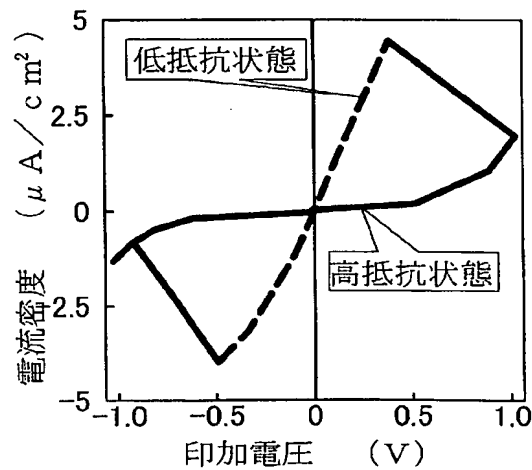
[図122]



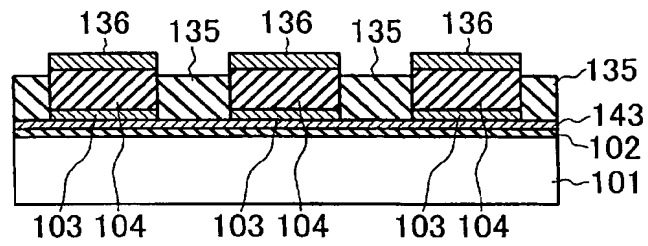
[図123]



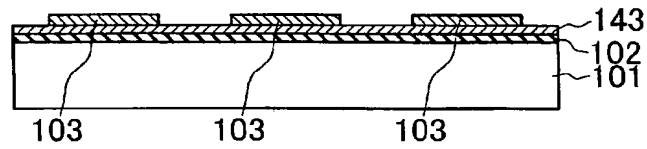
[図124]



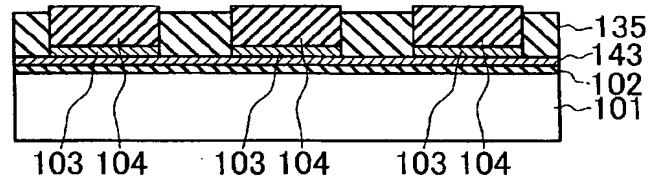
[図125]



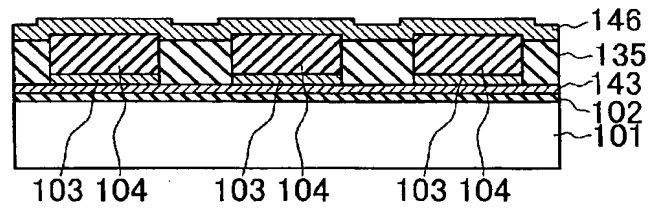
[図126A]



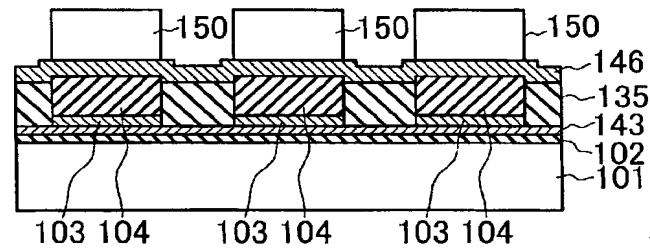
[図126B]



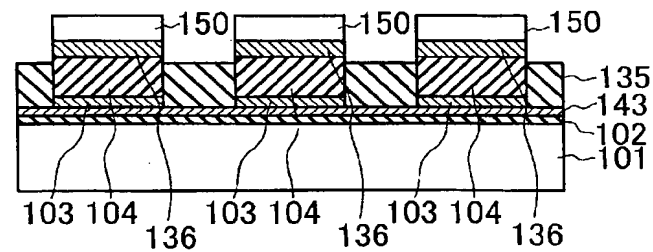
[図126C]



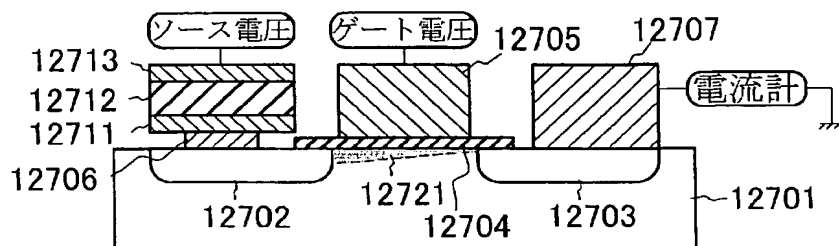
[図126D]



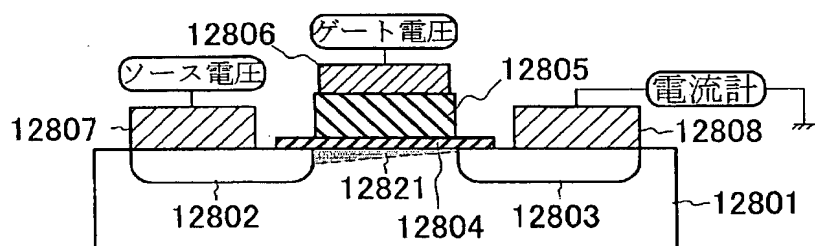
[図126E]



[図127]



[図128]



[図129]

